



**UNIVERSIDAD DE CONCEPCIÓN
FACULTAD DE INGENIERÍA
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA**



**ESTUDIO COMPARATIVO DEL EFECTO DE TIEMPOS MUERTOS Y PÉRDIDAS EN
TOPOLOGÍAS NPC Y NPP**

POR

Ignacio Andrés Becerra Riquelme

Memoria de Título presentada a la Facultad de Ingeniería de la Universidad de Concepción para
optar al título profesional de Ingeniero(a) Civil Electrónico(a)

Profesor(es) Guía
José Rubén Espinoza Castro

Marzo 2026
Concepción (Chile)

©2026 Ignacio Andrés Becerra Riquelme

©2025 Ignacio Andrés Becerra Riquelme

Se autoriza la reproducción total o parcial, con fines académicos, por cualquier medio o procedimiento, incluyendo la cita bibliográfica del documento.

A los alumnos del pasado, presente y futuro del L.C.D.A.

Agradecimientos

En primer lugar, quiero expresar mis sinceros agradecimientos a los profesores del departamento de Ingeniería Eléctrica de la Universidad de Concepción, señores José Espinoza Castro, Leonardo Palma Fanjul y Lautaro Salazar Silva, quienes formaron parte de mi comisión y han brindado su apoyo para el desarrollo de esta memoria de título.

Se agradece el apoyo del proyecto ANID–Chile, through the Solar Energy Research Center (SERC Chile), under the National Research Centers of National Interest Program, grant CIN250043.

Quiero expresar mi profundo agradecimiento a mi pareja Francisca, por haberme acompañado y haber crecido conmigo durante el transcurso de toda esta etapa universitaria. Por haberme dado ánimos y constancia cuando nadie más lo hizo, por haber visto en mí cosas que no conocía. Sin ti nada hubiera sido igual.

Agradezco a mi familia, quienes me dieron la vida y me han acompañado en el transcurso de toda esta. Quisiera agradecer tanto a mi padre como a las madres de nombre y renombre que he tenido, quienes me dieron apoyo y cariño, guiándome en la línea de lo correcto y justo que una persona buena debe seguir.

Me enorgullece agradecer a la selección de natación de la Universidad de Concepción, equipo que me acompañó durante toda mi carrera universitaria. Las competencias y momentos que vivimos juntos nunca se olvidarán, en especial aquellos compartidos con mi amigo Ignacio. Espero que el equipo siga creciendo y nunca se olvide pese a las limitaciones físicas de la institución.

A mis amigos de la carrera, grupo conocido como *lunes de once*. Pese a conocernos tarde, formamos lazos, estudiando juntos y disfrutando comidas y charlas durante las jornadas de la tarde. En especial a Benjamín, Agustín y Francisca B.

Agradecer a mis Amigos Joaquín y Leonardo. Juntos iniciamos, recorrimos y finalizamos este camino académico. Entre risas, peleas y perdones, espero que nuestros caminos se sigan juntando más adelante.

Por último, pero igual de significativo, quiero expresar mi agradecimiento a mi grupo de amigos del colegio, Diego, Héctor, Marco y Luis por su fidelidad y apoyo mutuo. Pese a que elegimos caminos distintos, la amistad nunca se ha apagado. Espero que se mantenga de la misma manera en las siguientes etapas por venir.

Sumario

El tiempo muerto es un periodo de espera a la hora de encender un dispositivo semiconductor, impuesto a fin de evitar disparos de corriente directa en fuentes de voltaje. En diversas investigaciones se han analizado los efectos que este periodo provoca en los inversores de potencia, estos análisis se han enfocado en un tiempo muerto reducido. Esta investigación busca analizar los efectos que presentan diferentes valores de tiempo muerto en los inversores multinivel NPP y NPC, dos de los inversores multinivel más utilizados en aplicaciones de generación fotovoltaica. A partir del software PLECS, se realizó un modelo de los inversores mediante la modulación SPWM, utilizando las portadoras en disposición de fase. Se realizó una comparativa de dos métodos de implementación del tiempo muerto, donde la primera opción consistía en un apagado total de los semiconductores de la fase durante el periodo de tiempo muerto y la segunda opción, donde se apagan únicamente los switches complementarios. Llegando a la primera conclusión de que, pese a ser los dos métodos efectivos en la redirección de la corriente, un apagado total de la fase durante los periodos de tiempo muerto implicaba saltos de V_{dc} durante los tiempos muertos, mientras que el apagado único de los switches complementarios implicaba saltos de $\frac{V_{dc}}{2}$ durante el mismo periodo, siendo esta la mejor configuración. Se procedió con la implementación de los perfiles térmicos de los semiconductores, realizando versiones de los inversores mediante la utilización de IGBTs y MOSFETs. A fin de realizar una corroboración de los resultados se realizaron versiones más realistas, mediante la utilización de las versiones con límites di/dt de los semiconductores, las cuales entregaron datos semejantes. Para realizar los encadenamientos de simulaciones junto con la recolección de datos se implementó una programación dentro de PLECS la cual realizaba modificaciones de factores de potencia y tiempo muerto en la simulación, al finalizar el proceso guardaba los resultados de interés en archivos .CSV. A partir de los modelos se obtiene que el inversor NPC presenta un THD I levemente menor que la topología NPP en tiempos muertos menores a $15\mu s$, mientras que para tiempos muertos altos ($> 15\mu s$ que en la práctica no se usa) el THD I de NPP es contrariamente menor. El NPP mostró una eficiencia 0.22% mayor en todos los casos. El inversor NPC entregó un voltaje de modo común y corriente de fuga 0.28% menor en configuraciones basadas en IGBT.

Summary

Dead time is the waiting period when you are switching a Semiconductor Device, Imposed to prevent direct current shoots-through in voltage sources. Various studies have analysed the effects this period causes in power inverters. Focusing on reduced dead time values. This research aims to analyze the effects that are shown by the different dead time values in NPP and NPC multilevel inverters. Two of the most widely used multilevel inverters in photovoltaic power generation. Based on the PLECS software, a model of the inverters was made using the SPWM modulation carrier in phase disposition. A comparison of two dead time implementation methods was done: the first involved a total shutdown of phase semiconductors during the dead time period. The second involved shutting down only the complementary switches. It was concluded that, although both methods are effective in redirecting current, a total shutdown resulted in voltage jumps of V_{dc} during dead times, while shutting down only the complementary switches resulted in jumps of $\frac{V_{dc}}{2}$. Making this one the best configuration. The research proceeded with the implementation of thermal profiles for the semiconductors, creating versions of the inversos using IGBTs and MOSEFETs. To corroborate the results realistic versions were developed using semiconductor models with di/dt limits, which provided similar data. To do the simulation chains and data collection a script was implemented within de PLECS to modify power factors and dead time values during the simulation. At the end of the process relevant results in .CVS were stored. Based on the models, it was found that an NPC inverter presents a slightly lower THD I than NNP topology for dead times under $15\mu s$. whilst for high dead times ($>15\mu s$ which are not used in practice), the NPP's THD I is conversely lower. NPP showed a 0.22% higher efficiency in all cases. The NPC inverter delivered a common-mode voltage and leakage current 0.28% lower in IGBT-based configurations.

Tabla de Contenidos

1. Introducción.....	1
1.1 Introducción General.....	1
1.2 Revisión bibliográfica	2
1.2.1 Modelación de eficiencia y características térmicas	2
1.2.2 Efectos de tiempo muerto.....	3
1.2.3 Voltaje de modo común	4
1.2.4 Topologías NPP y NPC.....	5
1.2.5 Modulación PWM.....	6
1.2.6 Discusión.....	6
2. Definición del problema.....	7
2.1 Introducción.....	7
2.2 Hipótesis de trabajo	7
2.3 Objetivo general	7
2.4 Objetivos específicos.....	7
2.5 Alcances	7
2.6 Productos y resultados esperados	8
3. Conceptos teóricos	9
3.1 Introducción.....	9
3.2 Modulación en inversores trifásicos.....	9
3.3 Convertidor NPP	10
3.3.1 Funcionamiento convertidor NPP	11
3.4 Convertidor tipo NPC.....	13
3.4.1 Funcionamiento convertidor NPC.....	13
3.5 Voltaje modo común	14

3.6 Corriente de fuga	15
3.6.1 Cálculo de corriente de fuga.....	15
3.7 Tiempos muertos	16
3.7.1 Efectos de los tiempos muertos en señales PWM	18
3.7.2 Tiempos muertos en inversor NPP	18
3.7.3 Tiempos muertos en convertidor NPC	20
3.8 Herramientas de PLECS.....	21
3.8.1 Herramientas térmicas de plecs.....	21
3.8.2 IGBT con limite di/dt	22
3.8.3 Diodo con recuperación inversa.....	23
3.8.4 MOSFET con limite di/dt.....	25
4. Modulación de tiempo muerto en inversor NPP	27
4.1 Teoría modulación de tiempo muerto en inversor NPP	27
4.2 Simulación de condiciones de sección neutra en NPP	28
4.2.1 Simulación de un switch de punto neutro	29
4.2.2 Simulación de dos switches independientes en punto neutro	30
4.3 Resultados	30
5. Modelos ideales inversores NPP y NPC	33
5.1 Simulación de inversores NPP y NPC.	33
5.1.1 Modelo convertidor NPP.....	34
5.1.2 Modelo convertidor NPC	35
6. Ciclos de simulaciones con parámetros diversos.	36
6.1 Bucle de simulación	36
7. Simulación de modelos térmicos.....	38
7.1 Modelos térmicos NPP y NPC	38
7.2 Modelos térmicos semiconductores	39

7.3 Modelo térmico IGBT	40
7.3.1 Pérdidas de encendido y apagado IGBT	40
7.3.2 Pérdidas de Conducción IGBT	42
7.3.3 Impedancia térmica IGBT	43
7.4 Modelo térmico MOSFET	44
7.4.1 Pérdidas de encendido y apagado MOSFET	45
7.4.2 Pérdidas de conducción MOSFET	46
7.4.3 Impedancia térmica MOSFET	47
7.5 Modelo térmico Diodo	48
7.5.1 Pérdidas de encendido y apagado diodo	48
7.5.2 Pérdidas de conducción diodo	49
7.5.3 Impedancia térmica diodo	50
7.6 Análisis de resultados térmicos	51
7.6.1 THD de corriente de fase	51
7.6.2 Eficiencia térmica	53
7.6.3 Voltaje modo común	54
7.6.4 Resumen de los resultados	56
8. Modelos realistas inversores NPP y NPC	57
8.1 Simulación modelos realistas.	57
8.1.1 IGBT con límite di/dt	57
8.1.2 Diodo con recuperación inversa	58
8.1.3 MOSFET con límite di/dt	60
8.2 Resultados simulación realista	62
8.2.1 THD corriente Real	62
8.2.2 Eficiencia real NPC y NPP	63
8.2.3 Voltaje modo común realista	64

8.2.4	Corriente de fuga realista	67
8.2.5	Resumen de resultados	68
9.	Discusión y Conclusiones	69
9.1	Sumario	69
9.2	Conclusión.....	69
9.3	Trabajos futuros.....	70
10.	Referencias	iii
A.	Anexo	1

Lista de Tablas

Tabla 3.1: Estados de una fase convertidor NPP frente a los interruptores encendidos junto a flujo de corriente circulante a través de los interruptores.	12
Tabla 3.2 Estado de voltaje de salida de una fase respecto switches encendidos en inversor NPC.....	14
Tabla 3.3 Estados posibles de cada fase de inversor NPP y sus respectivos Voltajes modo común (VMC) [1]	15
Tabla 3.4 Descripción técnica IGBT con limite di/dt.....	22
Tabla 3.5 Descripción técnica Diodo con recuperación inversa.....	24
Tabla 3.6 Descripción técnica MOSFET con limite di/dt	26
Tabla 4.1 Relación condición de switch vs estado de la pierna del Convertidor NPP, configuración punto neutro único Switch.....	28
Tabla 4.2 Relación condición de switch vs estado de la pierna del Convertidor NPP, configuración punto neutro de dos switches independientes.....	28
Tabla 5.1 Parámetros de simulación convertidor NPP/NPC	33
Tabla 6.1 Valores de FP y tiempo muerto en bucle de simulación	36
Tabla 6.2 Modelos de inversores NPP y NPC utilizados	36
Tabla 7.1: THD (%) I IGBT térmico (a) NPP, (b) NPC.....	52
Tabla 7.2: THD (%) I MOSFET térmico (a) NPP, (b) NPC	52
Tabla 7.3: Eficiencia térmica IGBT (a) NPP, (b) NPC	53
Tabla 7.4: Eficiencia térmica MOSFET (a) NPP, (b) NPC	54
Tabla 7.5: VMC rms IGBT térmico (a) NPP, (b) NPC	55
Tabla 7.6: VMC rms MOSFET térmico (a) NPP, (b) NPC	55
Tabla 8.1 Parámetros IGBT con limite di/dt.....	57
Tabla 8.2 Parámetros Diodo con recuperación inversa	58
Tabla 8.3 Parámetros MOSFET con limite di/dt	60
Tabla 8.4: THD (%) I IGBT real (a) NPP, (b) NPC	62
Tabla 8.5: THD (%) I MOSFET real (a) NPP, (b) NPC.....	63
Tabla 8.6: Eficiencia real IGBT real (a) NPP, (b) NPC	64
Tabla 8.7: Eficiencia real MOSFET real (a) NPP, (b) NPC	64
Tabla 8.8: Voltaje modo común IGBT real (a) NPP, (b) NPC.....	65

Tabla 8.9: Voltaje modo común MOSFET real (a) NPP, (b) NPC	65
Tabla 8.10: Corriente de fuga RMS IGBT, (a) NPP, (b) NPC	67
Tabla 8.11: Corriente de fuga RMS IGBT, (a) NPP, (b) NPC	68
Tabla A.1 THD V NPP IGBT térmico	25
Tabla A.2 THD V MOSFET NPP térmico	25
Tabla A.3 THD V IGBT NPC térmico	25
Tabla A.4 THD V MOSFET NPC térmico.....	26
Tabla A.5 THD V IGBT NPP real.....	26
Tabla A.6 THD V IGBT NPC real	26
Tabla A.7 THD V MOSFET NPP real	27
Tabla A.8 THD V MOSFET NPC real.....	27
Tabla A.9 Parámetros de bloques Heat Sink, Thermal Resistor y Constant Temperature	30

Lista de Figuras

Fig. 3.1 Formas de onda de modulaciones SPWM, TPWM 30, TPWM 45, THIPWM, TIPWM	10
Fig. 3.2 Inversor NPP trifásico	10
Fig. 3.3 Subcategorías de inversor NPP, a) convertidor tipo T, b) convertidor DC-AC NPP..	11
Fig. 3.4 Flujo de corriente en inversor NPP, a) estado P (Positivo), T1, T2, T5 ON (iluminadas), b) estado O(Neutro), T5, D6 ON (iluminadas).....	12
Fig. 3.5 Convertidor NPC de 3 niveles.....	13
Fig. 3.6 Circuito equivalente corriente de fuga	16
Fig. 3.7 Transición de switches complementarios ideales, a) T1 On (verde), T2 Off; b) T1 Off, T2 On (verde), flujo de corriente (Rojo).....	17
Fig. 3.8 Transición de switches complementarios no ideales en condición de cortocircuito, flecha roja indica flujo de corriente, a) T1 On(verde), T2 Off; b) Condición de falla, T1 On, T2 On; c) T1 Off, T2 On.....	17
Fig. 3.9 Transición de switches complementarios no ideales con tiempo muerto, flecha roja indica flujo de corriente, a) T1 On (verde), T2 Off; b) Tiempo muerto, T1 Off, T2 Off; c) T1 Off, T2 On.....	17
Fig. 3.10 Conmutación de corriente de fase convertidor NPP tipo T durante las transiciones de estado entre N, P y 0 con flujo de entrada Azul y de salida Rojo. Switches azules encendidos.	19
Fig. 3.11 Voltajes de salida en fases a, b, c y modo común en diferentes polaridades de il en inversor NPP [1]	19
Fig. 3.12 Transición de estados en inversor NPC, a) paso entre Positivo (T1, T2 On) y Cero (T2, T3 On); b) paso entre Cero (T2, T3 On) y Negativo (T3, T4 On). Flecha roja +il, flecha negra -il	20
Fig. 3.13 Voltajes de salida de una fase tras efectos de tiempo muerto en inversor NPC [12]	21
Fig. 3.14 Herramientas de biblioteca térmica de PLECS, a) disipador de calor, b) resistencia térmica, c) constante de temperatura	21
Fig. 3.15 IGBT con limite di/dt	23
Fig. 3.16 Diodo con recuperación inversa	24
Fig. 3.17 MOSFET with limited di/dt.....	25

Fig. 4.1 Inversor NPP de una fase, rectángulo rojo señala sección neutra	27
Fig. 4.2 Modulación SPWM convertidor NPP, señal moduladora con 2 portadoras	29
Fig. 4.3 Convertidor NPP configuración 1 switch en punto neutro.....	29
Fig. 4.4 Convertidor NPP configuración 2 switch en punto neutro.....	30
Fig. 4.5 Graficas de simulación de configuraciones de tiempo muerto en inversor NPP monofásico, a) conf 1 sin T_m , c) conf 1 con T_m , e) conf 1 zoon en T_m , b) conf 2 sin T_m , d) conf 2 con T_m , f) conf 2 zoon en T_m	32
Fig. 5.1 Control de tiempo muerto.....	33
Fig. 5.2 Modelo inversor NPP trifásico	34
Fig. 5.3 Bloque 3faseRL	34
Fig. 5.4 Modelo inversor NPC.....	35
Fig. 6.1 Apartado de script de simulación, encerrado en rectángulo rojo	37
Fig. 6.2 pestaña script de simulación, rectángulo rojo nuevo script, rectángulo amarillo descripción del script, rectángulo azul inicio de simulación	37
Fig. 7.1 Simulación Inversor NPP con modelo térmico	38
Fig. 7.2 Simulación Inversor NPC con modelo térmico.....	38
Fig. 7.3: a) Ingreso a apartado térmico semiconductores, b) Importación de comportamiento térmico a un semiconductor	39
Fig. 7.4 Configuración descripción térmica.....	40
Fig. 7.5 Datasheet pérdidas de encendido y apagado IGBT	41
Fig. 7.6 Configuración pérdidas de encendido IGBT	41
Fig. 7.7 Configuración pérdidas de apagado IGBT	42
Fig. 7.8 Pérdidas de conmutación IGBT. a) encendido, b) apagado	42
Fig. 7.9 Datasheet características de transferencia IGBT	43
Fig. 7.10 Pérdidas de conducción IGBT, a) edición de pérdidas de conducción, b) pos-edición de pérdidas de conducción.	43
Fig. 7.11 Datasheet resistencia térmica transitoria IGBT	44
Fig. 7.12 a) Configuración thermal chain tipo Foster IGBT b) representación de impedancia térmica Foster IGBT	44
Fig. 7.13 Datasheet pérdidas de encendido y apagado MOSFET	45
Fig. 7.14a) Configuración pérdidas de encendido MOSFET b) Curva de pérdidas de encendido MOSFET.....	45

Fig. 7.15 a) Configuración pérdidas de apagado MOSFET b) Curva de pérdidas de apagado MOSFET.....	46
Fig. 7.16 Datasheet curva I_{ds} vs V_{ds} MOSFET	46
Fig. 7.17 a) Configuración pérdidas de conducción 175 °C MOSFET b) Configuración pérdidas de conducción 25 °C MOSFET	47
Fig. 7.18 Resultados pérdidas de conducción MOSFET	47
Fig. 7.19 Datasheet transferencia de resistencia térmica MOSFET	48
Fig. 7.20 Tabla Impedancia Térmica MOSFET	48
Fig. 7.21 Datasheet pérdidas de apagado Diodo.....	49
Fig. 7.22 a) Configuración pérdidas de apagado Diodo b) graficas pérdidas de apagado Diodo	49
Fig. 7.23 Datasheet características de conducción Diodo	50
Fig. 7.24 a) Configuración pérdidas de conducción Diodo b) Pérdidas de conducción Diodo	50
Fig. 7.25 Datasheet transferencia impedancia térmica Diodo	51
Fig. 7.26 Impedancia térmica Diodo	51
Fig. 7.27 Voltaje modo común térmico NPC MOSFET, a) formas de onda, b) zoom medio ciclo.....	56
Fig. 8.1 Encendido IGBT con limite di/dt y diodo con recuperación inversa, a) forma de onda de corriente durante un ciclo, b) zoom de corriente durante un pulso, c) voltaje IGBT durante un ciclo, d) zoom pulso voltaje.....	59
Fig. 8.2 Encendido MOSFET con limite di/dt y diodo con recuperación inversa, a) forma de onda de corriente durante un ciclo, b) zoom de corriente durante un pulso, c) voltaje MOSFET durante un ciclo, d) zoom pulso voltaje.....	61
Fig. 8.3 VMC inversor NPP con IGBT bajo distintos tiempos muertos, a) figura total, b) zoom 1 a una sección del ciclo, c) zoom 2 a una sección del ciclo, d) zoom 3 a sección del ciclo ...	66
Fig. A.1 Datasheet MOSFET,1.....	2
Fig. A.2 Datasheet MOSFET,2.....	2
Fig. A.3	3
Fig. A.4 Datasheet MOSFET,4.....	3
Fig. A.5 Datasheet MOSFET,5.....	4
Fig. A.6 Datasheet MOSFET,6.....	5
Fig. A.7 Datasheet MOSFET,7.....	6

Fig. A.8 Datasheet MOSFET,8.....	7
Fig. A.9 Datasheet MOSFET,9.....	8
Fig. A.10 Datasheet MOSFET,10.....	9
Fig. A.11 Datasheet MOSFET,11.....	10
Fig. A.12 Datasheet F3L200R12N2H3_B47,1.....	11
Fig. A.13 Datasheet F3L200R12N2H3_B47,2.....	12
Fig. A.14 Datasheet F3L200R12N2H3_B47,3.....	13
Fig. A.15 Datasheet F3L200R12N2H3_B47,4.....	14
Fig. A.16 Datasheet F3L200R12N2H3_B47,5.....	15
Fig. A.17 Datasheet F3L200R12N2H3_B47,6.....	16
Fig. A.18 Datasheet F3L200R12N2H3_B47,7.....	17
Fig. A.19 Datasheet F3L200R12N2H3_B47,8.....	18
Fig. A.20 Datasheet F3L200R12N2H3_B47,9.....	19
Fig. A.21 Datasheet F3L200R12N2H3_B47,10.....	20
Fig. A.22 Datasheet F3L200R12N2H3_B47,11.....	21
Fig. A.23 Datasheet F3L200R12N2H3_B47,12.....	22
Fig. A.24 Datasheet F3L200R12N2H3_B47,13.....	23
Fig. A.25 Datasheet F3L200R12N2H3_B47,14.....	24
Fig. A.26 Programa Utilizado en el bucle	30
Fig. A.27 tabla de pérdidas de conducción IGBT.....	31
Fig. A.28 Tabla de pérdidas de encendido MOSFET.....	31
Fig. A.29 Tabla de pérdidas de apagado MOSFET	31
Fig. A.30 Tabla de resultados pérdidas de conducción MOSFET.....	31
Fig. A.31 Tabla de configuración de pérdidas de apagado Diodo.....	31
Fig. A.32 Tabla de Configuración pérdidas de conducción Diodo	31
Fig. A.33 Grafica térmica NPP con IGBT, FP de 0.8 y TM 5us, Salida y encendido de switches por fase.....	32
Fig. A.34 Grafica térmica NPP con IGBT, FP de 0.8 y TM 5us, Voltaje modo común y Corriente de fuga	32
Fig. A.35 Grafica térmica NPP con IGBT, FP de 0.8 y TM 5us, pérdidas térmicas.....	33
Fig. A.36 Grafica térmica NPP con IGBT, FP de 0.8 y TM 5us, contenido armónico corriente de fase a	33

Fig. A.37 Grafica térmica NPC y NPP con IGBT, FP de 0.8 y TM 50us, contenido armónico corriente de fase a	34
Fig. A.38 Graficas THD I respecto a diferentes tiempos muertos con semiconductor IGBT a) NPC b) NPP	34
Fig. A.39 Corriente diodo inverso	35
Fig. A.40 pulso de corriente de recuperación diodo inverso	36
Fig. A.41 salida respecto a corrientes de encendido switch T1 NPP IGBT con limite di/dt	37
Fig. A.42 Zoom salida respecto a corrientes de encendido switch T1 NPP IGBT con limite di/dt	38
Fig. A.43 salida respecto a voltaje de encendido switch T1 NPP IGBT con limite di/dt	39

1. Introducción

1.1 Introducción General

El incremento en la demanda energética junto con el crecimiento de las fuentes de energías renovables, tales como la generación fotovoltaica [1], exige una conversión de energía de mayor eficiencia ([2], [3]) y sostenibilidad. Los convertidores de tipo multinivel de tres niveles han tomado mayor relevancia debido a sus capacidades para manejar altos niveles de potencia junto con su bajo contenido armónico reduciendo los requerimientos de filtrado [4], [1].

Dentro de las topologías multinivel de tres niveles, algunos de los inversores más utilizados y estudiados corresponden al tipo NPC (Neutral Point Clamped) y NPP (Neutral Point Piloted), siendo este último conocido como una variante tipo T de NPC [5], [3]. El inversor NPC se caracteriza por su robustez y escalabilidad, sobre todo en media tensión, mientras que el inversor NPP se elige por su eficiencia y densidad de potencia [2]. Ambos inversores son ampliamente considerados en la búsqueda de un mejor desempeño armónico y electromagnético en convertidores multinivel [1], [4].

Un factor crítico que comparten los inversores multinivel corresponde al tiempo muerto, el cual incide en métricas de desempeño del inversor, tales como el THD, la eficiencia y el VCM, entre otros [1]. En el contexto de una instalación fotovoltaica de baja potencia, se requiere evaluar el desempeño de los inversores NPP y NPC bajo el efecto del tiempo muerto. En anteriores investigaciones se han evaluado estos efectos ante diferentes factores de potencia (FP) o estilos de modulación [4], [2]; sin embargo, existe menos evidencia comparativa para distintos valores de tiempo muerto.

Este proyecto tiene como objetivo analizar y comparar el comportamiento que un incremento del tiempo muerto produce en los inversores NPP y NPC a fin de elegir la topología con mayor tolerancia a los tiempos muertos en contextos fotovoltaicos de baja potencia. La investigación fue realizada mediante la plataforma de simulación PLECS bajo una modulación SPWM con diferentes factores de potencia, analizando los comportamientos armónicos, voltaje de modo común, corriente de fuga, pérdidas térmicas y eficiencia estimada a partir de pérdidas.

1.2 Revisión bibliográfica

1.2.1 Modelación de eficiencia y características térmicas

- T.-J. Kim, D.-W. Kang, Y.-H. Lee y D.-S. Hyun, «The analysis of conduction and switching losses in multi-level inverter system,» de *2001 IEEE 32nd Annual Power Electronics Specialists Conference*, Vancouver, BC, Canada, 2001. [6]

Este trabajo se utiliza como base para el modelado de pérdidas en convertidores multinivel, separando pérdidas por conducción y pérdidas por conmutación por dispositivo y por estado de conmutación. Su aporte metodológico permite estructurar el cálculo de pérdidas en función de trayectorias de corriente y parámetros del semiconductor.

- K. Lee, H. Shin y J. Choi, «Comparative analysis of power losses for 3-Level NPC and T-type inverter modules,» de *2015 IEEE International Telecommunications Energy Conference (INTELEC)*, Osaka, Japan, 2015 [7].

El artículo entrega antecedentes comparativos de pérdidas para inversores NPP y NPC, evaluando el impacto de variables de operación como frecuencia de conmutación, factor de potencia e índice de modulación. En esta investigación se utiliza como respaldo para justificar que la comparación entre topologías debe realizarse controlando SPWM y punto de operación, ya que las pérdidas dependen fuertemente del patrón de conmutación.

- M. Schweizer y J. W. Kolar, «Design and Implementation of a Highly Efficient Three-Level T-Type Converter for Low-Voltage Applications,» *IEEE Transactions on Power Electronics*, vol. 28, n° 2, pp. 899-907, February 2013 [3].

Este estudio aporta fundamentos de diseño e implementación de un convertidor NPP de alta eficiencia, integrando evaluación de pérdidas y criterios térmicos. Se emplea como referencia para sustentar que la topología modifica el reparto de pérdidas y los esfuerzos eléctricos de los dispositivos, lo que resulta relevante al introducir tiempo muerto, dado que este altera los instantes efectivos de conmutación y la conducción por diodos/canales

- T.-S. Wu, P.-J. Huang, Y.-H. Sie, P.-W. Lee, M. Lak y T.-L. Lee, «An Efficiency Study of SiC-MOSFET Based Three-Level NPC Inverters,» de *2023 IEEE International Future Energy Electronics Conference (IFEEEC)*, Sydney, Australia, 2023 [8].

El trabajo evalúa eficiencia en inversores NPC utilizando SiC-MOSFET, destacando cómo la tecnología del semiconductor condiciona el balance entre conducción y conmutación. En esta investigación se incorpora como soporte para discutir que el efecto del tiempo muerto sobre pérdidas y desempeño no es universal, sino dependiente de la dinámica de conmutación y propiedades del

dispositivo (MOSFET/IGBT).

- J. A. V. Toro, «Estudio de Eficiencia de Circuitos de Electrónica de Potencia en el Software PLECS,» Universidad de Concepción, Facultad de Ingeniería, Departamento de Ingeniería Eléctrica, Concepción, Chile, 2023 [9].

La memoria se utiliza como apoyo metodológico para simulación en PLECS, especialmente en la selección de modelos no ideales y extracción de variables térmicas y eléctricas. Su aporte principal es justificar el procedimiento de simulación realista y la obtención de indicadores comparables (pérdidas promedio, perfiles térmicos y variables RMS) bajo barridos de T_m y FP .

1.2.2 Efectos de tiempo muerto

- D. C. Moore, M. Odavic y S. M. Cox, «Dead-time effects on the voltage spectrum of a PWM inverter,» *IMA Journal of Applied Mathematics*, vol. 79, n° 1061 - 1076, p. 1061–1076, december 2014 [10].

El artículo formaliza el tiempo muerto como una no idealidad que introduce un error de tensión dependiente del signo de corriente, afectando el espectro del voltaje PWM. Se utiliza para sustentar la relación entre tiempo muerto y el incremento de distorsión armónica, y para interpretar por qué el efecto varía con el factor de potencia debido al cambio de trayectorias de conducción entre interruptores y diodos.

- G. Grandi y J. Loncarski, « Analysis of dead-time effects in multi-phase voltage source inverters,» de *6th IET International Conference on Power Electronics, Machines and Drives (PEMD 2012)*, Bristol, 2012 [11].

Este trabajo analiza el impacto del tiempo muerto en sistemas multifase, mostrando que T_m modifica formas de onda y contenido armónico al alterar las transiciones efectivas de los estados de conmutación. Se emplea como referencia para fundamentar que los efectos de T_m no se limitan a un desplazamiento temporal, sino que pueden introducir componentes armónicas adicionales asociadas a la secuencia de conmutación.

- Y. Kan, S. -W. Hyun, S. -J. Hong y C. -Y. Won, «Zero dead-time PWM implementation method for reducing total harmonic distortion in 3-level NPC inverter,» de *2015 18th International Conference on Electrical Machines and Systems (ICEMS)*, Pattaya, Thailand, 2015 [12].

El estudio propone una implementación PWM orientada a reducir el efecto del tiempo muerto sobre el THD en un inversor NPC. En esta investigación se considera como referencia de mitigación, permitiendo contrastar el comportamiento sin compensación frente a enfoques donde el error inducido por tiempo muerto es reducido mediante estrategias de modulación y control.

- G. A. Fogli, R. L. Valle, P. M. de Almeida y P. G. Barbosa, «A simple dead-time compensation strategy for grid-connected voltage-sourced converters semiconductor switches,» *Electric Power Systems Research*, vol. 174, n° 105853, pp. -, 17 May 2019 [13].

El artículo presenta una estrategia de compensación simple del tiempo muerto en convertidores trifásicos conectados a red, basada en correcciones del error de tensión introducido por tiempo muerto. por control. El artículo entrega información sobre los comportamientos de un inversor trifásico a la hora de aplicar un tiempo muerto.

1.2.3 Voltaje de modo común

- N. Aizawa, M. Kikuchi, H. Kubota, I. Miki and K. Matsuse, "Dead-time effect and its compensation in common-mode voltage elimination of PWM inverter with auxiliary inverter," in *The 2010 International Power Electronics Conference - ECCE ASIA* -, Sapporo, Japa, 2010 [14].

El trabajo aborda cómo el tiempo muerto degrada estrategias de eliminación de voltaje de modo común (VMC) en inversores PWM, proponiendo compensación con un inversor auxiliar. En esta investigación se utiliza para justificar que el tiempo muerto puede reintroducir CMV incluso cuando la modulación busca suprimirlo, aspecto central al comparar NPC y NPP en términos de VMC RMS y efectos asociados.

- C. Jiang, Z. Quan y Y. Li, «Passive Filter Design to Mitigate Dead-Time Effects in Three-Level T-Type NPC Transformerless PV Inverters Modulated with Zero CMV PWM,» de 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Portland, OR, USA, 2018 [1].

El artículo estudia inversores NPP en aplicaciones PV sin transformador y muestra que el tiempo muerto produce perturbaciones de modo común aún bajo modulaciones orientadas a VMC cero. Se emplea como soporte para discutir la relación tiempo muerto–VMC–corriente de fuga y como referencia de mitigación mediante diseño de filtro pasivo, relevante cuando se buscan resultados realistas y aplicables.

- V. Karakaşlı, A. Jamal, G. Griepentrog y O. Safdarzadeh, «Common-Mode Voltage in Three-Level T-Type Inverter: Modeling, Analysis, and Compensation,» de 2024 IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, USA, 2024 [15].

Este estudio modela el VMC en un inversor NPP, analizando su origen en los cambios de estado de conmutación y proponiendo métodos de compensación. En esta investigación aporta sustento para interpretar diferencias de VMC entre topologías y comprender por qué el tiempo muerto modifica los niveles y transiciones del modo común mediante cambios en los instantes de conmutación efectivos.

- K. C. de Farias, K. C. de Oliveira, A. M. de Farias, F. A. Neves, G. M. S. Azevedo y F. C.

Camboim, «Modulation Techniques to Eliminate Leakage Currents in Transformerless Three-Phase Photovoltaic Systems,» *IEEE Transactions on Industrial Electronics*, vol. 57, nº 4, pp. 1360-1368, 2010 [16].

Este artículo analiza el origen de la corriente de fuga en sistemas fotovoltaicos trifásicos sin transformador, desarrollando un modelo basado en la descomposición de componentes, estableciendo la relación entre la corriente de fuga y el voltaje de modo común. Para esta investigación, el trabajo aporta los fundamentos teóricos que explica cómo las variaciones de alta frecuencia del voltaje de modo común excitan la capacitancia parásita del arreglo fotovoltaico, generando corrientes de fuga. Además, proporciona modelos equivalentes que permiten representar y simular este fenómeno de manera desacoplada, lo cual resulta útil para modelar la corriente de fuga en las topologías NPP y NPC.

1.2.4 Topologías NPP y NPC

- A. Nabae, I. Takahashi y H. Akagi, «A new neutral-point-clamped PWM inverter,» *IEEE Transactions on industry applications*, Vols. %1 de %21A-17, nº 5, p. 518–523, 30 septiembre 1981 [17].

El artículo establece fundamentos de la topología NPC, describiendo la distribución de interruptores principales y auxiliares, la distribución durante una modulación PWM en tres niveles, entre otras características. En este trabajo se utiliza como referencia de base para definir la estructura NPC y su marco conceptual, necesario para una comparación formal con NPP respecto de estados de conmutación y comportamiento armónico.

- Z. Kehl y T. Glasberger, «Analysis of three-level neutral point piloted power converter topology,» de *2018 International Conference on Applied Electronics (AE)*, Pilsen, Czech Republic, 2018 [5].

El estudio define la topología NPP, discute variantes y detalla trayectorias de corriente y estados de conmutación, identificando qué dispositivos conducen en cada transición. En esta investigación es un insumo clave para explicar, por mecanismo, por qué el tiempo muerto puede afectar de manera diferente a NPP frente a NPC.

- V. Guennegues, B. Gollentz, S. R. F. Meibody-Tabar y L. Leclerc, «A converter topology for high speed motor drive applications,» de *2009 13th European Conference on Power Electronics and Applications (EPE '09)*, Barcelona, Spain, 2009 [18].

El artículo presenta una topología orientada a accionamientos de alta velocidad, donde el compromiso entre frecuencia de conmutación, pérdidas y calidad de onda es crítico. En este trabajo se incorpora para contextualizar la relevancia práctica del tiempo muerto en aplicaciones exigentes, y

para apoyar la discusión sobre esfuerzos de tensión y selección de dispositivos bajo PWM.

1.2.5 Modulación PWM

- A. Bıçak y A. Gelen, «Comparisons of Different PWM Methods with Level-Shifted Carrier Techniques for Three-Phase Three-Level T-Type Inverter,» de *2020 7th International Conference on Electrical and Electronics Engineering (ICEEE)*, Antalya, Turkey, 2020 [4].

Este trabajo compara técnicas PWM basadas en portadoras aplicadas a un inversor NPP, evaluando su impacto sobre el contenido armónico. En esta investigación se utiliza para fundamentar que la distorsión armónica depende del método de modulación, por lo que la evaluación del tiempo muerto debe considerar PWM como variable de control para evitar conclusiones sesgadas.

- A. Babaki, M. S. Golsorkhi, T. Ebel y N. Christensen, «Analysis of Phase Voltage Oscillation Affected by Switching State Changes of Other Phases in Three-Phase T-Type Converter,» de *2024 IEEE International Conference on Industrial Technology (ICIT)*, Bristol, United Kingdom, 2024 [19].

El artículo modela oscilaciones de voltaje de fase causadas por cambios de estado de conmutación en otras fases dentro de convertidores NPP. Se emplea como respaldo para interpretar resultados espectrales y transitorios, ya que parte de las oscilaciones observadas puede provenir de acoplamientos dinámicos entre fases y no únicamente del tiempo muerto.

1.2.6 Discusión

El tiempo muerto (T_m) corresponde a una no idealidad introducida de manera intencional en los inversores de potencia a fin de evitar una conducción simultánea entre dispositivos complementarios. Sin embargo, la literatura muestra que T_m modifica los instantes efectivos de conmutación y las trayectorias de conducción, lo que se traduce en errores de voltaje dependientes del signo de la corriente. En convertidores trifásicos, este efecto se manifiesta en el incremento de distorsión armónica, variaciones en el reparto de pérdidas de conmutación/conducción y en degradación de estrategias orientadas a la reducción o eliminación de voltaje de modo común (VMC).

Si bien se han visto estudios que comparan las topologías NPC y NPP, las comparaciones suelen realizarse fijando el tiempo muerto en un valor fijo, evaluando su compensación, mientras se modifican otras condiciones de operación. En este contexto, se identifica la necesidad de analizar de forma paramétrica la sensibilidad de ambas topologías frente a T_m . Para ello, el uso de simulación con modelos no ideales permite aislar variables y obtener tendencias comparables sin el costo o complejidad de una implementación física inicial, dejando explícitos los supuestos de los modelos para asegurar trazabilidad de resultados.

2. Definición del problema

2.1 Introducción

El tiempo muerto (T_m) es un intervalo de retardo de protección intencional, que se aplica entre las señales de disparo de los dispositivos semiconductores complementarios en los convertidores de potencia. Los estudios del impacto que el T_m provoca suelen realizarse analizando un único valor que este puede presentar, no la sensibilidad de los inversores ante diferentes valores de tiempo muerto. Este proyecto busca comparar la respuesta de los inversores NPP y NPC ante diferentes valores de T_m , a fin de observar el desempeño que estos presenten ante cambios del parámetro.

2.2 Hipótesis de trabajo

- Se espera que los convertidores NPP al presentar una mayor eficiencia que el convertidor NPC presente una mejor respuesta ante un aumento en el valor del tiempo muerto.
- Se espera que el convertidor NPP presente una mejor respuesta que el tipo NPC de voltaje de modo común y corrientes de fuga ante un aumento de T_m .

2.3 Objetivo general

Modelación, simulación y cuantificación de distorsión armónica en las señales de corriente y pérdidas de conducción en convertidores fuente de voltaje de tipo NPP y NPC ante la presencia de tiempo muerto.

2.4 Objetivos específicos

- 1) Análisis comparativo de la distorsión armónica inducida y pérdidas de conducción a causa del tiempo muerto en convertidores NPP frente a NPC.
- 2) Estudiar la sensibilidad de las topologías NPP y NPC a la variación del tiempo muerto y el impacto resultante en el espectro armónico (corriente y tensión), Comportamiento de modo común y corrientes de fuga en sistemas FV sin transformador.

2.5 Alcances

- i. La modulación utilizada, tanto en el convertidor NPP como NPC, será SPWM con portadoras en configuración PD.
- ii. La implementación del modelo se realizará únicamente mediante simulación del software PLECS.
- iii. La fuente de voltaje DC corresponderá a un aproximado de una fuente de voltaje fotovoltaica
- iv. Se utilizará un tipo único de IGBT comercial como interruptor en cada convertidor.

2.6 Productos y resultados esperados

- I. Se entregará un informe de memoria de título explicando los procedimientos de diseño, implementación y prueba de la solución.
- II. Se entregará un modelo de los convertidores NPC y NPP sujetos a los tiempos muertos y pérdidas de conducción.
- III. Se entregarán resultados de la simulación de los convertidores.

3. Conceptos teóricos

3.1 Introducción

Previo al desarrollo de la etapa de simulación y al análisis cuantitativo de los resultados, es necesario establecer el marco conceptual fundamentales que son esenciales en el desarrollo de la investigación. Estos conceptos incluyen: la técnica de modulación utilizada, definiciones y comportamiento de los inversores NPP y NPC, definición de voltaje de modo común, corriente de fuga y descripción de tiempo muerto en los inversores. Estos aspectos son indispensables para la fiabilidad de los resultados de la investigación.

3.2 Modulación en inversores trifásicos

Se presentan múltiples métodos de modulación y control para para los convertidores multinivel [4], tales como, SPWM (Sinusoidal PWM), THIPWM (Third Harmonic Injection PWM), TIPWM (Triangular Zero-Sequence Injection PWM), TPWM (Trapezoidal PWM), SHE (Selective Harmonic Elimination), entre otros.

En el caso actual es utilizada la modulación SPWM, constando de una señal moduladora senoidal con amplitud máxima de 1, interceptada con 2 portadoras triangulares en las configuraciones disposición de fase (PD) y/o Disposición en Oposición de Fase (POD), lo que implica que ambas portadoras se encuentran en la misma fase y desfasadas en 180° respectivamente. Como se ilustra en la Fig. 3.1. Entregando como salida por fase el voltaje de la ecuación (3.1).

La técnica SPWM fue seleccionada debido a que corresponde a uno de los métodos de modulación más ampliamente utilizados en convertidores multinivel, presentando una implementación simple, bajo costo computacional y comportamiento predecible. Permitiendo realizar una comparativa objetiva entre la topología NPC y NPP bajo condiciones iguales de conmutación. Si bien existen otras técnicas de modulación que ofrecen una mejor utilización del bus DC o menores pérdidas de conmutación, introducen estrategias de disparo adicionales que podrían enmascarar el fenómeno bajo estudio.

$$V_a(t) = M * 0.5 * V_{dc} * \sin(\omega t) \quad (3.1)$$

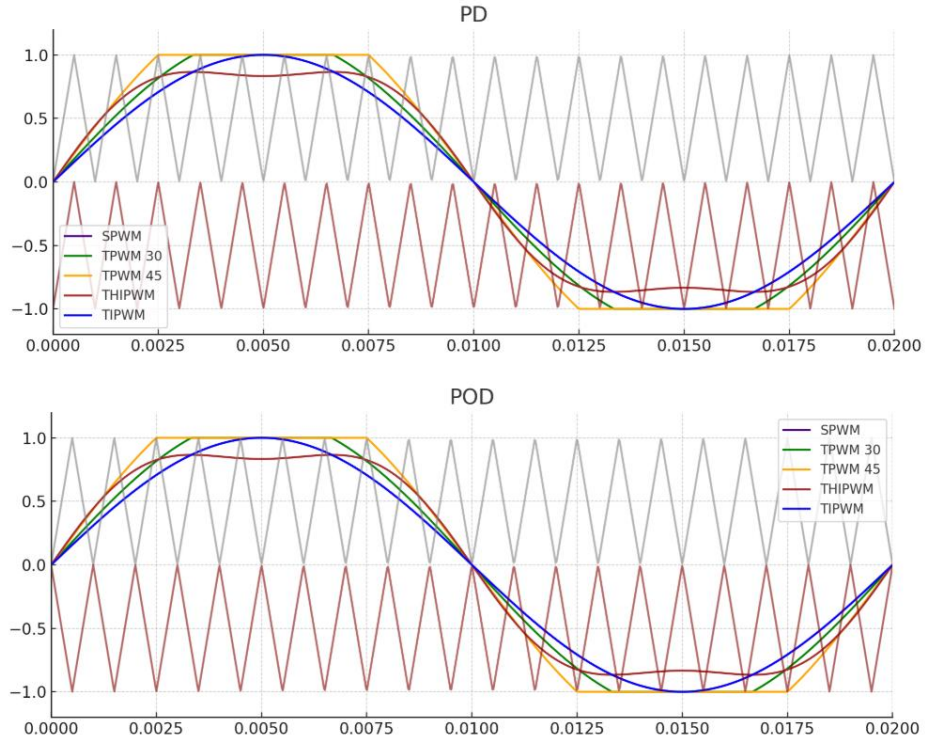


Fig. 3.1 Formas de onda de modulaciones SPWM, TPWM 30, TPWM 45, THIPWM, TIPWM

3.3 Convertidor NPP

Los convertidores tipo Neutral Point Piloted (NPP, Fig. 3.2) son un tipo de convertidor de voltaje multinivel, donde a diferencia de un convertidor de dos niveles, este se caracteriza por contar 3 niveles de voltaje. $+V_{DC}/2$ (Positivo), 0 (Neutro) y $-V_{DC}/2$ (Negativo).

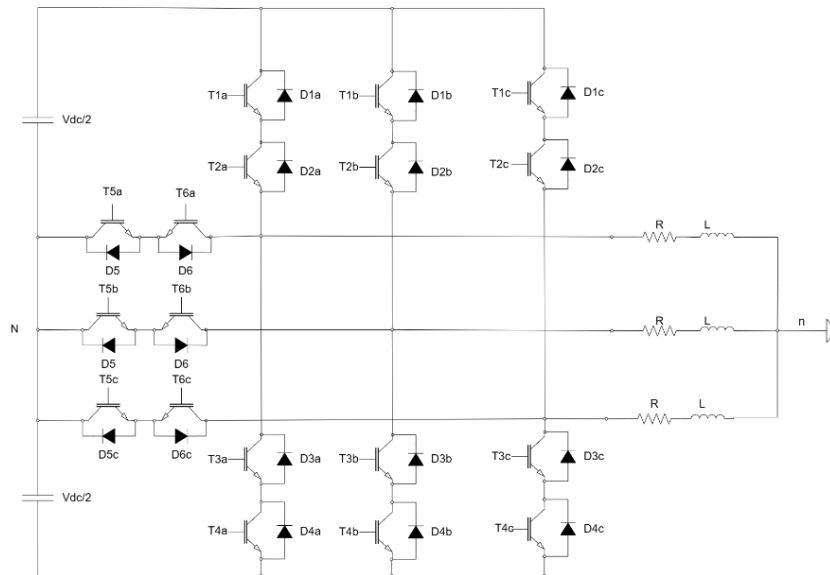


Fig. 3.2 Inversor NPP trifásico

Esta topología se subdivide en 2 tipos ([5], [19]), la topología llamada convertidor tipo T como se ilustra en la Fig. 3.3 (a), que consiste en la utilización de cuatro switches por fase. Donde los interruptores externos (T1 y T2) bloquean la totalidad de V_{DC} , mientras que los internos (T3 y T4) solo bloquean la mitad del voltaje ($\frac{V_{DC}}{2}$).

La topología tipo NPP (Fig. 3.3, b), cuenta con dos switches adicionales al tipo T en una fase, los switches añadidos se conectan en serie dentro de las ramas funcionando al unísono con los switches exteriores (T1 con T2 y T3 con T4). De esta manera la potencia de bloqueo se distribuye en los extremos, permitiendo homologar todos los switches del inversor a un voltaje de bloqueo de $\frac{V_{DC}}{2}$.

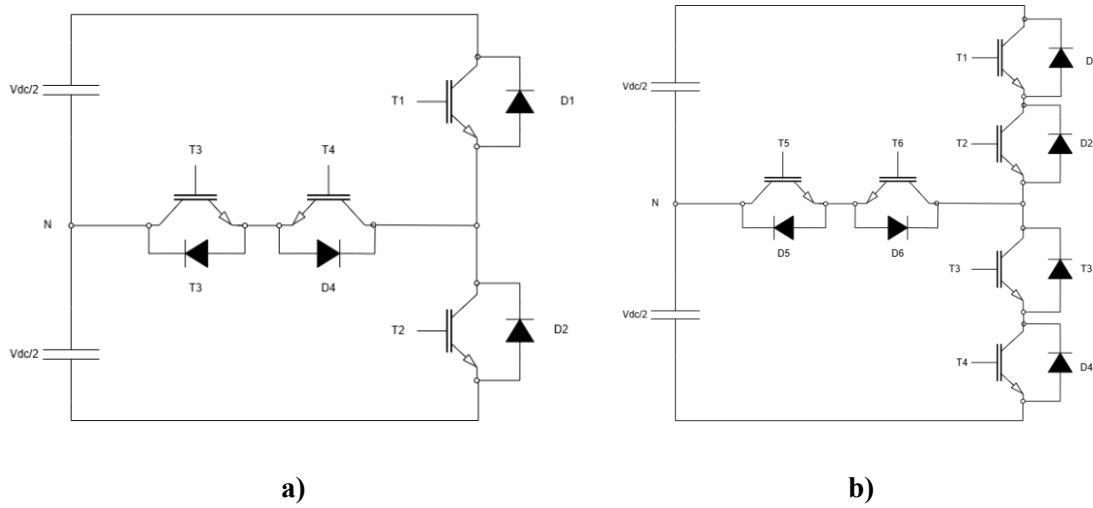


Fig. 3.3 Subcategorías de inversor NPP, a) convertidor tipo T, b) convertidor DC-AC NPP

3.3.1 Funcionamiento convertidor NPP

Dentro de una pierna del inversor NPP (Fig. 3.3, [5]), el nivel de voltaje 0 se obtiene mediante dos IGBTs (T5 y T6) con diodo volante, con una distribución serial bidireccional. Esta sección neutra enlaza N (neutro en dc) con el terminal de salida de fase.

Los switches complementarios son: T1 con T6 y T3 con T5, recordando que el switch T2 como una extensión de T1, así como T4 respecto a T3. Los estados de los interruptores se ilustran en la Tabla 3.1.

La transición de Positivo a 0 del inversor NPP, asumiendo corriente positiva, se puede observar en la Fig. 3.4. Donde en el estado positivo (Fig. 3.4,a) la corriente fluye por los transistores superiores (T1 y T2). Mientras, T5 se encuentra preparado para el siguiente estado.

Tabla 3.1: Estados de una fase convertidor NPP frente a los interruptores encendidos junto a flujo de corriente circulante a través de los interruptores.

Nivel de voltaje de salida		$+\frac{V_{DC}}{2}$	0	$-\frac{V_{DC}}{2}$
Señales de interruptores encendidos		T1,T2,T5	T5,T6	T3,T4,T6
Corriente fluye en sentido	$i_l > 0$	T1,T2	T5,D6	D3,D4
	$i_l < 0$	D1,D2	D5,T6	T3,T4

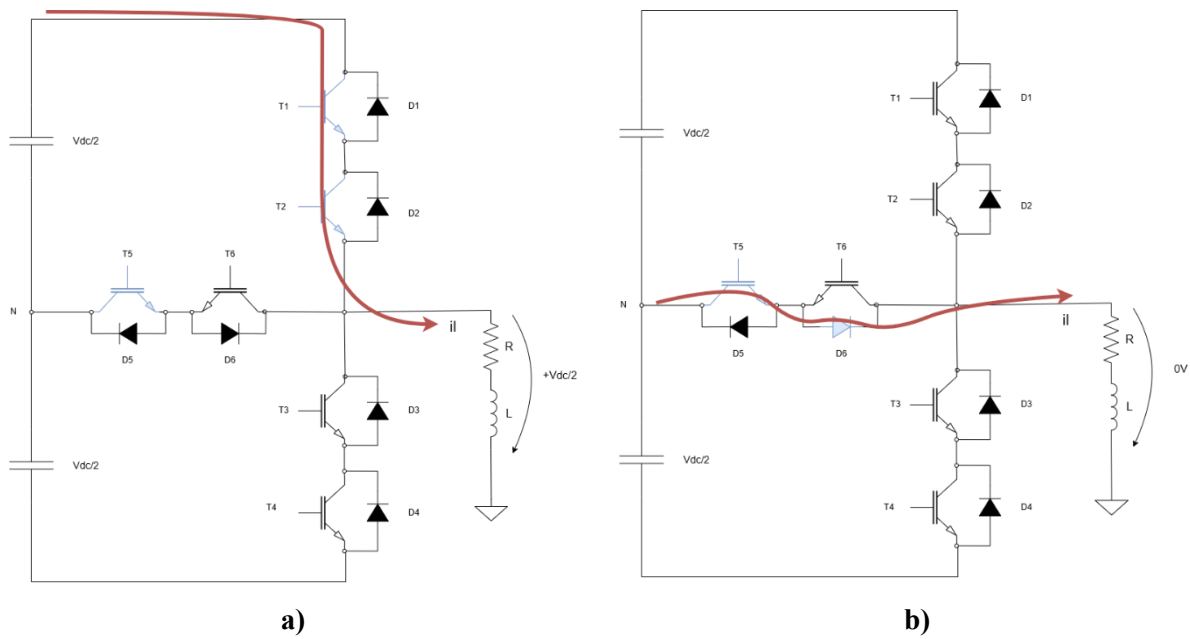


Fig. 3.4 Flujo de corriente en inversor NPP, a) estado P (Positivo), T1, T2, T5 ON (iluminadas), b) estado O(Neutro), T5, D6 ON (iluminadas)

Al pasar al estado de voltaje 0, T1 y T2 son desactivados, bloqueando el flujo de corriente positiva a través de ellos. Siendo esta conducida a través de la rama bidireccional del punto neutro, pasando a través del transistor T5 y el diodo D6, como se ilustra en la Fig. 3.4,b.

3.4 Convertidor tipo NPC

El convertidor de tres niveles Neutral Point Clamped (NPC, [17]), como ilustra la Fig. 3.5, emplea 2 capacitores en el enlace DC, los cuales dividen el voltaje total V_{DC} en dos niveles iguales, generando un punto neutro (N) ubicado entre $+\frac{V_{DC}}{2}$ y $-\frac{V_{DC}}{2}$. Cada pierna del inversor NPC está compuesto por 4 IGBTs (T1 a T4), cada uno con su respectivo diodo antiparalelo y 2 diodos que conectan N con el nodo de salida de la fase.

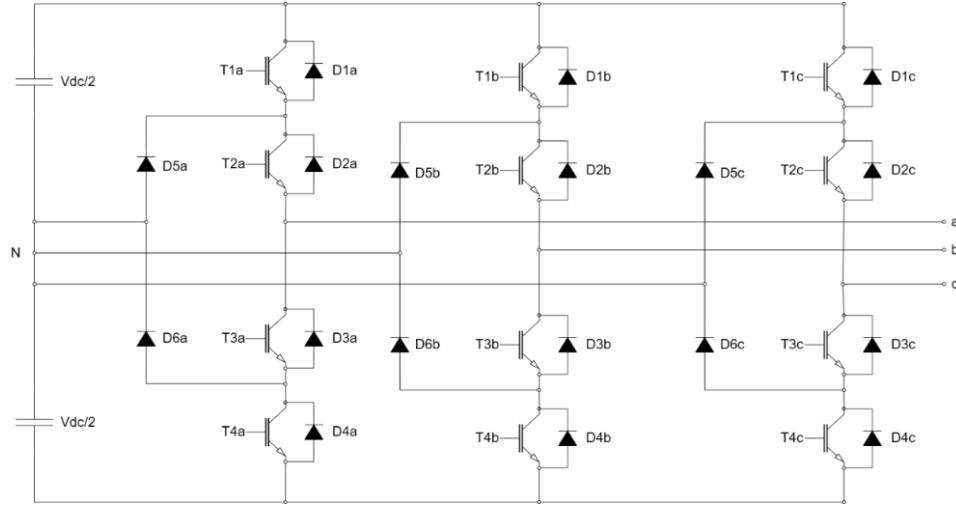


Fig. 3.5 Convertidor NPC de 3 niveles

3.4.1 Funcionamiento convertidor NPC

El inversor NPC de tres niveles en cada pierna presenta tres estados de operación, dos de estos estados son equivalentes a un inversor convencional de dos niveles ($\pm \frac{V_{dc}}{2}$), mientras que el tercer nivel corresponde a un nivel intermedio de 0 volts. Los estados de encendido y apagado de los switches se presentan en la Tabla 3.2, donde:

El estado positivo se obtiene cuando únicamente los interruptores superiores (T1 y T2) se encuentran en conducción, quedando el punto de salida de la fase conectado con el bus positivo de enlace ($+\frac{V_{dc}}{2}$).

El estado negativo, ocurre cuando los interruptores inferiores (T3 y T4) conducen, manteniéndose apagados T1 y T2, viéndose el nodo de salida conectado al bus negativo del enlace de ($-\frac{V_{dc}}{2}$).

El nivel cero, se obtiene al permanecer apagados los switches externos T1 y T4, mientras los interruptores intermedios (T2 y T3) se mantienen en conducción. En esta condición, el punto de salida de la fase queda conectado al punto neutro del enlace dc (N) a través de los diodos de sujeción.

Tabla 3.2 Estado de voltaje de salida de una fase respecto switches encendidos en inversor NPC

Estado\Switch	T1x	T2x	T3x	T4x
Positivo (P)	ON	ON	OFF	OFF
Cero (0)	OFF	ON	ON	OFF
Negativo (N)	OFF	OFF	ON	ON

3.5 Voltaje modo común

El Voltaje de modo común (VMC) [14], se define como la media instantánea de los voltajes fase respecto al punto neutro del sistema trifásico (n). Matemáticamente, se expresa en la ecuación (3.2).

$$V_{MC}(t) = \frac{1}{3}(V_{fase\ a-n} + V_{fase\ b-n} + V_{fase\ c-n}) \quad (3.2)$$

Donde $V_{fase\ a-n}$, $V_{fase\ b-n}$, $V_{fase\ c-n}$ corresponden a los voltajes de cada fase respecto a n.

En un convertidor trifásico de tres niveles, cada fase puede adoptar uno de los tres estados posibles, generando 27 combinaciones de fases posibles [1]. De estos, únicamente siete combinaciones producen un VMC nulo, tal como se detalla en la Tabla 3.3. En el que cada letra representa el estado de una de las fases, siendo P el estado positivo ($+\frac{V_{dc}}{2}$), O el estado cero y N el estado negativo ($-\frac{V_{dc}}{2}$).

Tabla 3.3 Estados posibles de cada fase de inversor NPP y sus respectivos Voltajes modo común (VMC) [1]

Estado de Switches de inversor NPP 3 niveles	Voltaje modo común (VMC)
PPP	$+V_{dc}/2$
PPO,POP,OPP	$+V_{dc}/3$
PNP,PPN,NPP,OOP,POO,OPO	$+V_{dc}/6$
OOO,NPO,NOP,PON,PNO,OPN,ONP	0
PN,NNP,PNN,ONN,NOO,ONO	$-V_{dc}/6$
NON,ONN,NNO	$-V_{dc}/3$
NNN	$-V_{dc}/2$

3.6 Corriente de fuga

La corriente de fuga (I_f) [16] corresponde a una corriente eléctrica no deseada que circula entre el neutro de la salida trifásica (n) y punto neutro del enlace DC del inversor (N). En sistemas fotovoltaicos sin transformador, este fenómeno es producto debido a que, ante la ausencia de un transformador, existe una conexión galvánica entre la red y la fuente DC, creándose un circuito de resonante si el arreglo fotovoltaico se encuentra aterrizado

El circuito resonante incluye la capacitancia parasita del arreglo fotovoltaico, las inductancias del filtro y la red, las capacitancias parasitas del inversor y la inductancia entre la conexión a tierra del inversor y la red.

este fenómeno se encuentra estrechamente relacionado con el voltaje de modo común (VMC), ya que variaciones de I_f , al igual que el voltaje modo común, depende de la suma de los voltajes de fase a neutro de la fuente (N).

3.6.1 Cálculo de corriente de fuga

Con el objetivo de un análisis del peor caso de este fenómeno se decidió el simular un enlace directo entre los puntos n y N de los inversores NPP y NPC, para un sistema fotovoltaico, para lo cual no se consideraron capacitancias o inductancias parasitas en el sistema.

A partir del circuito de los inversores NPP y NPC se obtuvo un circuito equivalente de las corrientes de fuga Fig. 3.6, donde se considera el voltaje fase Neutro dc como fuentes dependientes según las mediciones del circuito principal. Las fuentes tienen en serie las inductancias y resistencias de carga de cada una de las fases, uniéndose las tres fases en el neutro “n”, el producto de la suma de

estas 3 corrientes corresponde a la corriente de fuga. A partir del LCK (3.3)y LVK(3.4) se obtuvo la ecuación equivalente de la corriente de fuga (3.5).

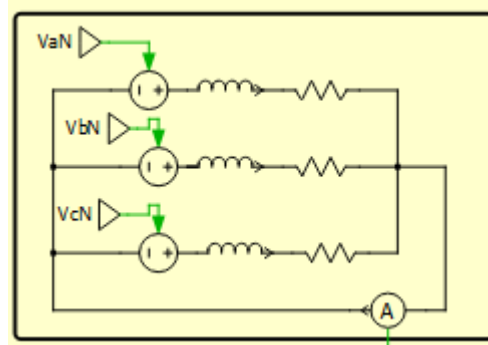


Fig. 3.6 Circuito equivalente corriente de fuga

$$I_{fuga}(t) = I_{fase a} + I_{fase b} + I_{fase c} \quad (3.3)$$

$$V_{fase a-N}(t) = R_l i_a(t) + L_l \frac{di_a(t)}{dt} \quad (3.4)$$

$$L_l \frac{di_{fuga}(t)}{dt} = (V_{fase a-N}(t) + V_{fase b-N}(t) + V_{fase c-N}(t)) - R_l i_{fuga}(t) \quad (3.5)$$

3.7 Tiempos muertos

Los tiempos muertos (T_m) son un periodo de espera de microsegundos (μs) a la hora de aplicar la señal de encendido de un switch en una modulación PWM [10], la implementación de esta medida es necesaria a fin de evitar el llamado disparo directo del enlace de DC.

En la Fig. 3.7, en un entorno ideal, la conmutación de 2 switches complementarios ocurre de manera directa del estado Fig. 3.7a, con T1 On y T2 Off, al estado Fig. 3.7b, T1 Off y T2 On. Sin embargo, en la realidad los dispositivos semiconductores son no lineales, conllevando que el tiempo de apagado sea mayor al de encendido.

Un caso catastrófico en inversores de fuente de voltaje corresponde a un cortocircuito, en la Fig. 3.8 se ilustra el paso de un estado positivo Fig. 3.8a (con T1 On, T2 Off) a un estado negativo Fig. 3.8c (T1 Off, T2 On), durante la transición de estos estados el encendido de T2 se produce antes del apagado total de T1, produciéndose un cortocircuito en la fuente de voltaje Fig. 3.8b.

La aplicación de un tiempo muerto durante esta transición imparte un retardo del encendido del switch pronto a encenderse, permitiendo el apagado total de ambos semiconductores previo al encendido Fig. 3.9b. Durante T_m la corriente de salida (i_l) fluye a través de los diodos volantes según la polaridad de esta.

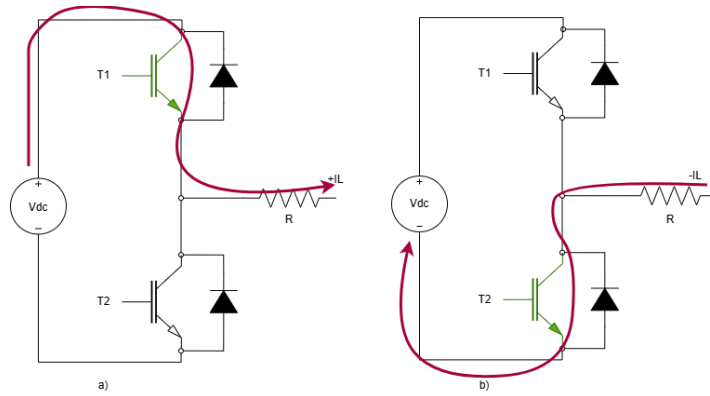


Fig. 3.7 Transición de switches complementarios ideales, a) T1 On (verde), T2 Off; b) T1 Off, T2 On (verde), flujo de corriente (Rojo)

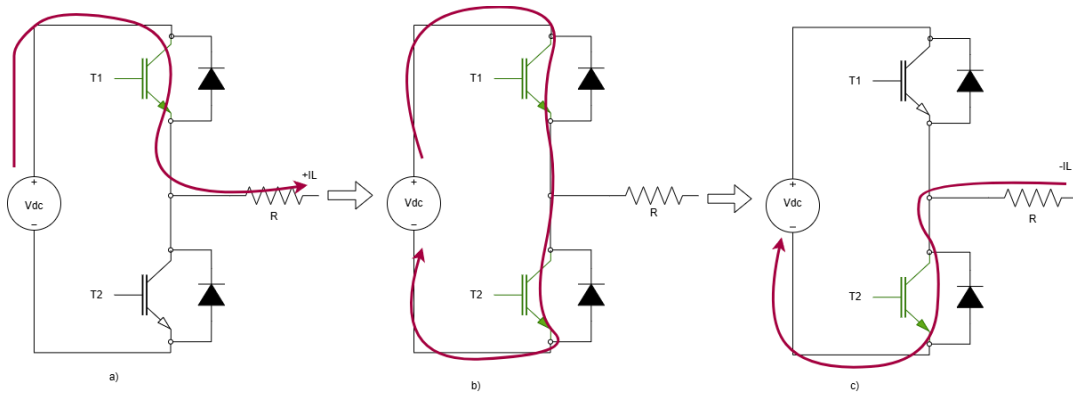


Fig. 3.8 Transición de switches complementarios no ideales en condición de cortocircuito, flecha roja indica flujo de corriente, a) T1 On(verde), T2 Off; b) Condición de falla, T1 On, T2 On; c) T1 Off, T2 On

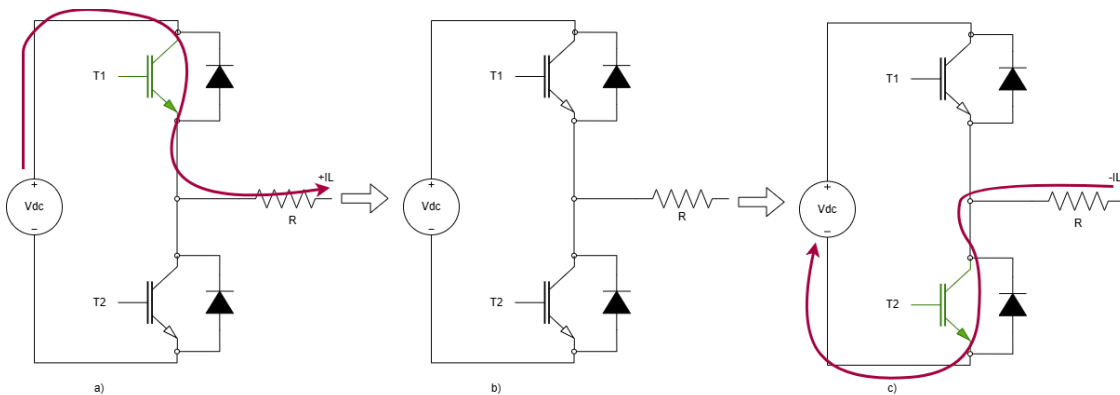


Fig. 3.9 Transición de switches complementarios no ideales con tiempo muerto, flecha roja indica flujo de corriente, a) T1 On (verde), T2 Off; b) Tiempo muerto, T1 Off, T2 Off; c) T1 Off, T2 On

3.7.1 Efectos de los tiempos muertos en señales PWM

Si bien la implementación de tiempos muertos es requerida para el correcto funcionamiento de los convertidores fuente de voltaje, estos inducen efectos no deseados en la calidad de las formas de onda de las señales de salida de corriente y voltaje. Tales como, componentes de distorsión armónica, la aparición de nuevos voltajes de modo común, entre otros.

La distorsión armónica es consecuencia de la conmutación de los interruptores, la presencia de los tiempos muertos modifica la duración de los pulsos PWM, alterando la señal fundamental.

El voltaje de modo común surge debido a los estados transitorios asimétricos entre distintas fases de un convertidor trifásico, siendo el tiempo muerto el detonante de un mayor número de estas instancias.

3.7.2 Tiempos muertos en inversor NPP

Un inversor NPP ([1], [15], [19]) no se encuentra expuesto al tiempo muerto, en la Fig. 3.10, se ilustran los flujos de i_l durante las transiciones entre estados. El caso de la Fig. 3.10a, muestra el paso del estado 0 (cero) con T3 y T4 On a P (positivo) con T1 y T3 On, i_l es representado por una flecha roja en caso de ser positivo y negro en una orientación negativo. Durante el tiempo muerto T4 se apaga, $+i_l$ continúa circulando por T3 y D4, mientras $-i_l$ comienza a circular por D1 [3].

El tiempo muerto genera nuevos picos de VMC entre los estados de conmutación adyacentes, tomando como ejemplo la Fig. 3.11(I), donde se utiliza modulación ZCMV, durante el paso OPN a OOO el retardo en el encendido de V_c implica un pulso de VMC pese a utilizarse un tipo de modulación que anula VMC.

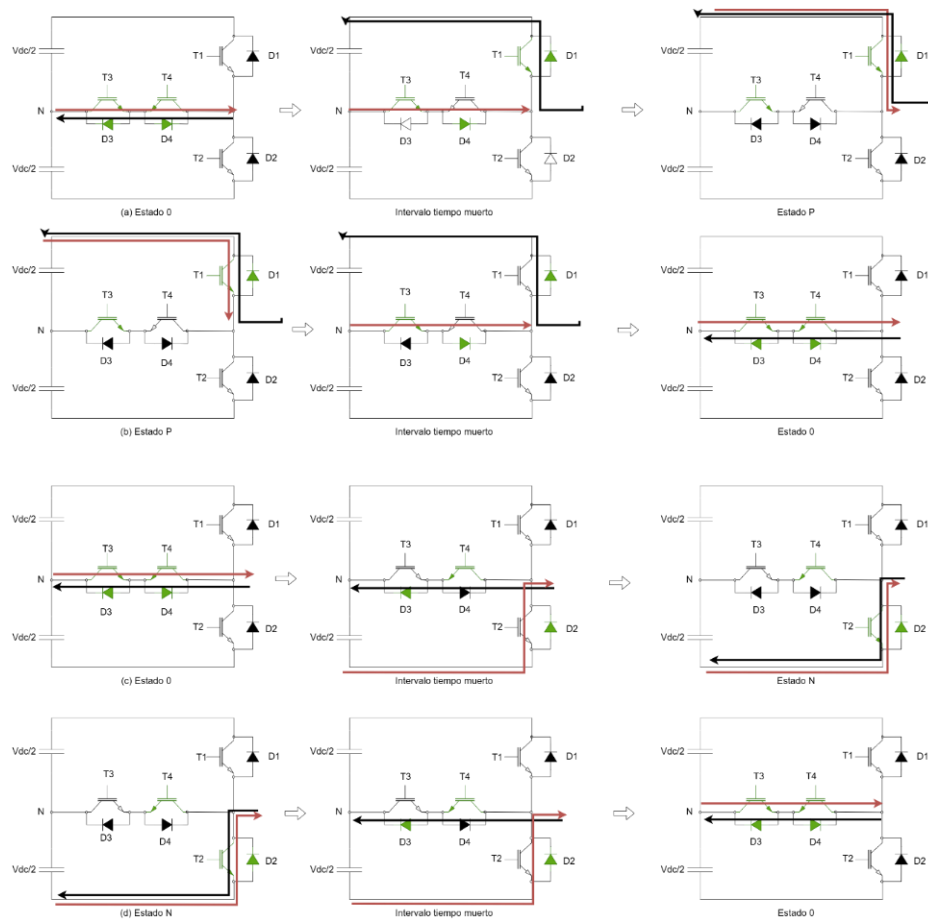


Fig. 3.10 Conmutación de corriente de fase convertidor NPP tipo T durante las transiciones de estado entre N, P y 0 con flujo de entrada Azul y de salida Rojo. Switches azules encendidos.

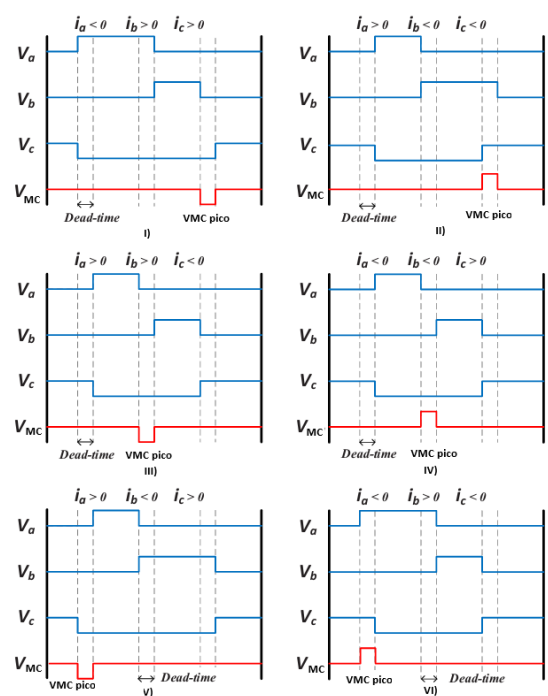


Fig. 3.11 Voltajes de salida en fases a, b, c y modo común en diferentes polaridades de il en inversor NPP [1]

3.7.3 Tiempos muertos en convertidor NPC

El tiempo muerto es requerido en un convertidor NPC a la hora de desplazarse entre los 3 estados del convertidor [12], La Fig. 3.12. muestra el flujo de la corriente de salida (i_L) en las diferentes transiciones de estados, siendo la flecha roja $+i_L$ y negra $-i_L$. En la Fig. 3.12a se ilustra una transición bidireccional desde el estado positivo (T1, T2 On), pasando por Tm (T2 On) al estado cero (T2, T3 On), distribuyéndose la corriente únicamente entre los dos estados involucrados.

La aplicación de Tm distorsiona la conmutación ideal, generando pulsos de tensión de magnitud fija cada vez que cambia el estado de conmutación. Estos pulsos afectan el voltaje de salida. La Fig. 3.13 muestra la conmutación entre T1 y T3, en el caso Fig. 3.13a il es positiva, por lo que tras apagarse T3, el voltaje de salida sigue siendo 0V hasta que encienda T1, siendo esto un error respecto a la conmutación de referencia. Por las mismas razones en Fig. 3.13b durante el flanco descendente se produce un error de voltaje. Esta influencia del tiempo muerto causa un error de corriente de salida y un desequilibrio de tensión en el enlace dc.

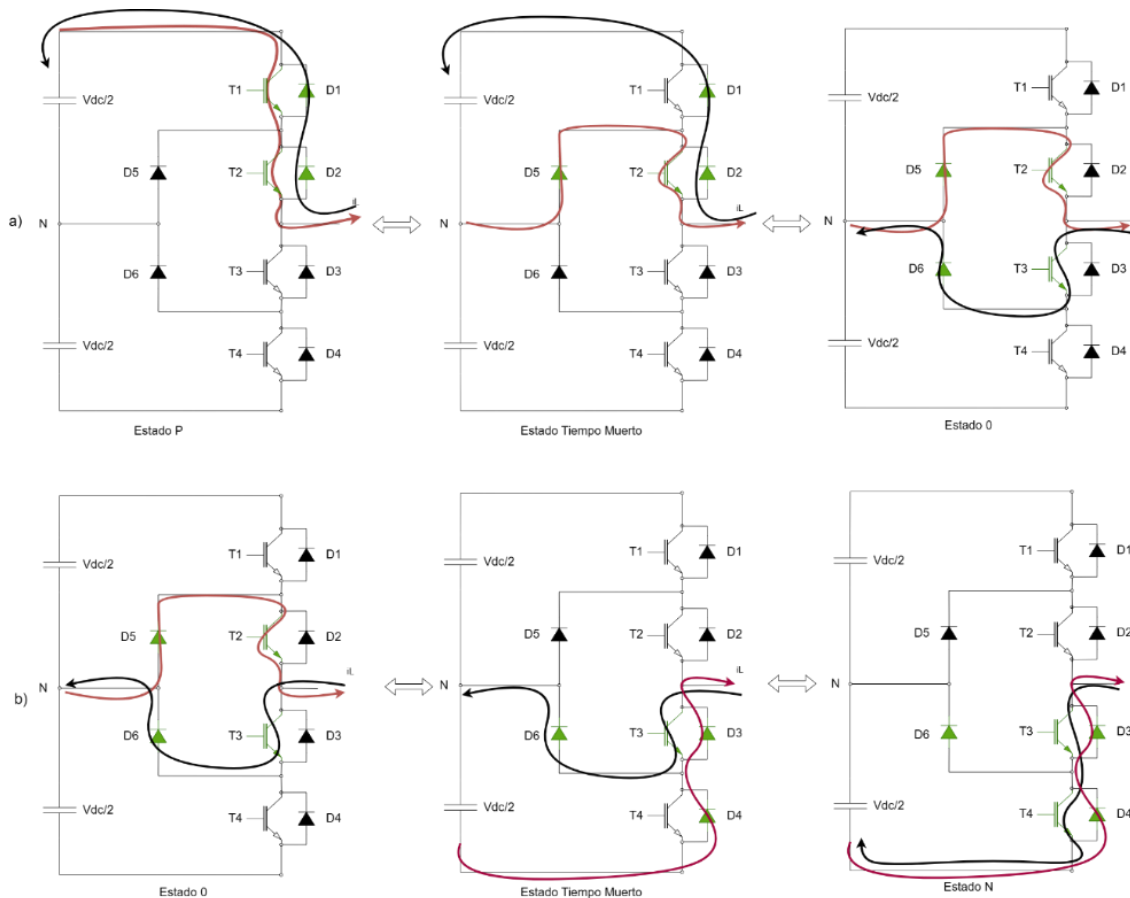


Fig. 3.12 Transición de estados en inversor NPC, a) paso entre Positivo (T1, T2 On) y Cero (T2, T3 On); b) paso entre Cero (T2, T3 On) y Negativo (T3, T4 On). Flecha roja $+i_L$, flecha negra $-i_L$

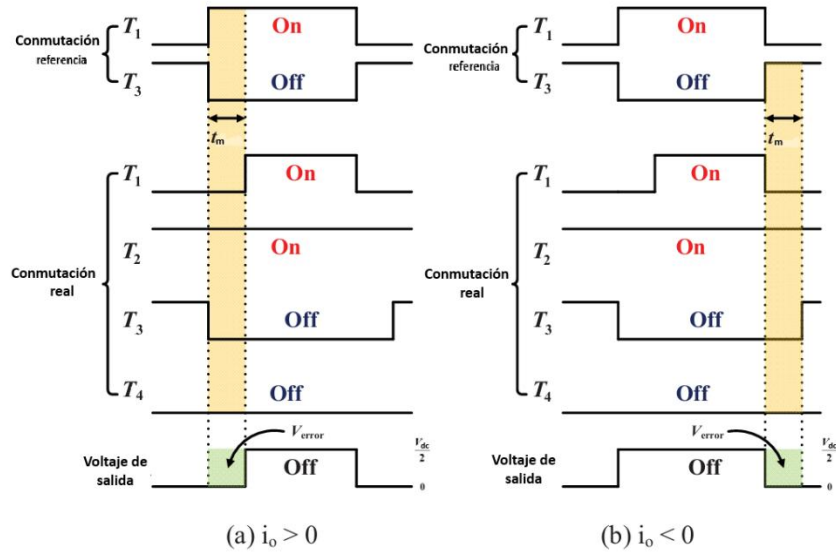


Fig. 3.13 Voltajes de salida de una fase tras efectos de tiempo muerto en inversor NPC [12]

3.8 Herramientas de PLECS

3.8.1 Herramientas térmicas de plecs

El **disipador de calor “Heat Sink”** (Fig. 3.14a) recibe la potencia térmica generada por las pérdidas de los semiconductores, funcionando como un nodo térmico común dentro del modelo. Asimismo, establece un entorno isotérmico que fija el potencial térmico compartido por todos los dispositivos conectados a dicho nodo

El bloque **“thermal resistor”** (Fig. 3.14b) proporciona una resistencia térmica unidimensional ideal entre dos nodos.

El bloque **“constant temperature”** (Fig. 3.14c) impone un potencial térmico constante en su terminal, representando la temperatura ambiente o una condición térmica fija del sistema.

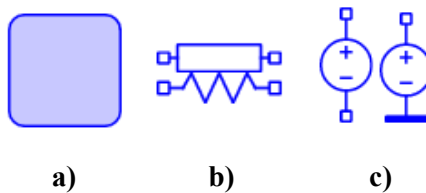


Fig. 3.14 Herramientas de biblioteca térmica de PLECS, a) disipador de calor, b) resistencia térmica, c) constante de temperatura

3.8.2 IGBT con limite di/dt

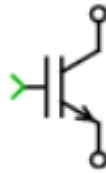
El modelo “IGBT with limited di/dt” (Fig. 3.15) representa el comportamiento dinámico del IGBT al imponer un límite explícito en la pendiente de la corriente durante la conmutación. Este límite surge principalmente por la presencia de inductancias parasitas en el circuito de conmutación, lo que genera una pendiente de caída de corriente durante el apagado y permite representar de manera aproximada los fenómenos asociados a la recuperación inversa del diodo antiparalelo.

Pese a presentar formas de onda transitorias simplificadas de corriente y tensión, este modelo resulta suficiente para evaluar el efecto de los tiempos muertos en las formas de onda de la corriente y el voltaje durante estos transientes de encendido y apagado de manera íntegra en el circuito eléctrico.

Los parámetros requeridos por el modelo “IGBT with limited di/dt” se encuentran definidos en la Tabla 3.4.

Tabla 3.4 Descripción técnica IGBT con limite di/dt

Parámetros:	Descripción técnica:
Blocking voltaje (V_{CE})	Voltaje colector-emisor máximo que el semiconductor puede bloquear en estado OFF sin entrar en avalancha.
Continuous collector current (I_C)	Corriente máxima de colector que puede conducir de manera continua en estado ON sin exceder los límites térmicos de la unión ni del encapsulado.
Forward voltaje (V_F)	Caída de tensión directa del diodo interno del IGBT cuando conduce en polarización directa.
On-resistance (R_{ON})	Resistencia equivalente del dispositivo en conducción, asociada a las pérdidas lineales tensión-corriente cuando el IGBT está encendido.
Off-resistance (R_{OFF})	Resistencia equivalente del dispositivo apagado, que modela el bloqueo y la corriente de fuga en estado OFF.
Rise time (t_r)	Tiempo de subida durante la conmutación, típicamente del 10% al 90% del valor final.
Fall time (t_f)	Tiempo de bajada durante la conmutación, típicamente del 90% al 10% del valor inicial.
Stray inductance (L_{sig})	Inductancia parásita de dispersión asociada al layout: pistas, cables, encapsulado y conexiones del semiconductor.
Initial current (I_0)	Corriente inicial presente en el dispositivo justo antes de la conmutación, usada como condición inicial en el cálculo de di/dt.



IGBT with Limited di/dt (mask) (link)

This IGBT models finite current slopes during turn-on and turn-off. The model can be used to chop inductive currents.

Upon a non-zero gate signal the device current increases linearly; its maximum rate-of-change is approx. $0.8 \cdot I_c / t_r$. When the gate signal becomes zero, the current starts to fall with a time constant determined by t_f . The parameter L_{sig} must be positive.

Parameters	Assertions
Blocking voltage V_{ces} (V): Vces	Rise time t_r (s): Tr
Continuous collector current I_c (A): Ic	Fall time t_f (s): Tf
Forward voltage V_f (V): Vf	Stray inductance L_{sig} (H): Lsg
On-resistance R_{on} (Ω): Ron	Initial current i_0 (A): 0
Off-resistance R_{off} (Ω): Roff	

Fig. 3.15 IGBT con limite di/dt

3.8.3 Diodo con recuperación inversa

El modelo “Diodo With Reverse Recovery” (Fig. 3.16) permite representar el fenómeno de recuperación inversa producido cuando un diodo, previamente en estado de polarización directa, es forzado a cambiar de estado de conducción en un corto intervalo de tiempo. Durante este proceso, la carga almacenada en la unión Q_{rr} no se disipa de manera instantánea, producto de factores, tales como, la carga almacenada en la unión y la conducción previa. En consecuencia, el diodo continúa comportándose temporalmente como un cortocircuito en lugar de un circuito abierto, permitiendo la circulación de corrientes inversas transitorias.

Esta corriente inversa presenta una duración t_{rr} con una pendiente di_r/dt hasta llegar a un valor máximo I_{rrm} para luego disminuir consumiendo el total de la carga Q_{rr} , ingresando finalmente al estado de bloqueo.



Diode with Reverse Recovery (mask) (link)

This model of a power diode includes the reverse recovery effect.

Only two of the three parameters t_{rr} , I_{rrm} and Q_{rr} must be specified. The undefined parameter should be set to 0, otherwise the value for Q_{rr} is ignored. The parameter L_{rr} can be arbitrarily set to a very small value, e.g. 1 nH.

Parameters	Assertions
Forward voltage V_f (V): Vf_D	Reverse recovery time t_{rr} (s): Trr_D
On-resistance R_{on} (Ω): Ron_D	Peak recovery current I_{rrm} (A): Irrm_D
Off-resistance R_{off} (Ω): Roff_D	Reverse recovery charge Q_{rr} (C): Qrr_D
Continuous forward current I_{f0} (A): If_D	L_{rr} (H): Lrr_D
Current slope at turn-off dI_r/dt (A/s): dir_D	

Fig. 3.16 Diodo con recuperación inversa

Tabla 3.5 Descripción técnica Diodo con recuperación inversa

Parámetros:	Descripción técnica:
Forward voltaje (V_F)	Caída de tensión directa del diodo cuando conduce en polarización directa.
On-resistance (R_{ON})	Resistencia dinámica equivalente del diodo en conducción directa.
Off-resistance (R_{OFF})	Resistencia equivalente del diodo en polarización inversa (estado de bloqueo).
Continuous forward current (I_{f0})	Corriente máxima directa continua que el diodo puede conducir sin exceder los límites térmicos de la unión ni el encapsulado.
Current slope at turn-off (dI_r/dt)	Pendiente de la corriente inversa durante el proceso de recuperación inversa.
Reverse recovery time (t_{rr})	Tiempo de recuperación inversa, definido como el intervalo entre el cruce por cero de la corriente y el momento en el que la corriente inversa decae a un valor residual específico.
Peak recovery current (I_{rrm})	Valor máximo de la corriente inversa durante el proceso de recuperación inversa,
Reverse recovery change (Q_{rr})	Carga de recuperación inversa, cuantifica la carga almacenada que debe ser extraída al apagar el diodo.
L_{rr}	Inductancia asociada al lazo de recuperación inversa. Actúa como prueba para medir di/dt .

3.8.4 MOSFET con limite di/dt

El modelo “MOSFET with limited di/dt ” (Fig. 3.17) representa el comportamiento dinámico del MOSFET al incorporar un límite explícito en la pendiente de la corriente durante la conmutación. Este límite surge principalmente por la presencia de inductancias parásitas en el circuito de conmutación, las cuales provocan una transición no instantánea de la corriente durante el apagado. De esta forma, el modelo permite una aproximación del comportamiento más realista que el modelo ideal, cuya conmutación ocurre de manera instantánea.

El comportamiento dinámico de este modelo MOSFET es análogo al caso de IGBT con limite di/dt (capítulo 3.8.2), incorporando formas de onda transitorias simplificadas que reproducen únicamente la pendiente limitada de la corriente. por lo anterior, pese a no ser recomendado para un análisis detallado de pérdidas de conmutación, resulta suficiente para estudiar los efectos de los tiempos muertos en los convertidores NPP y NPC.

Los parámetros requeridos para el modelo “MOSFET with limited di/dt ” se encuentran definidos en la Tabla 3.6.

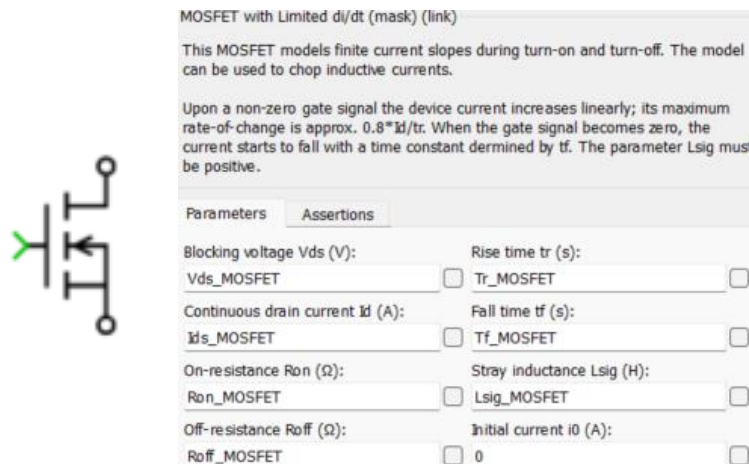


Fig. 3.17 MOSFET with limited di/dt

Tabla 3.6 Descripción técnica MOSFET con límite di/dt

Parámetros:	Descripción técnica:
Blocking voltaje (V_{ds})	Voltaje drenador-source máximo que el semiconductor puede bloquear en estado OFF sin entrar en avalancha.
Continuous drain current (I_d)	Corriente máxima de drenador que el MOSFET puede bloquear en estado OFF.
On-resistance (R_{ON})	Resistencia equivalente del dispositivo en conducción, asociada a las pérdidas lineales tensión-corriente cuando el MOSFET está encendido.
Off-resistance (R_{OFF})	Resistencia equivalente del dispositivo apagado, que modela el bloqueo y la corriente de fuga en estado OFF.
Rise time (t_r)	Tiempo de subida durante la conmutación, típicamente del 10% al 90% del valor final.
Fall time (t_f)	Tiempo de bajada durante la conmutación, típicamente del 90% al 10% del valor inicial.
Stray inductance (L_{sig})	Inductancia parásita de dispersión asociada al layout: pistas, cables, encapsulado y conexiones del semiconductor.
Initial current (I_0)	Corriente inicial presente en el dispositivo justo antes de la conmutación, usada como condición inicial en el cálculo de di/dt

4. Modulación de tiempo muerto en inversor NPP

4.1 Teoría modulación de tiempo muerto en inversor NPP

Dentro de una pierna en un convertidor tipo Neutral Point Piloted (NPP) se encuentra la conexión del punto neutro de la fuente con la fase (Fig. 4.1, rectángulo rojo). Esta sección está compuesta por dos switches (T3 y T4), Ambos conectados en sentidos opuestos entre sí, con la finalidad de representar un único switch bidireccional que permitir el flujo de corriente en ambos sentidos durante el estado 0 (T3, T4 On). Se presenta la incógnita del valor de los switches durante el tiempo muerto de las transiciones, buscando estrategias que limiten un cortocircuito en el inversor.

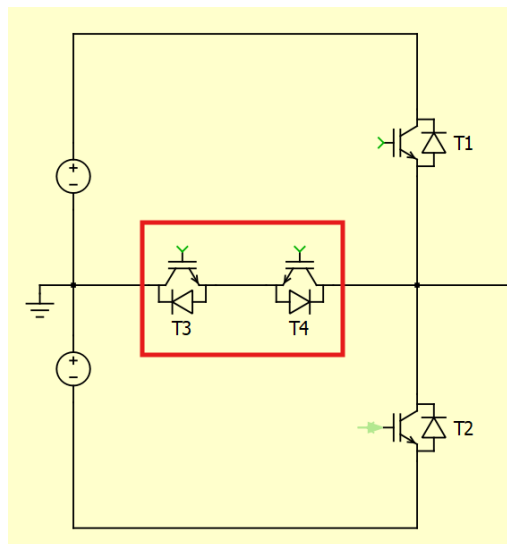


Fig. 4.1 Inversor NPP de una fase, rectángulo rojo señala sección neutra

En la búsqueda del mejor control de la sección neutra durante las transiciones de T_m , se realiza un análisis acerca de los criterios de encendido para T3 y T4, donde se encuentran estrategias de condicionamiento:

1. La consideración de T3 y T4 como un único switch bidireccional, sincronizando su conmutación durante el retardo de encendido correspondiente durante el tiempo muerto (Tabla 4.1).
2. La consideración de T3 y T4 como 2 switches independientes entre sí a la hora de sus conmutaciones (
3. Tabla 4.2).

Tabla 4.1 Relación condición de switch vs estado de la pierna del Convertidor NPP, configuración punto neutro único Switch

Estado\ Switch	T1	T2	T3	T4
P	ON	OFF	OFF	OFF
P<->0	OFF	OFF	OFF	OFF
0	OFF	OFF	ON	ON
0<->N	OFF	OFF	OFF	OFF
N	OFF	ON	OFF	OFF

Tabla 4.2 Relación condición de switch vs estado de la pierna del Convertidor NPP, configuración punto neutro de dos switches independientes

Estado\ Switch	T1	T2	T3	T4
P	ON	OFF	ON	OFF
P<->0	OFF	OFF	ON	OFF
0	OFF	OFF	ON	ON
0<->N	OFF	OFF	OFF	ON
N	OFF	ON	OFF	ON

La **1ra configuración** (Tabla 4.1), se basa a partir de la definición de un tiempo muerto, en el cual previo el encendido de un nuevo interruptor, todos los demás interruptores de la pierna deben encontrarse apagados durante el tiempo muerto.

La **2da configuración** (

Tabla 4.2), se basa en la interpretación de que, durante el periodo de T_m , únicamente los interruptores que posibiliten el riesgo de una falla permanezcan apagados, mientras que los demás mantengan su estado actual.

4.2 Simulación de condiciones de sección neutra en NPP

Se realizan simulaciones de las configuraciones 1 y 2 de una pierna del convertidor NPP (Fig. 4.1). considerando tanto el comportamiento ideal de estas, como con un tiempo muerto siendo aplicado. Ambas configuraciones constando de una modulación SPWM tipo PD (Fig. 4.2), compuesta por una señal moduladora (Mod) sinusoidal interceptada por 2 señales portadoras triangulares, TriU de 0 a 1 y TriL de -1 a 0.

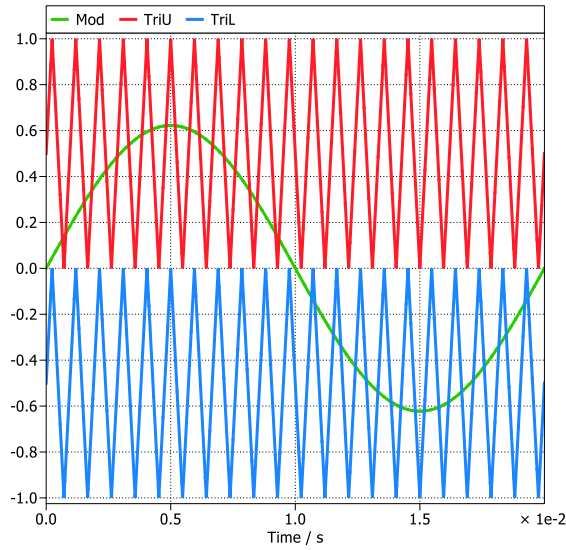


Fig. 4.2 Modulación SPWM convertidor NPP, señal moduladora con 2 portadoras

4.2.1 Simulación de un switch de punto neutro

La simulación de la primera configuración (Fig. 4.3). El encendido de los switches T3 y T4 se encuentra condicionado por el hecho de que los interruptores T1 y T2 se encuentren apagados en simultáneo, siguiendo los algoritmos (4.1), (4.2), (4.3) y (4.4).

$$T_1 = \begin{cases} ON, & Mod > TriU \\ OFF, & Mod \leq TriU \end{cases} \quad (4.1)$$

$$T_2 = \begin{cases} ON, & Mod \leq TriL \\ OFF, & Mod > TriL \end{cases} \quad (4.2)$$

$$T_3 = \begin{cases} ON, & Mod \leq TriU \wedge Mod \geq TriL \\ OFF, & Mod > TriU \wedge Mod < TriL \end{cases} \quad (4.3)$$

$$T_4 = \begin{cases} ON, & Mod \leq TriU \wedge Mod \geq TriL \\ OFF, & Mod > TriU \wedge Mod < TriL \end{cases} \quad (4.4)$$

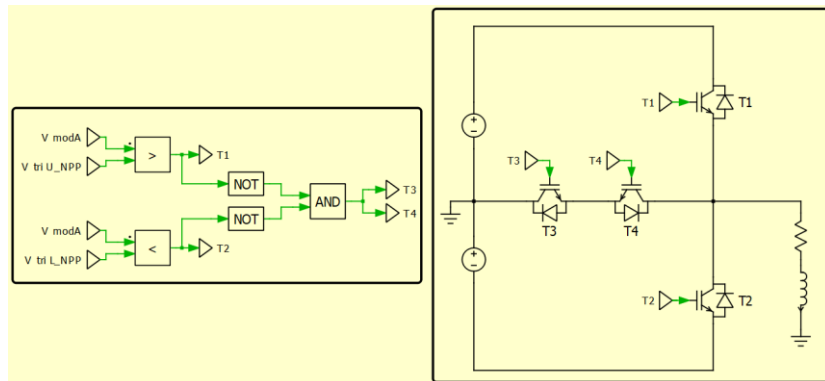


Fig. 4.3 Convertidor NPP configuración 1 switch en punto neutro

4.2.2 Simulación de dos switches independientes en punto neutro

La simulación de la segunda configuración (Fig. 4.4), rige el encendido de T3 y T4 al descartar las combinaciones destructivas del inversor, siendo T2 para T3 y T1 para T4, mostrándose estos switches como complementarios, siguiendo los algoritmos (4.5) y (4.6).

$$\begin{cases} T_1 = ON, & Mod > TriU \\ T_4 = ON, & Mod \leq TriU \end{cases} \quad (4.5)$$

$$\begin{cases} T_2 = ON, & Mod < TriL \\ T_3 = ON, & Mod \geq TriL \end{cases} \quad (4.6)$$

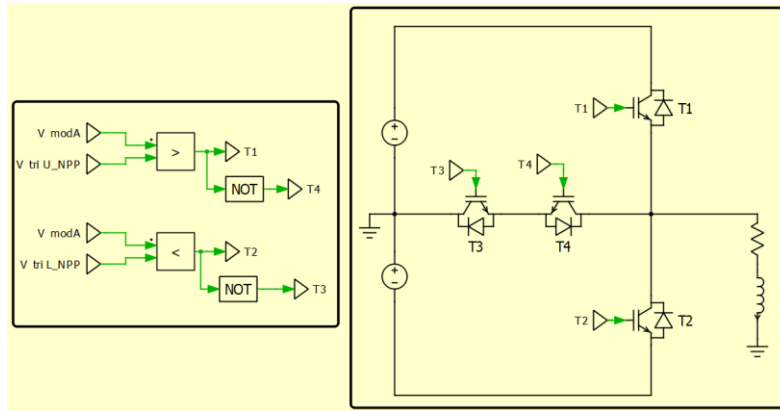


Fig. 4.4 Convertidor NPP configuración 2 switch en punto neutro

4.3 Resultados

La Fig. 4.5 ilustra las gráficas resultantes de la utilización tanto de la primera configuración (Tabla 4.1) en la columna izquierda, como de la segunda (Tabla 4.2) en la columna derecha. En los casos ideales, sin la presencia de tiempos muertos, el comportamiento tanto de la conf 1 (Fig. 4.5a) como la segunda (Fig. 4.5b) presentan formas de onda idénticas, tanto en las corrientes que circulan a través de los interruptores, tituladas por I Tx correspondiente, como el voltaje y corriente de salida, titulado por Out, siendo la franja roja la corriente y verde el voltaje.

La implementación de los tiempos muertos muestran diferentes comportamientos en ambas configuraciones. La conf 1 (Fig. 4.5c) muestra picos de voltaje de salida entre $+\frac{V_{dc}}{2}$ y $-\frac{V_{dc}}{2}$, así como, nuevos pulsos de corriente inversa a través de los interruptores durante el periodo de tiempo muerto. Mientras la segunda configuración (Fig. 4.5d) presenta un comportamiento semejante a los casos sin Tm.

Realizando un acercamiento a la primera configuración en la Fig. 4.5e, se muestra la transición de los estados 0 a P, donde T3 y T4 se apagan durante T_m , cerrando el paso del flujo de la corriente a través de la sección neutra, ocasionando el flujo de $+i_l$ a través de D2, lo que produce un pulso de V_{dc} previo al estado P. Durante el mismo periodo en la Fig. 4.5f, la conf 2 mantiene T3 encendido durante el tiempo muerto, manteniendo el flujo de la corriente entre los dos estados que se encuentran operando (estado 0 y P).

Viéndose que ambas configuraciones cumplen con el propósito de evitar corrientes de cortocircuito, se decide utilizar durante la experimentación de este trabajo la segunda configuración (Tabla 4.2), debido a la baja variación de sus formas de onda con y sin tiempo muerto, así como sus saltos de $\frac{V_{dc}}{2}$ entre estados.

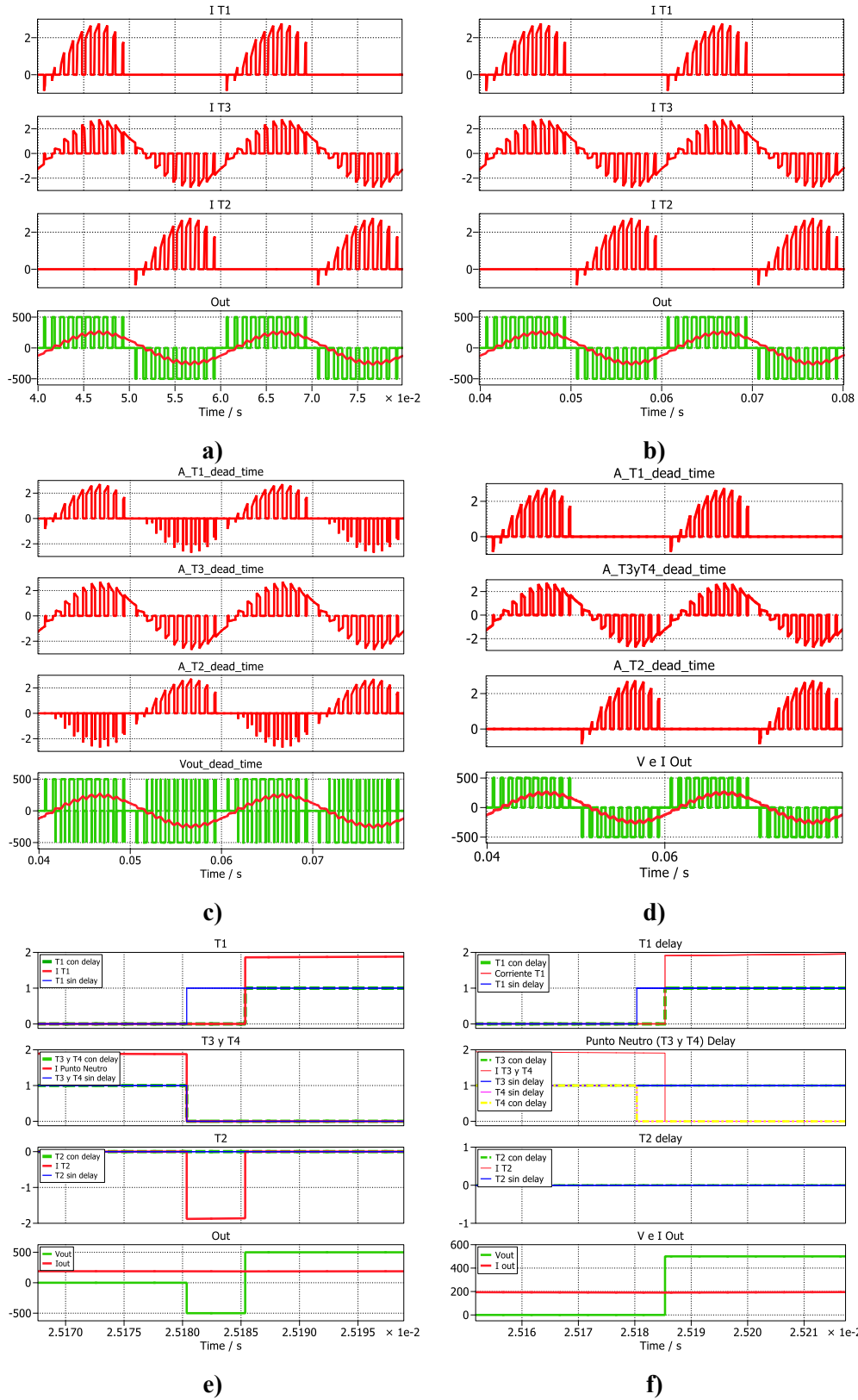


Fig. 4.5 Graficas de simulación de configuraciones de tiempo muerto en inversor NPP monofásico, a) conf 1 sin T_m , c) conf 1 con T_m , e) conf 1 zoom en T_m , b) conf 2 sin T_m , d) conf 2 con T_m , f) conf 2 zoom en T_m

5. Modelos ideales inversores NPP y NPC

5.1 Simulación de inversores NPP y NPC.

Se estableció como objetivo la realización de dos modelos de inversores trifásicos para el estudio: un inversor tipo NPP (Neutral Point Piloted) y uno tipo NPC (Neutral Point Clamped). Ambos controlados mediante modulación SPWM y según los parámetros de operación indicados en la Tabla 5.1.

Tabla 5.1 Parámetros de simulación convertidor NPP/NPC

Parámetros:	Valor	Unidad
Voltaje de entrada (V_{dc})	1	KV
Potencia de salida	1	KW
Voltaje de fase	220	Vrms
Factor de potencia	0.866	-
Frecuencia de salida	50	Hz
Frecuencia de portadora	1.05	KHz

Para la implementación de los modelos se seleccionó el programa de simulación PLECS, debido a la amplia biblioteca de dispositivos eléctricos y de potencia, junto con sus herramientas de análisis térmico en circuitos eléctricos.

Con el objetivo de representar los tiempos muertos y según las conclusiones del capítulo 4, se empleó el bloque “turn on delay”, el cual permite introducir un retardo de encendido en las señales de disparo de cada interruptor, como se muestra en la Fig. 5.1. La amplitud de este retraso está determinada por el parámetro externo “delay”.

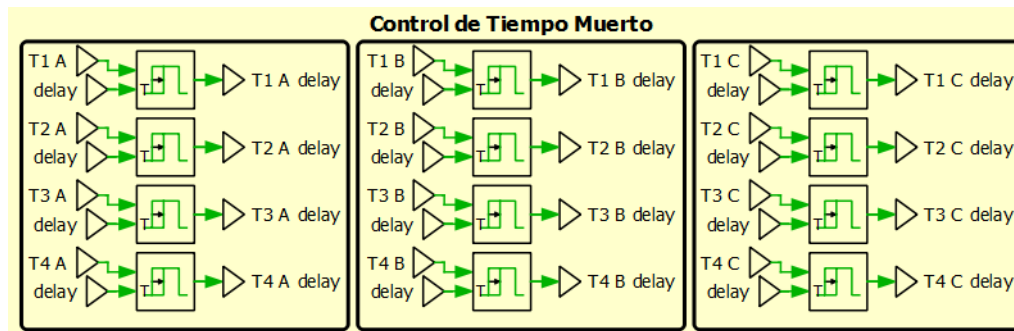


Fig. 5.1 Control de tiempo muerto

5.1.1 Modelo convertidor NPP

El modelo del inversor NPP (Fig. 5.2) está compuesto por la interconexión de dos fuentes de voltaje en serie, cada una de valor $V_{dc}/2$. Como interruptores se utilizaron IGBTs ideales con un diodo antiparalelo.

Cada pierna del convertidor, compuesta por los switches T1-T4, se encuentra identificada con las letras A, B, C según la fase a la que se encuentra conectada, y sus terminales se conectan al subsistema “3faseRL” (Fig. 5.3), correspondiente a la carga RL trifásica balanceada.

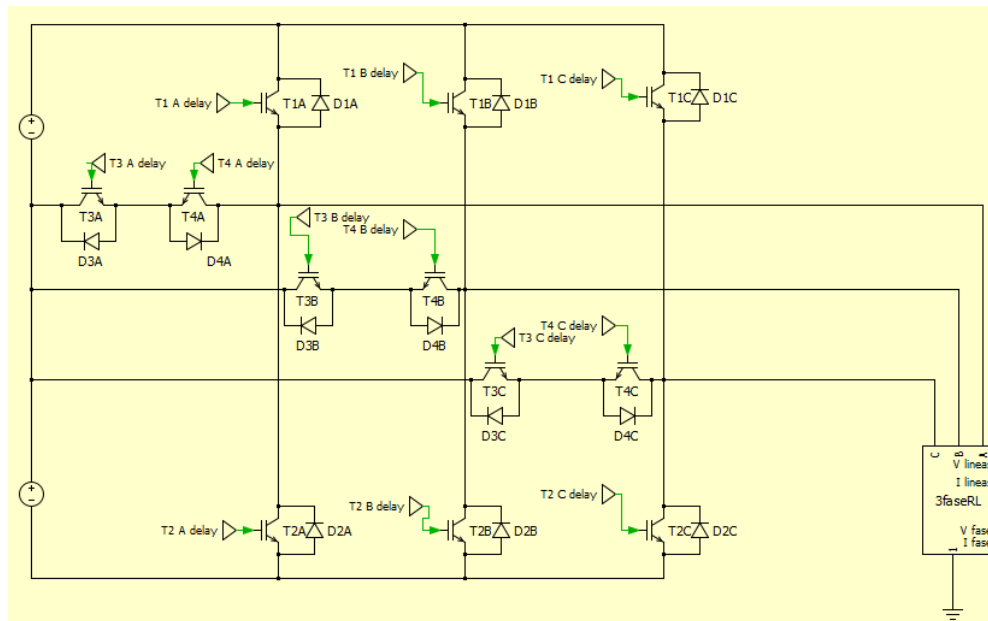


Fig. 5.2 Modelo inversor NPP trifásico

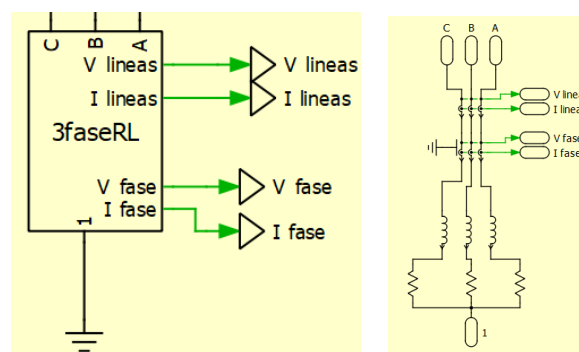


Fig. 5.3 Bloque 3faseRL

5.1.2 Modelo convertidor NPC

El modelo del convertidor NPC (Fig. 5.4), al igual que el modelo anterior (cap. 5.1.1), está compuesto por dos fuentes de voltaje en serie. Las terminales trifásicas del inversor se conectan a una carga RL balanceada (Fig. 5.3).

Cada pierna del inversor está compuesta por cuatro interruptores T1-T4 (dos superiores y dos inferiores) con diodos antiparalelos D1-D4. El punto neutro del bus de continua se enlaza mediante los diodos D5 y D6 con una sección entre los interruptores superiores e inferiores.

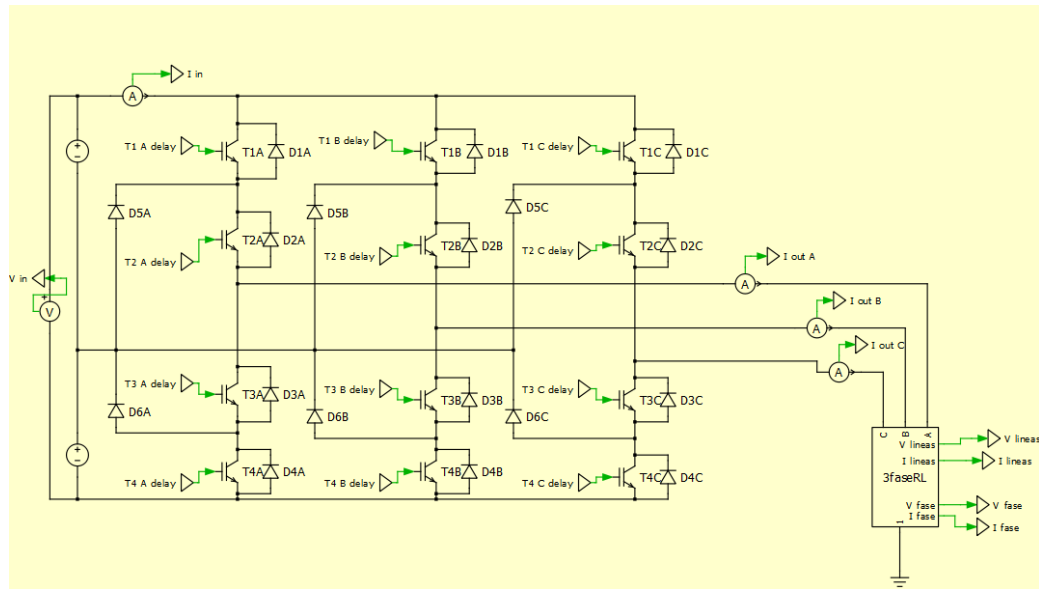


Fig. 5.4 Modelo inversor NPC

6. Ciclos de simulaciones con parámetros diversos.

Con el objetivo de evaluar la interacción de diferentes factores de potencia (FP) con distintos tiempos muertos, surgió la necesidad de definir un método eficiente para ejecutar las combinaciones paramétricas requeridas. Para lo que se consideró la intersección de los valores presentes en la Tabla 6.1, lo que implicaba la realización de 24 simulaciones distintas por cada modelo de inversor.

Dado que se trabajó con un total de 8 modelos, correspondientes a variantes de las topologías NPP y NPC según se detalla en la Tabla 6.2, el proceso completo requirió la ejecución de 192 ciclos de simulación, cubriendo todos los escenarios definidos para el análisis comparativo.

Para abordar esta carga computacional, se implementó un script de simulación automatizado, el cual ejecutó las simulaciones de cada modelo en bucle, aplicando de manera programada las modificaciones necesarias de los parámetros para cubrir las combinaciones. Este enfoque permitió garantizar la correcta obtención de resultados, reducir significativamente los tiempos de ejecución y facilitar la de reproducción del procedimiento para futuros modelos.

Tabla 6.1 Valores de FP y tiempo muerto en bucle de simulación

Factor de potencia	0.8	0.866	0.9	0.999	-	-
Tiempo muerto [μs]	0	5	10	15	25	50

Tabla 6.2 Modelos de inversores NPP y NPC utilizados

NPP Real IGBT	NPP real MOSFET	NPC Real IGBT	NPC real MOSFET
NPP térmico IGBT	NPP térmico MOSFET	NPC térmico IGBT	NPC térmico MOSFET

6.1 Bucle de simulación

Con el objetivo de realizar un ciclo de simulaciones dentro de PLECS, se requirió acceder a un ambiente de codificación que permitiera tanto calcular y modificar los parámetros del modelo como automatizar las simulaciones y almacenar los resultados en un archivo externo. Para ello, dentro del menú de PLECS, se seleccionó la opción “simulation scripts”, resaltada en un rectángulo rojo en la Fig. 6.1. Al acceder, se despliega la ventana mostrada en la Fig. 6.2, desde la cual es posible crear un nuevo script mediante la selección del icono señalado por el recuadro rojo.

El entorno permite generar múltiples hojas de código, cada una asociada al modelo de simulación. Tras crear un script, se puede registrar una breve descripción de su contenido en el panel superior, destacado por el recuadro amarillo, lo que facilita la organización del código y su documentación.

PLECS ofrece dos métodos para ejecutar una simulación a través de un script:

1. Los scripts de simulación escritos en Octave pueden ejecutarse directamente en la pestaña del script (Fig. 6.2, recuadro azul)
2. PLECS ofrece una interfaz RPC (Remote Procedure Call interface), que permite que cualquier otro programa que pueda enviar solicitudes XML-RPC o JSON-RPC controle PLECS, programas como Python, MATLAB, entre otros.

Considerando los requisitos de este informe y la necesidad de un registro por cada simulación, se optó por implementar el script directamente dentro de PLECS utilizando el lenguaje Octave, el cual presenta sintaxis muy semejantes a la de MATLAB.

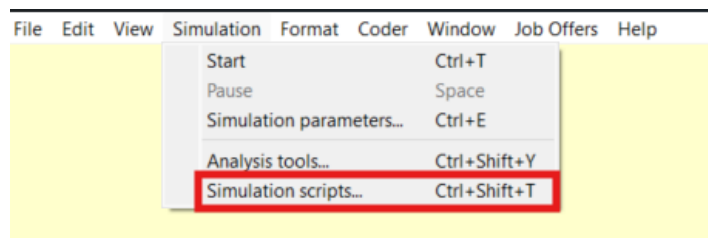


Fig. 6.1 Apartado de script de simulación, encerrado en rectángulo rojo

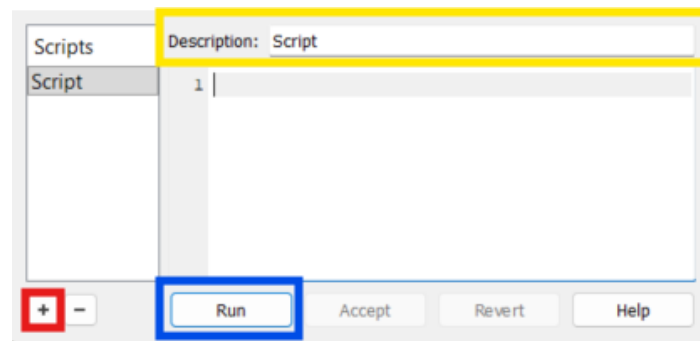


Fig. 6.2 pestaña script de simulación, rectángulo rojo nuevo script, rectángulo amarillo descripción del script, rectángulo azul inicio de simulación

7. Simulación de modelos térmicos.

A fin de analizar el comportamiento y pérdidas térmicas de los modelos se utilizó la librería “Thermal” de PLECS, la cual permite integrar el diseño térmico con el diseño eléctrico, conforme lo descrito en [9].

Es importante señalar que las pérdidas calculadas en el modelo térmico no influyen en el comportamiento del circuito eléctrico, ya que ambos dominios se simulan de manera desacoplada.

7.1 Modelos térmicos NPP y NPC

Los modelos térmicos tanto del inversor NPP (Fig. 7.1) como el inversor NPC (Fig. 7.2) se basan en el circuito eléctrico correspondiente, incorporando un bloque “Heat Sink” común que cubre todos los dispositivos semiconductores. Este disipador se acopla a una resistencia térmica junto con una fuente de temperatura fija que representa la temperatura ambiente.

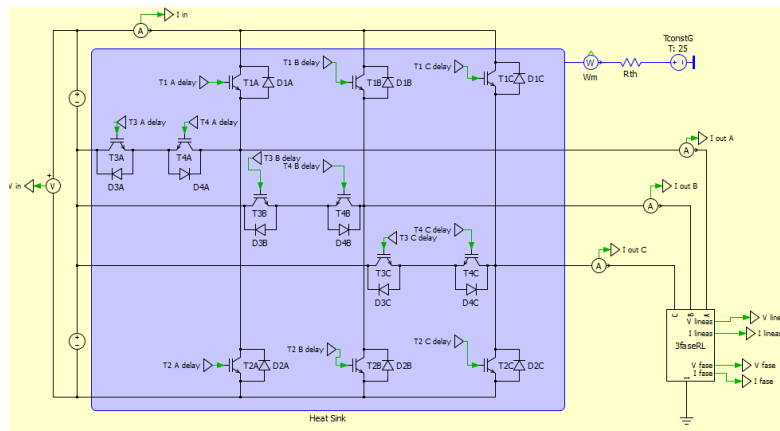


Fig. 7.1 Simulación Inversor NPP con modelo térmico

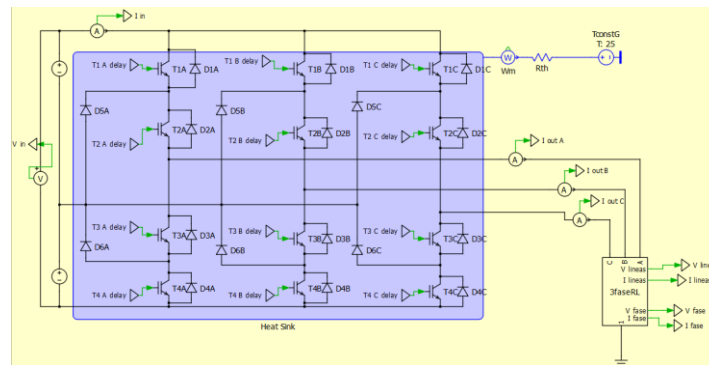


Fig. 7.2 Simulación Inversor NPC con modelo térmico

7.2 Modelos térmicos semiconductores

Con el objetivo de realizar una representación del comportamiento térmico de los dispositivos semiconductores, se configuró la pestaña “thermal” (Fig. 7.3 (a)) en cada componente, donde se definieron la resistencia térmica, especificada por el fabricante, la temperatura inicial y la descripción térmica.

Para la descripción térmica fue necesario importar o crear un archivo que definiera el modelo térmico correspondiente (Fig. 7.3 (b)). Cabe destacar que la edición de este archivo modifica el comportamiento térmico de todos los semiconductores del mismo tipo que utilicen dicha librería, ya que comparten la misma descripción térmica.

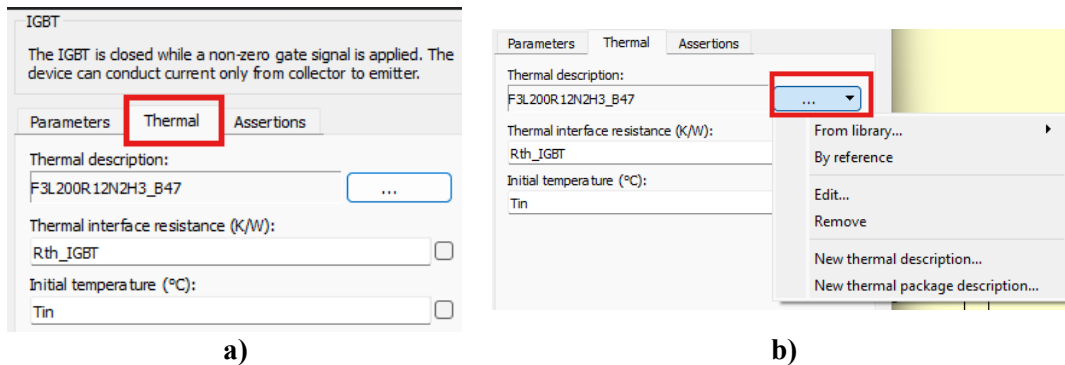


Fig. 7.3: a) Ingreso a apartado térmico semiconductores, b) Importación de comportamiento térmico a un semiconductor

Tras crear o editar una descripción térmica, se despliega la ventana de la Fig. 7.4, la cual contiene las secciones:

1. Pérdidas de encendido
2. Pérdidas de apagado
3. Pérdidas de conducción
4. Impedancia térmica transitoria
5. Constantes
6. Variables
7. Tablas personalizadas
8. Comentarios

Para el desarrollo de esta memoria se utilizaron únicamente las secciones 1 a 4. Cabe mencionar que estas secciones permiten representar el comportamiento térmico del semiconductor ya sea mediante curvas graficadas o mediante tablas de datos.

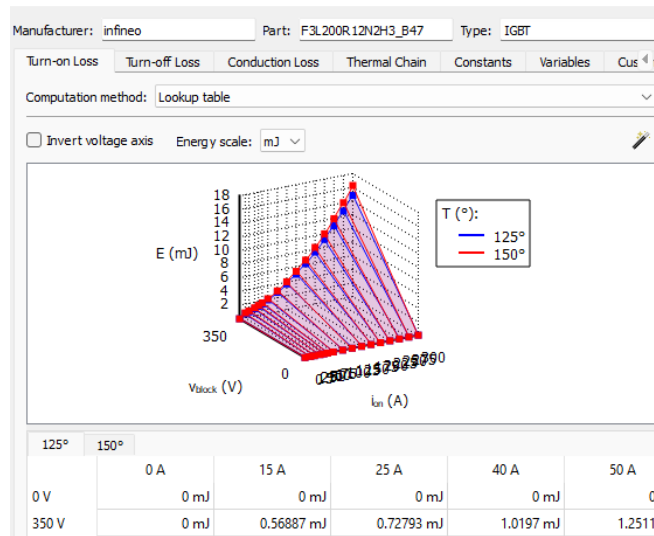


Fig. 7.4 Configuración descripción térmica

7.3 Modelo térmico IGBT

Para el semiconductor IGBT, se utilizó el dispositivo F3L200R12N2H3_B47 (Pág. 10), debido a que su $V_{CE,max}$ (voltaje colector-emisor máximo) proporciona un margen del 20% respecto a V_{dc} y su $I_{C,max}$ (Corriente colector, máxima) supera ampliamente la corriente máxima obtenida en la simulación, asegurando un correcto sobredimensionamiento del semiconductor.

7.3.1 Pérdidas de encendido y apagado IGBT

La representación de las pérdidas tanto de encendido como apagado se obtuvieron a partir de la curva característica E vs I_C proporcionada por el fabricante (Fig. 7.5), la cual especifica la energía disipada en función de la corriente del colector para diferentes temperaturas del dispositivo, con un voltaje $V_{CE} = 350$.

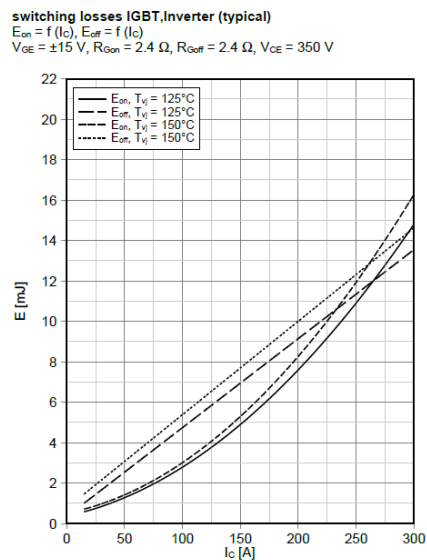


Fig. 7.5 Datasheet pérdidas de encendido y apagado IGBT

A partir de la Fig. 7.5 se construyó una curva, mediante puntos discretos, de las pérdidas de encendido en las temperaturas de 125 °C y 150 °C, como se ilustra en la Fig. 7.6. En dicha figura, la curva roja representa los 150°C y la curva azul los 125°C. La tabla incluida en la figura contiene los puntos utilizados para la aproximación lineal de la curva. De esta forma, la gráfica final de las pérdidas de encendido se presenta en la Fig. 7.8a.

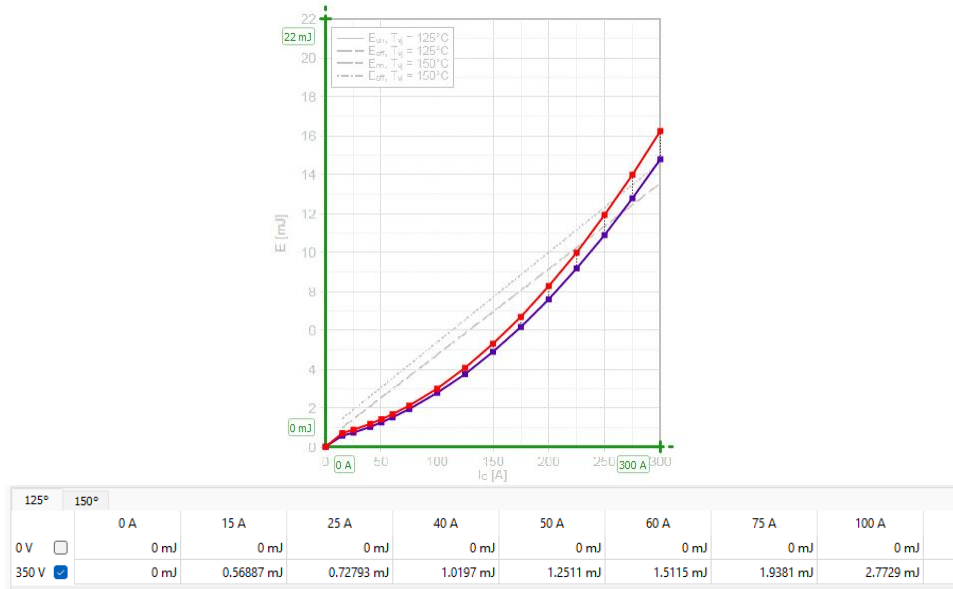


Fig. 7.6 Configuración pérdidas de encendido IGBT

De manera análoga al caso de encendido, se generaron los puntos representativos de las pérdidas de apagado (Fig. 7.7), donde la curva azul corresponde a 125 °C y roja a 150 °C, ambas para un voltaje $V_{CE} = 350$.

Asimismo, se consideró que para $V_{CE} = 0$ la energía de apagado es nula para cualquier valor de corriente y temperatura. Quedando finalmente la gráfica de las pérdidas de apagado en la Fig. 7.8b.

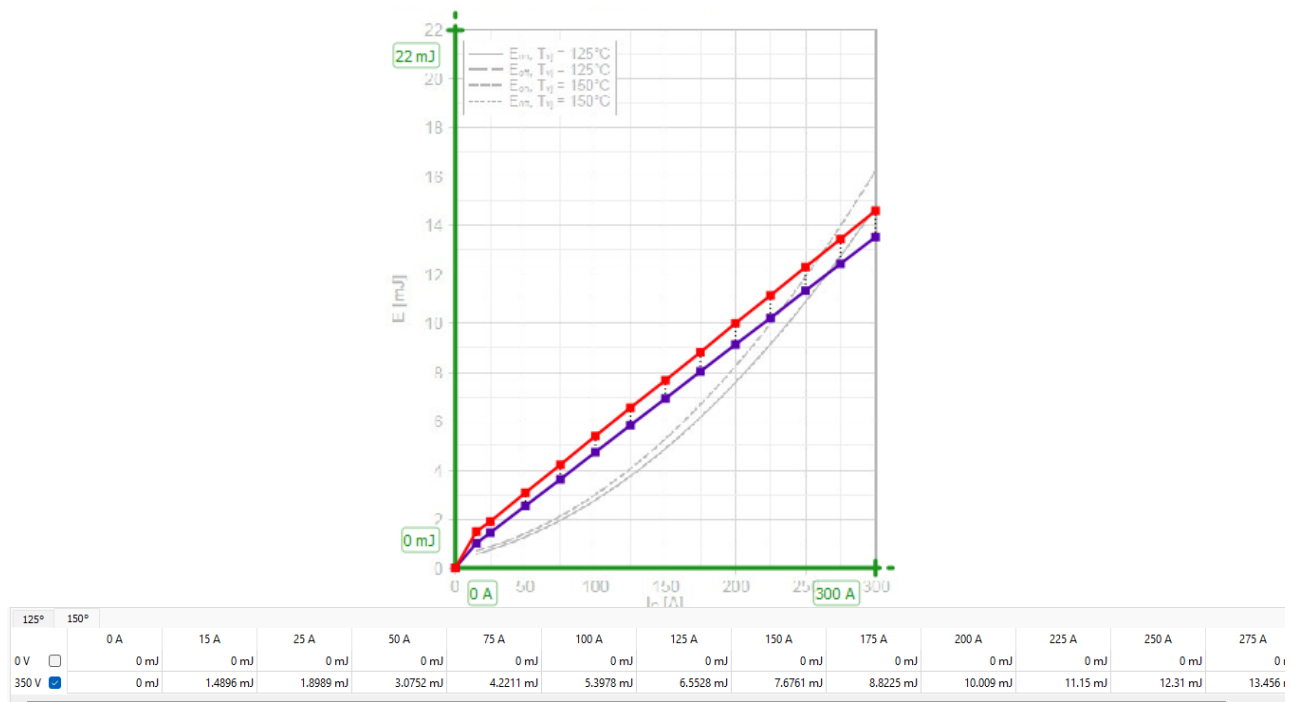


Fig. 7.7 Configuración pérdidas de apagado IGBT

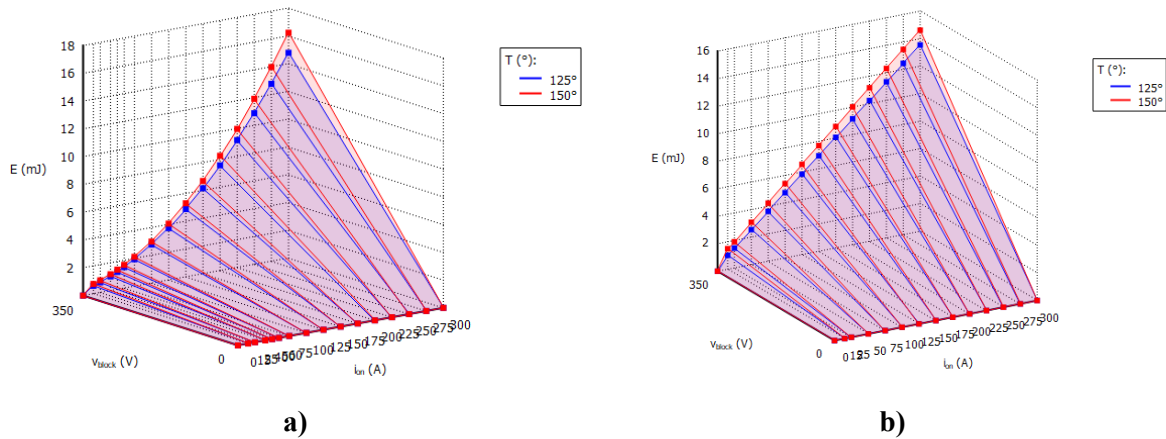


Fig. 7.8 Pérdidas de conmutación IGBT. a) encendido, b) apagado

7.3.2 Pérdidas de Conducción IGBT

Las pérdidas de conducción fueron representadas a partir de la curva características de transferencia entregada por el fabricante (Fig. 7.9). Se generaron las curvas correspondientes a las temperaturas 25°C , 125°C y 150°C (Fig. 7.10a). obteniéndose finalmente las pérdidas de conducción en la Fig. 7.10b.

transfer characteristic IGBT, Inverter (typical)
 $I_C = f(V_{GE})$
 $V_{CE} = 20 \text{ V}$

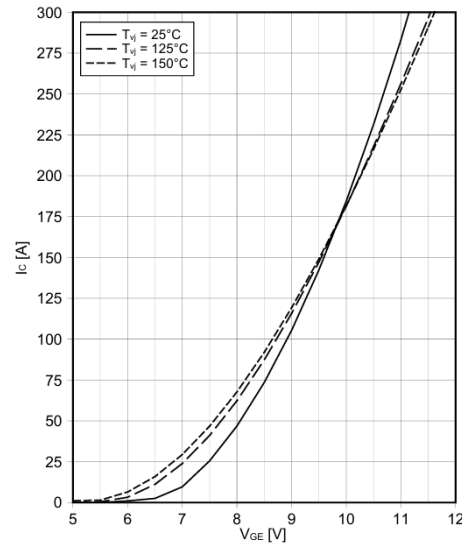


Fig. 7.9 Datasheet características de transferencia IGBT

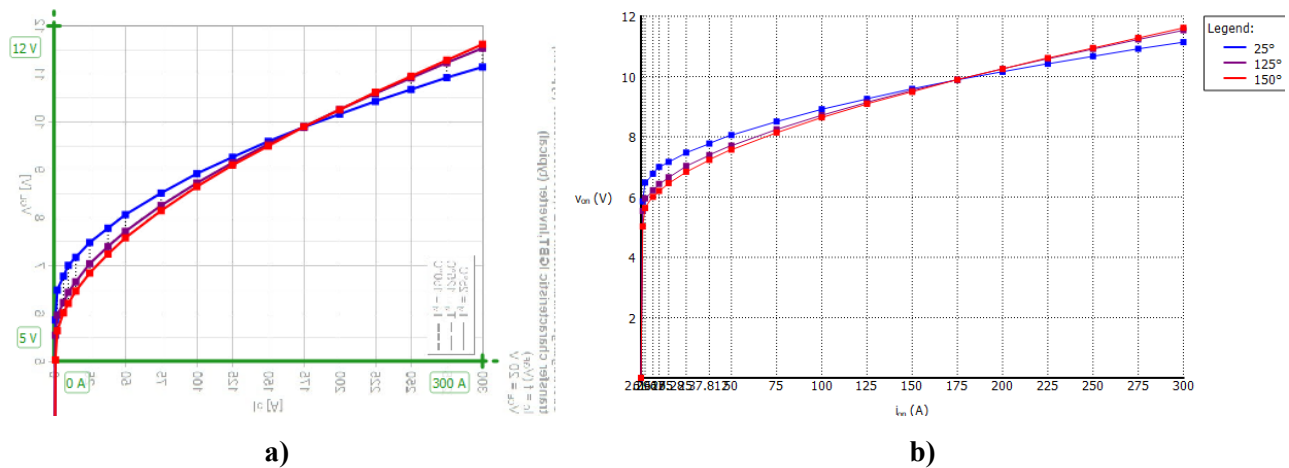


Fig. 7.10 Pérdidas de conducción IGBT, a) edición de pérdidas de conducción, b) pos-edición de pérdidas de conducción.

7.3.3 Impedancia térmica IGBT

La representación del comportamiento de la impedancia térmica del semiconductor puede realizarse mediante el modelo Foster o Cauer. En la hoja de datos del IGBT utilizado, el fabricante proporciona los parámetros correspondientes al modelo Foster (Fig. 7.11).

En el apartado “thermal chain” se seleccionó la opción Foster, el cual puede representarse tanto mediante una gráfica (Fig. 7.12a) o directamente en forma tabulada (Fig. 7.12b), describiendo la impedancia térmica en función del tiempo transitorio.

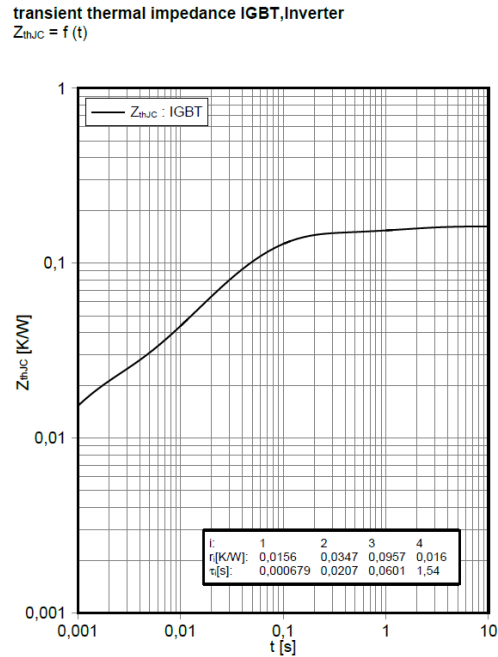


Fig. 7.11 Datasheet resistencia térmica transitoria IGBT

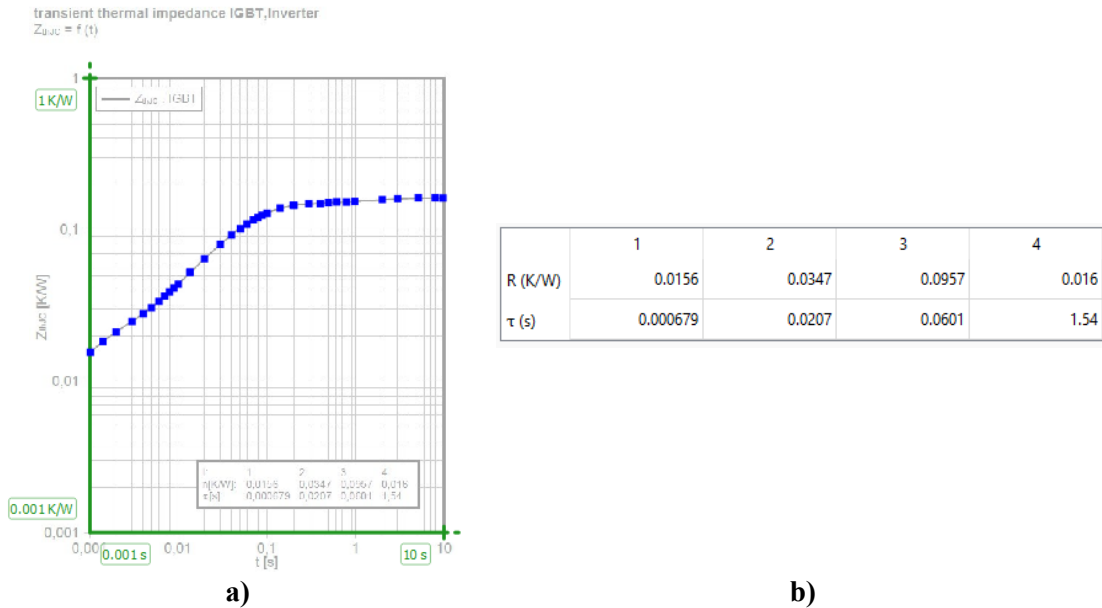


Fig. 7.12 a) Configuración thermal chain tipo Foster IGBT b) representación de impedancia térmica Foster IGBT

7.4 Modelo térmico MOSFET

Para el modelo térmico del semiconductor MOSFET, se utilizó el dispositivo IMZ120R045M1 (Apartado 0), debido a que su voltaje $V_{DS,maximo}$ (Voltaje Drain-Source máximo) proporciona un margen del 20% respecto de V_{dc} y su corriente $I_{D,max}$ (Corriente Drain máxima) supera la corriente máxima en obtenida en la simulación. Estas características aseguran un adecuado sobredimensionamiento del semiconductor.

7.4.1 Pérdidas de encendido y apagado MOSFET

Empleando el mismo método utilizado para el IGBT en el capítulo 7.3.1 se obtuvieron las pérdidas de encendido y apagado del MOSFET a partir de la hoja de datos (Fig. 7.13). Tanto las pérdidas de encendido como apagado fueron graficadas para una temperatura de $175\text{ }^{\circ}\text{C}$ y un voltaje $V_{DD} = 800\text{ V}$.

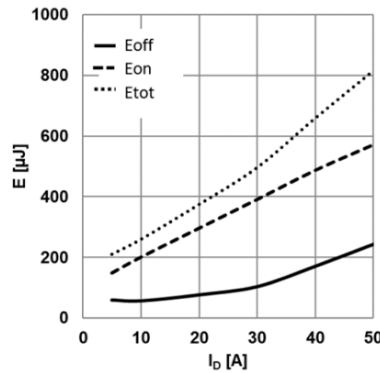
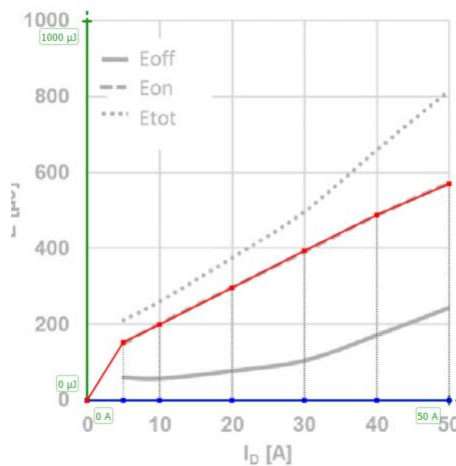


Figure 16 Typical switching energy losses as a function of drain-source current
 $(E = f(I_{DS}), V_{DD} = 800\text{V}, V_{GS} = 0\text{V}/15\text{V},$
 $R_{G,ext} = 2\Omega, T_{vj} = 175^{\circ}\text{C}, \text{ind. load, test circuit}$
 in Fig. E, diode: body diode)

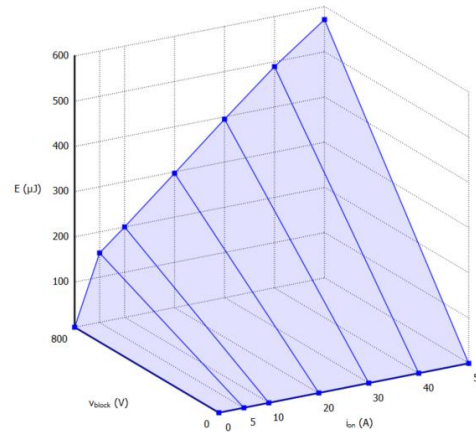
Fig. 7.13 Datasheet pérdidas de encendido y apagado MOSFET

La configuración de la gráfica representativa de las pérdidas de encendido presenta dos curvas, donde la curva roja corresponde a $V_D = 800\text{ V}$ y la curva azul a $V_D = 0\text{ V}$ (Fig. 7.14a). La tabla incluida en la figura muestra que se requirió un número reducido de puntos para la implementación de la curva, dada la tendencia lineal que esta presenta.

La curva final de las pérdidas de encendido del MOSFET se presenta en la Fig. 7.14b.



a)



b)

Fig. 7.14a) Configuración pérdidas de encendido MOSFET b) Curva de pérdidas de encendido MOSFET

De manera análoga a las pérdidas de encendido, la gráfica de las pérdidas de apagado presenta dos curvas, una correspondiente a $V_D = 800\text{ V}$ (roja) y otra a $V_D = 0\text{ V}$ (azul), como se ilustra en la Fig. 7.15a. A diferencia del comportamiento de encendido, las características de apagado exhiben un comportamiento no lineal. La curva final de las pérdidas de apagado del MOSFET se presenta en la Fig. 7.15b.

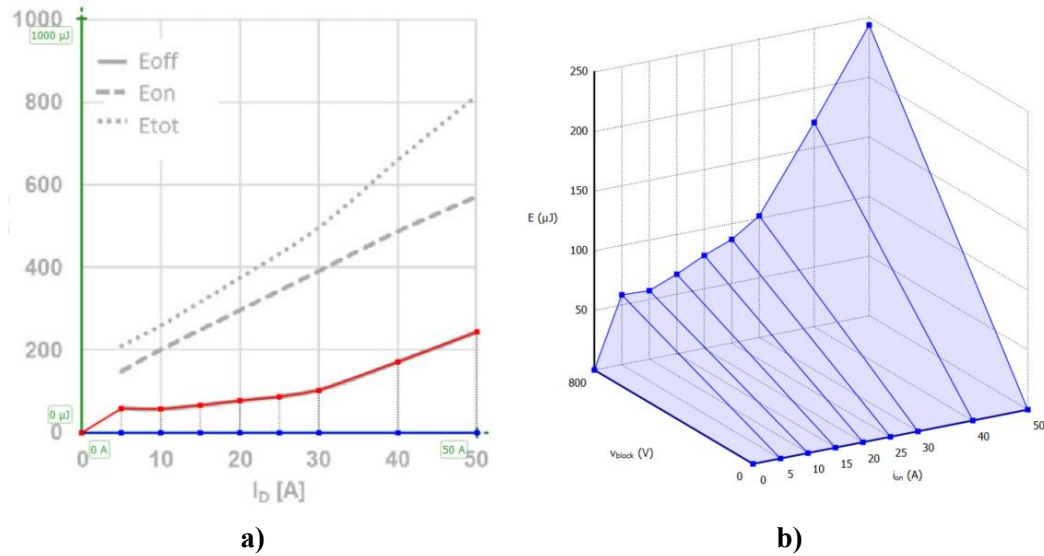


Fig. 7.15 a) Configuración pérdidas de apagado MOSFET b) Curva de pérdidas de apagado MOSFET

7.4.2 Pérdidas de conducción MOSFET

Las curvas de pérdidas de conducción del MOSFET se obtienen a partir de las gráficas características de I_{DS} vs V_{DS} , presentes en las figuras 7 y 8 de la hoja de datos del fabricante (Fig. 7.16). Para este estudio se seleccionaron las curvas correspondientes a $V_{GS} = 15\text{ V}$, ya que este valor es el utilizado tanto en las pérdidas de encendido y apagado.

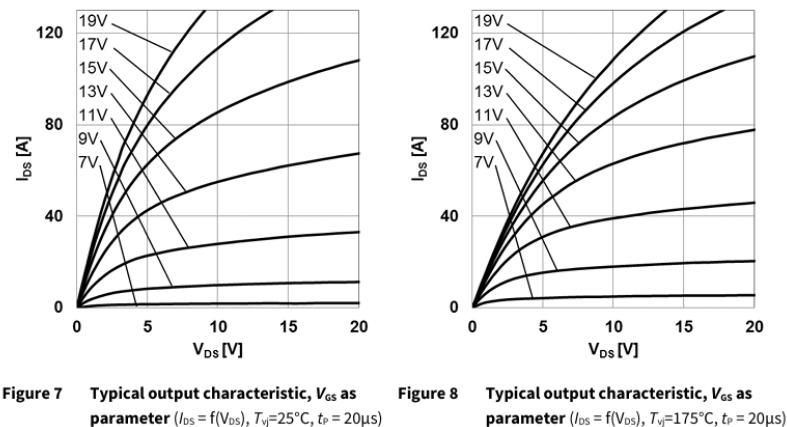


Figure 7 Typical output characteristic, V_{GS} as parameter ($I_{DS} = f(V_{DS})$, $T_{vj}=25^{\circ}\text{C}$, $t_r = 20\mu\text{s}$)

Figure 8 Typical output characteristic, V_{GS} as parameter ($I_{DS} = f(V_{DS})$, $T_{vj}=175^{\circ}\text{C}$, $t_r = 20\mu\text{s}$)

Fig. 7.16 Datasheet curva I_{ds} vs V_{ds} MOSFET

Las curvas de las pérdidas de conducción se generaron a partir de dos figuras dentro del editor, la primera correspondiente a la temperatura de 175 °C (Fig. 7.17a, curva roja) y la segunda correspondiente a la temperatura de 25 °C (Fig. 7.17b, curva azul). La representación de las pérdidas de conducción del MOSFET se muestra en la Fig. 7.18.

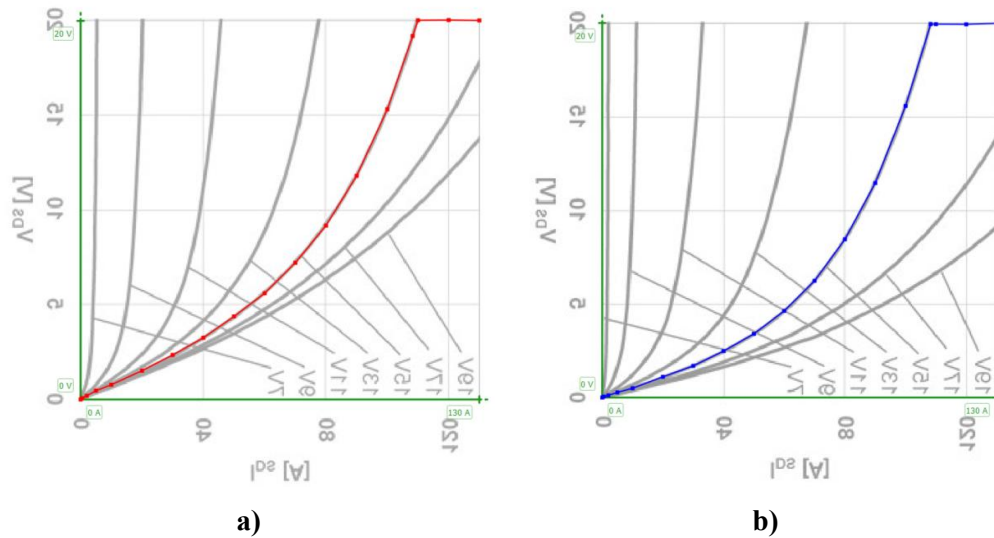


Fig. 7.17 a) Configuración pérdidas de conducción 175 °C MOSFET b) Configuración pérdidas de conducción 25 °C MOSFET

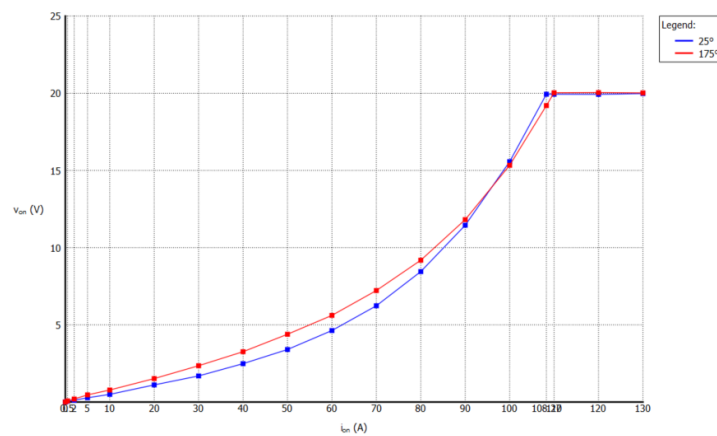


Fig. 7.18 Resultados pérdidas de conducción MOSFET

7.4.3 Impedancia térmica MOSFET

La caracterización de la impedancia térmica Z_{th} del MOSFET se realizó a partir de la red Foster Z_{thjc} vs t_p entregada por el fabricante (Fig. 7.19). Los parámetros del modelo fueron extraídos y organizados en la tabla mostrada en la Fig. 7.20.

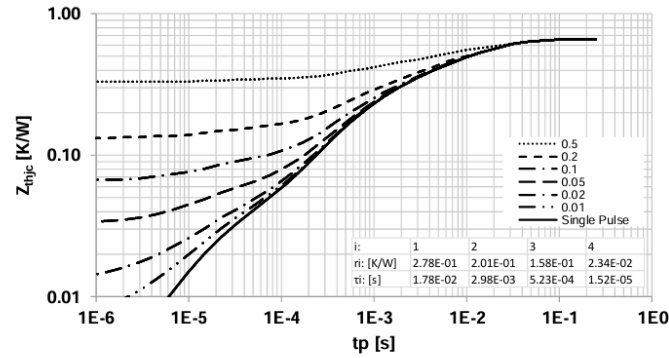


Figure 21 Max. transient thermal resistance (MOSFET/diode)
 $(Z_{th(j-c,max)} = f(t_p))$, parameter $D = t_p/T$, thermal equivalent circuit in Fig. D)

Fig. 7.19 Datasheet transferencia de resistencia térmica MOSFET

	1	2	3	4
R (K/W)	0.278	0.201	0.158	0.0234
τ (s)	0.0175	0.00298	0.000523	1.5e-05

Fig. 7.20 Tabla Impedancia Térmica MOSFET

7.5 Modelo térmico Diodo

Para el modelo térmico del diodo se utilizó la descripción térmica asociada al dispositivo F3L200R12N2H3_B47 (Apartado 0), aplicado de manera uniforme en todos los casos.

En los modelos Basados en MOSFET, la hoja de datos integra la caracterización del transistor y de su diodo antiparalelo, por lo que la representación térmica se empleó utilizando el modelo MOSFET con diodo antiparalelo ideal.

Para el inversor NPC con MOSFET, se utilizó específicamente la caracterización térmica de diodos en D5 y D6, debido a que constituyen dispositivos independientes dentro de la topología.

7.5.1 Pérdidas de encendido y apagado diodo

En ausencia de una caracterización de pérdidas de encendido en la hoja de datos y considerando que los diodos no presentan pérdidas relevantes durante el encendido, estas se asumen como nulas. Concluyendo en una gráfica vacía dentro del modelo.

La representación de las pérdidas de apagado se realizó mediante la curva E vs I_f proporcionada en la hoja de datos (Fig. 7.21). Debido a la disposición antiparalela del semiconductor, se utilizó un voltaje $V_{CE} = -350$ V. Las curvas para 125 °C (azul) y 175 °C (roja) ilustradas en la Fig. 7.22a. Las curvas finales de las pérdidas de apagado del diodo se presentan en la Fig. 7.22b.

switching losses Diode, Inverter (typical)

$$E_{rec} = f(I_F)$$

$$R_{don} = 3.3 \, \Omega, V_{CE} = 350 \, V$$

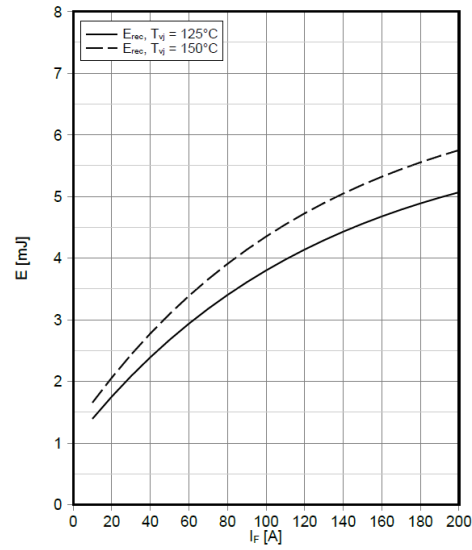


Fig. 7.21 Datasheet pérdidas de apagado Diodo

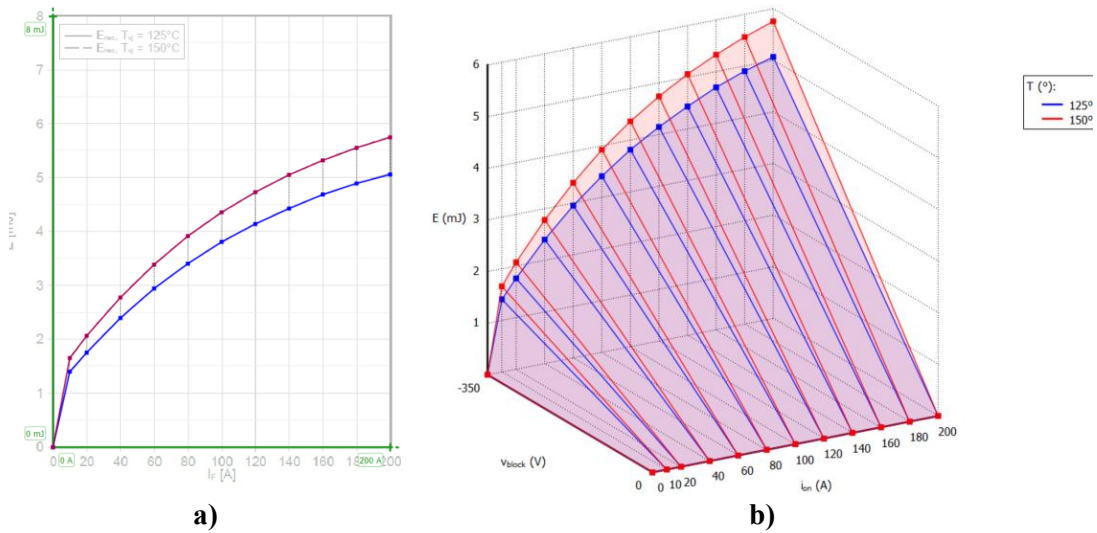


Fig. 7.22 a) Configuración pérdidas de apagado Diodo b) graficas pérdidas de apagado Diodo

7.5.2 Pérdidas de conducción diodo

Las pérdidas de conducción fueron representadas a partir de las curvas características de conducción entregadas por el fabricante (Fig. 7.23). Se generaron curvas correspondientes a las temperaturas 25 °C (azul), 125 °C (morado) y 150 °C (rojo) como se ilustra en la Fig. 7.24a. Obteniéndose finalmente las pérdidas de conducción en la Fig. 7.24b.

forward characteristic of Diode, Inverter (typical)
 $I_F = f(V_F)$

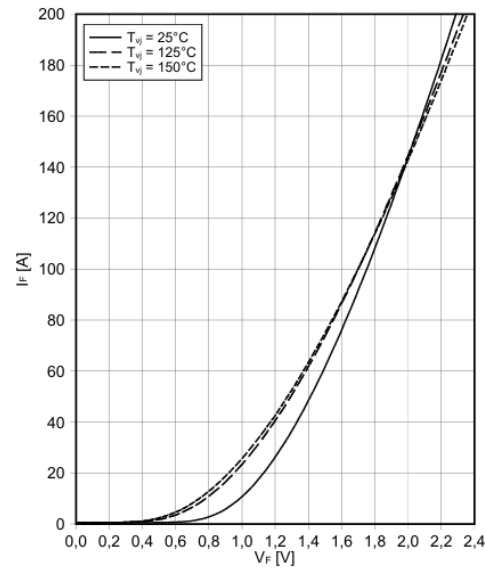


Fig. 7.23 Datasheet características de conducción Diodo

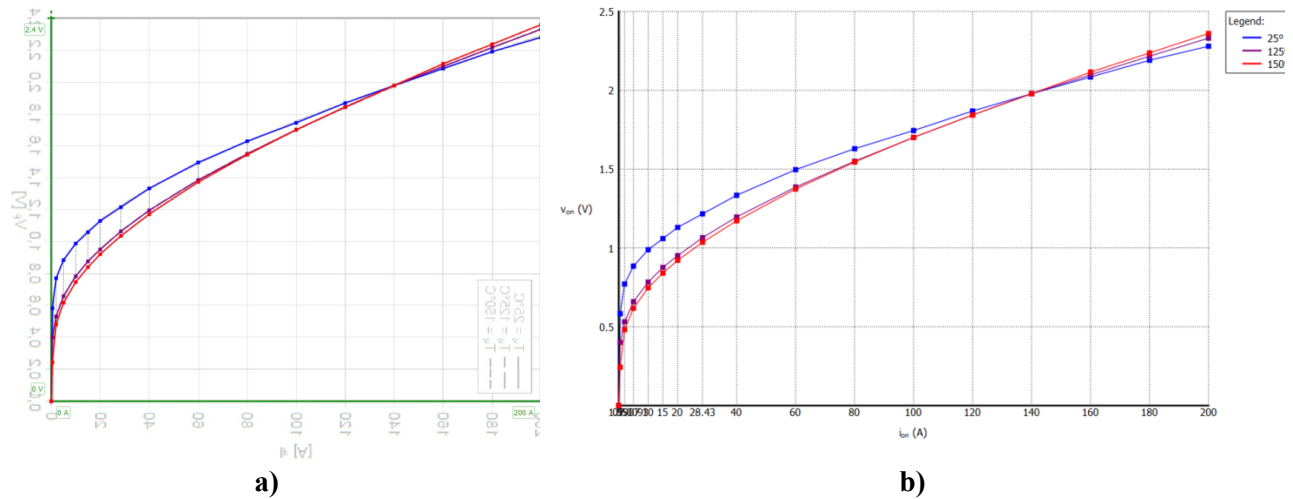


Fig. 7.24 a) Configuración pérdidas de conducción Diodo b) Pérdidas de conducción Diodo

7.5.3 Impedancia térmica diodo

La caracterización de la impedancia térmica Z_{th} del diodo se realizó a partir de la red Foster Z_{thjc} vs t_p entregada por el fabricante (Fig. 7.25). los parámetros del modelo fueron extraídos y organizados en la tabla mostrada en la Fig. 7.26.

transient thermal impedance Diode, Inverter
 $Z_{thJC} = f(t)$

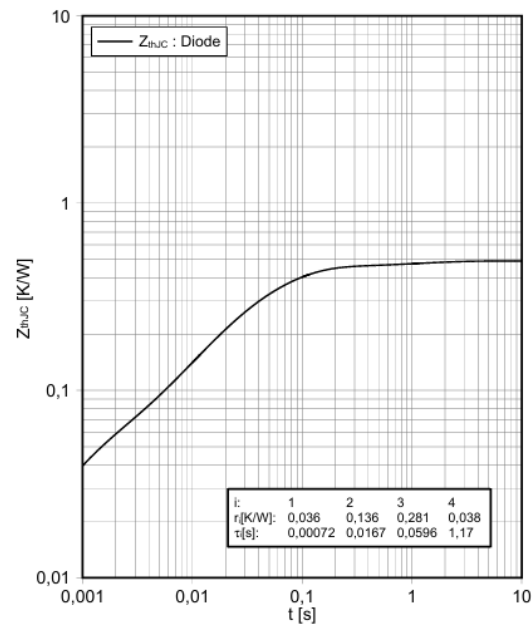


Fig. 7.25 Datasheet transferencia impedancia térmica Diodo

	1	2	3	4
R (K/W)	0.036	0.136	0.281	0.038
τ (s)	0.00072	0.0167	0.0596	1.17

Fig. 7.26 Impedancia térmica Diodo

7.6 Análisis de resultados térmicos

Se realizó un análisis comparativo de los inversores NPP y NPC en distintas circunstancias, entre las que se encuentra una variación en el factor de potencia, tiempo muerto aplicado y semiconductor utilizado.

7.6.1 THD de corriente de fase

Se realizó un análisis comparativo del contenido armónico de ambas topologías, mediante el cálculo de contenido armónico (THD) con respecto a una frecuencia fundamental de 50HZ correspondiente a la frecuencia de la carga.

Se observó una tendencia general en la cual un aumento en el tiempo muerto de los inversores implicaba un incremento en la distorsión armónica de la corriente, independiente de los diferentes ángulos de desfase entre la corriente y el voltaje.

En el caso del semiconductor IGBT se comparó el comportamiento de THD I entre los modelos NPP (Tabla 7.1(a)) y NPC (Tabla 7.1(b)). Se observó una diferencia del orden 0.001% entre los modelos, donde el inversor NPC presenta un menor contenido armónico en tiempo muerto de menor magnitud, un 0.003% en TM menores a 15 μ s, mientras que en mayores magnitudes NPP entregó una mejor respuesta, un THD I 0.02% menor, el tiempo muerto requerido para esta transición aumentó junto con FP. La variación del contenido armónico entre un TM 0 respecto a 50 μ s denota al modelo NPP con una menor variación (1.659%) respecto a la otra topología (1.667%).

Del mismo análisis, en el caso MOSFET los modelos NPP (Tabla 7.2 (a)) y NPC (Tabla 7.2 (b)) presentaron resultados diferentes. Siendo el inversor NPP quien presentó un menor contenido armónico en todos los casos, con una diferencia en promedio del 0.037%, así como, una menor sensibilidad a los tiempos muertos, un 0.016% menor a NPC.

Tabla 7.1: THD (%) I IGBT térmico (a) NPP, (b) NPC

THD (%) I salida IGBT								
(a) NPP térmico					(b) NPC térmico			
Tm [μs] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	2.400%	2.881%	3.299%	22.433%	2.399%	2.880%	3.297%	22.424%
5	2.430%	2.921%	3.346%	22.697%	2.430%	2.919%	3.344%	22.688%
10	2.467%	2.966%	3.399%	22.987%	2.468%	2.965%	3.398%	22.979%
15	2.511%	3.017%	3.459%	23.304%	2.513%	3.017%	3.459%	23.297%
25	2.619%	3.132%	3.600%	24.147%	2.625%	3.133%	3.602%	24.143%
50	2.971%	3.568%	4.077%	27.036%	2.977%	3.572%	4.082%	27.036%
Delta 50μs-0s 	0.571%	0.686%	0.778%	4.603%	0.579%	0.693%	0.785%	4.612%

Tabla 7.2: THD (%) I MOSFET térmico (a) NPP, (b) NPC

THD (%) I salida MOSFET								
(a) NPP térmico					(b) NPC térmico			
Tm [μs] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	2.364%	2.833%	3.245%	22.304%	2.383%	2.857%	3.272%	22.373%
5	2.390%	2.868%	3.287%	22.564%	2.410%	2.894%	3.316%	22.634%
10	2.423%	2.909%	3.336%	22.849%	2.444%	2.937%	3.367%	22.922%
15	2.464%	2.957%	3.391%	23.161%	2.486%	2.986%	3.424%	23.236%
25	2.567%	3.071%	3.524%	24.007%	2.590%	3.103%	3.561%	24.078%
50	2.898%	3.477%	3.977%	26.867%	2.931%	3.519%	4.024%	26.950%
Delta 50μs-0s 	0.533%	0.644%	0.733%	4.562%	0.548%	0.661%	0.752%	4.577%

7.6.2 Eficiencia térmica

El análisis de la eficiencia térmica de los inversores NPP y NPC se realiza mediante la resta de la potencia de entrada respecto a las pérdidas de conducción y conmutación. Se observa que la eficiencia térmica es inversamente proporcional al tiempo muerto y directamente proporcional al factor de potencia.

Tras un análisis de los resultados se observa que, ambas topologías presentaban una eficiencia mayor al 95% con el semiconductor IGBT y mayor al 99% al utilizar MOSFET. La variación de la eficiencia al utilizar IGBT se encuentra de 0.30% a 0.22% (NPP, Tabla 7.3 (a)) y 0.29% a 0.20% (NPC, Tabla 7.3(b)) y en el caso MOSFET 0.005% a 0.020% (NPP, Tabla 7.4(a)) y 0.03% a 0.023% (NPC, Tabla 7.4 (b)).

Comparativamente se denota que el inversor NPP presenta una mayor eficiencia en todos los casos, con una diferencia aproximada de un 1% en el uso de IGBT y de 0.1% en el caso MOSFET. Es posible visualizar que el inversor NPC presenta una menor variación de eficiencia térmica frente a los tiempos muertos en el caso IGBT, un 0.258% en promedio frente a 0.273% de NPP, mientras que mediante MOSFET, NPP presenta una menor variación, 0.013% respecto a 0.032%.

Tabla 7.3: Eficiencia térmica IGBT (a) NPP, (b) NPC

Eficiencia térmica con semiconductor IGBT								
(a) NPP térmico					(b) NPC térmico			
Tm [μs] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	96.625%	96.907%	97.038%	97.392%	95.326%	95.635%	95.777%	96.140%
5	96.599%	96.881%	97.012%	97.370%	95.300%	95.610%	95.753%	96.120%
10	96.573%	96.854%	96.986%	97.347%	95.274%	95.585%	95.728%	96.100%
15	96.546%	96.827%	96.959%	97.325%	95.248%	95.559%	95.703%	96.080%
25	96.490%	96.771%	96.904%	97.281%	95.194%	95.506%	95.651%	96.039%
50	96.323%	96.614%	96.758%	97.175%	95.033%	95.358%	95.516%	95.939%
Delta 0-50μs 	0.303%	0.293%	0.280%	0.218%	0.293%	0.277%	0.261%	0.201%

Tabla 7.4: Eficiencia térmica MOSFET (a) NPP, (b) NPC

Eficiencia térmica con semiconductor MOSFET								
Tm [μs] \ FP	NPP térmico				NPC térmico			
	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	99.865%	99.886%	99.895%	99.905%	99.753%	99.782%	99.795%	99.842%
5	99.864%	99.885%	99.894%	99.903%	99.750%	99.779%	99.792%	99.839%
10	99.864%	99.885%	99.894%	99.901%	99.747%	99.775%	99.789%	99.837%
15	99.863%	99.884%	99.893%	99.899%	99.744%	99.772%	99.785%	99.834%
25	99.862%	99.883%	99.889%	99.895%	99.737%	99.766%	99.779%	99.829%
50	99.859%	99.877%	99.877%	99.884%	99.717%	99.746%	99.761%	99.818%
Delta 0-50μs 	0.006%	0.009%	0.018%	0.021%	0.036%	0.035%	0.034%	0.024%

7.6.3 Voltaje modo común

Se realizó un análisis de las mediciones de los voltajes de modo común en ambos inversores, donde se midió el valor RMS observado en estado estacionario y a una frecuencia fundamental de 50Hz.

Tras estudiar los resultados obtenidos en con el semiconductor IGBT (Tabla 7.5, NPP (a), NPC (b)). Se observa que, los inversores NPP y NPC presentan VMC similares y cercanos a los 200Vrms, con diferencias menores a 0.6V (0.3% del voltaje), siendo la topología NPC la que presentó un menor voltaje. La comparación de la sensibilidad respecto al tiempo muerto de ambas topologías no presentó un resultado consistente entre los diversos factores de potencia.

Los resultados obtenidos con el uso de MOSFET (Tabla 7.6, NPP(a), NPC (b)) disponen al inversor NPP como el inversor con menor voltaje de modo común, con una diferencia aproximada de 0.54V (0.27% del voltaje). El inversor NPP presenta una menor sensibilidad respecto al tiempo muerto en todos los FP.

Se observa que a medida que el tiempo muero aumenta se presenta un incremento progresivo de VMC con un límite cercano a los 15 μ s, tras el cual se presenta una disminución de VMC, que puede explicarse debido a la reducción de periodos interactivos entre los voltajes de las fases. Las formas de onda de VMC ante distintos tiempos muertos se ilustran en la Fig. 7.27.

Tabla 7.5: VMC rms IGBT térmico (a) NPP, (b) NPC

VMC rms IGBT térmico [Vrms]								
(a) NPP térmico					(b) NPC térmico			
Tm [μs] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	200.181	200.17	200.17	200.561	199.714	199.587	199.531	199.88
5	200.616	200.472	200.18	200.56	200.152	199.88	199.544	199.877
10	201.051	200.774	200.189	200.559	200.589	200.173	199.556	199.875
15	201.484	201.075	200.199	200.558	201.025	200.465	199.569	199.872
25	201.516	200.331	199.419	199.338	201.065	199.649	198.799	198.646
50	197.3	195.094	195.208	192.915	196.855	194.507	194.62	192.228
Delta 0-15μs	1.303	0.905	0.028	0.003	1.311	0.879	0.037	0.008

Tabla 7.6: VMC rms MOSFET térmico (a) NPP, (b) NPC

VMC rms MOSFET térmico [Vrms]								
(a) NPP térmico					(b) NPC térmico			
Tm [μs] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	199.649	199.649	199.649	199.649	200.137	200.191	200.217	200.432
5	200.066	199.962	199.649	199.649	200.562	200.503	200.221	200.432
10	200.483	200.275	199.649	199.649	200.986	200.815	200.224	200.433
15	200.898	200.586	199.649	199.649	201.409	201.126	200.227	200.433
25	200.895	200.376	198.854	198.373	201.419	200.906	199.435	199.188
50	196.695	194.61	194.61	191.887	197.209	195.134	195.191	192.73
Delta 0-15μs	1.248	0.937	0	0	1.272	0.934	0.01	0.001

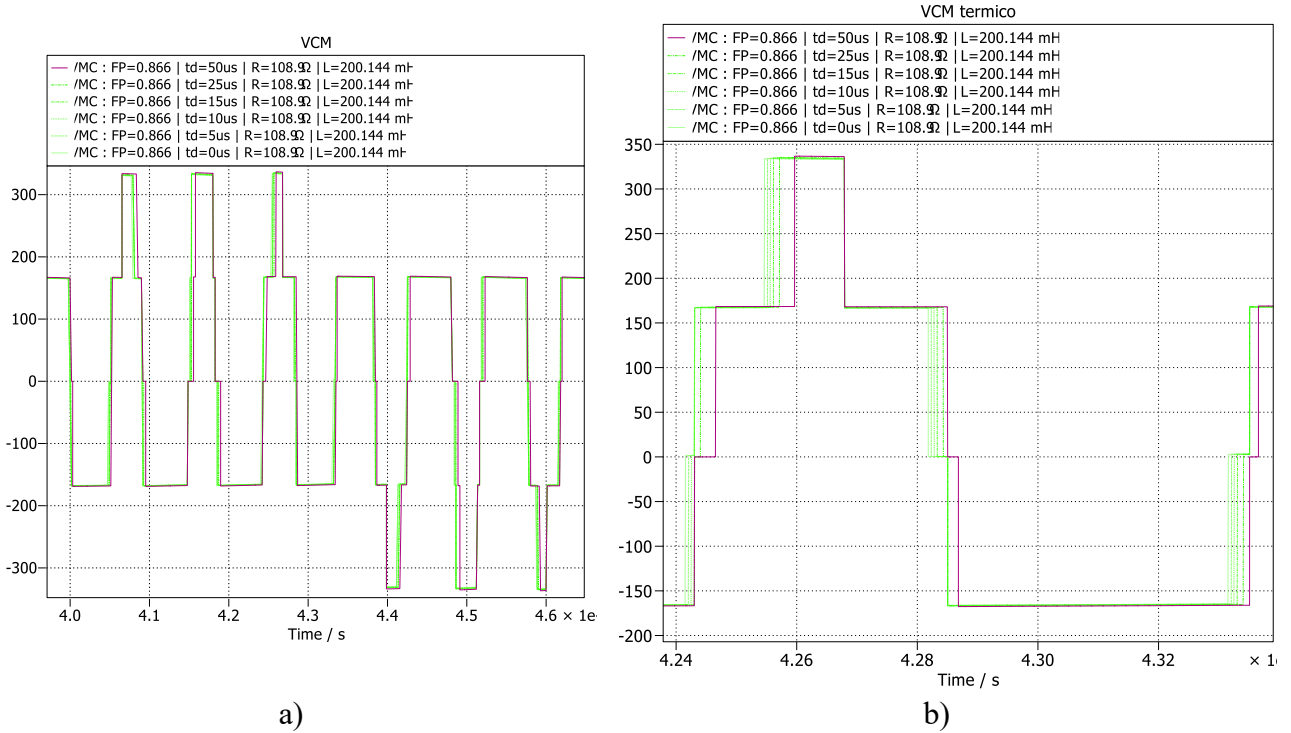


Fig. 7.27 Voltaje modo común térmico NPC MOSFET, a) formas de onda, b) zoom medio ciclo

7.6.4 Resumen de los resultados

Los resultados muestran que la diferencia de THD I entre un tiempo muerto de 0 y 50 μ s corresponde en promedio a un 0.664% entre los factores de potencia de 0.8 y 0.9. En la implementación con IGBT, el inversor NPC presenta un THD I 0.003% menor en el rango de 0 a 15 μ s. En los modelos con MOSFET, el inversor NPP presenta un contenido armónico promedio 0.037% menor en todos los casos.

La eficiencia térmica muestra una variación respecto a TM de 0.266% en la utilización de IGBT y de 0.023% con MOSFET. En ambos casos, el inversor NPP presenta una mayor eficiencia, un 1% superior con IGBT y 0.1% en el caso MOSFET.

El voltaje de modo común muestra un incremento al aumentar el tiempo muerto, alcanzando un máximo cercano a los 15 μ s, donde se observa una diferencia de 1.1V (0.55%) respecto a TM nulo. El inversor NPC presenta un VMC 0.3% menor con IGBT, mientras que mediante semiconductores MOSFETs el VMC del inversor NPP es 0.27% menor.

8. Modelos realistas inversores NPP y NPC

8.1 Simulación modelos realistas.

Con el fin de evaluar el impacto de los tiempos muertos en condiciones equivalentes a un convertidor físico, se desarrollan modelos no ideales de las topologías NPP y NPC. Estos modelos incorporan no idealidades de los dispositivos semiconductores, tales como inductancias parasitas, tiempos de subida/bajada, resistencias de encendido, voltajes de saturación, corriente de saturación. De esta forma es posible analizar los efectos de los tiempos muertos durante los transientes de encendido y apagado de los semiconductores.

En esta etapa se utilizan modelos MOSFET e IGBT con límite di/dt , siendo estos una representación suficientemente detallada del comportamiento dinámico y de conmutación de los dispositivos. Sin embargo, estos modelos no consideran explícitamente algunas no idealidades de alta frecuencia, como las capacitancias parasitas de estos semiconductores.

8.1.1 IGBT con límite di/dt

Todos los parámetros requeridos fueron extraídos a partir de los “valores característicos del IGBT” en la hoja de datos F3L200R12N2H3_B47 (Fig. A.13), con excepción de la inductancia parasita (L_{sig}). El valor de L_{sig} se estimó a partir de la ecuación de sobrevoltaje asociado a inductancias de dispersión (8.1), empleando una pendiente de corriente $\frac{di}{dt}$ entre 2.6 y 3 A/ns, según valores dinámicos reportados en la hoja de datos. Los valores finales empleados en el modelo IGBT con límite di/dt corresponden a los presentados en la Tabla 8.1. Las formas de onda de corriente y voltaje del límite di/dt se encuentran en la Fig. 8.1.

$$\Delta V = L_{\sigma} * \frac{di}{dt} \quad (8.1)$$

Tabla 8.1 Parámetros IGBT con límite di/dt

Parámetro:	Valor	Unidad
Vces	1200	V
Ic	150	A
Vf	1.8	V
Ron	5	mΩ
Roff	1	MΩ
Tr	0.044	μs
Tf	0.04	μs
Lsig	180	nH
I0	0	A

8.1.2 Diodo con recuperación inversa

Este modelo permite evaluar los efectos de recuperación inversa durante los transientes asociados al tiempo muerto, en especial en las topologías NPP y NPC, donde la interacción con diodos antiparalelo y el semiconductor influyen de manera directa en la distorsión armónica y los picos de corriente transitoria.

Los parámetros necesarios para modelar este fenómeno se presentan resumidos en la Tabla 3.5. La mayoría de ellos fueron obtenidos directamente desde Dasheet F3L200R12N2H3_B47, sin embargo, en parámetros como las resistencias de encendido y apagado se utilizaron valores de referencia, dado que no se encuentran explícitamente especificados por el fabricante.

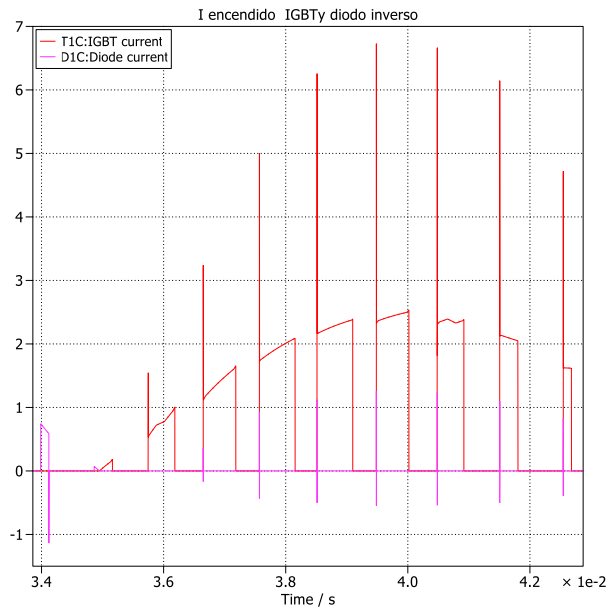
En el caso de la pendiente de recuperación inversa (dI_r/dt), si bien no aparece definido de forma directa, se adoptó el valor asociado a las condiciones de prueba en la determinación de I_{rrm} , Q_{rr} , E_{rec} . Asimismo, pese a que el tiempo de recuperación inversa (t_{rr}) no se proporciona como un valor explícito, fue posible estimar su valor a partir de las ecuaciones (8.2) y (8.3), cabe señalar que, de la misma manera, el modelo permite la opción de definir únicamente dos de los tres parámetros $\{I_{rrm}, Q_{rr}, t_{rr}\}$ ya que el restante puede estimarse a partir de las mismas ecuaciones internamente. Quedando los parámetros definitivos del modelo en la Tabla 8.2.

$$I_{rrm} \cong \frac{2Q_{rr}}{t_{rr}} \quad (8.2)$$

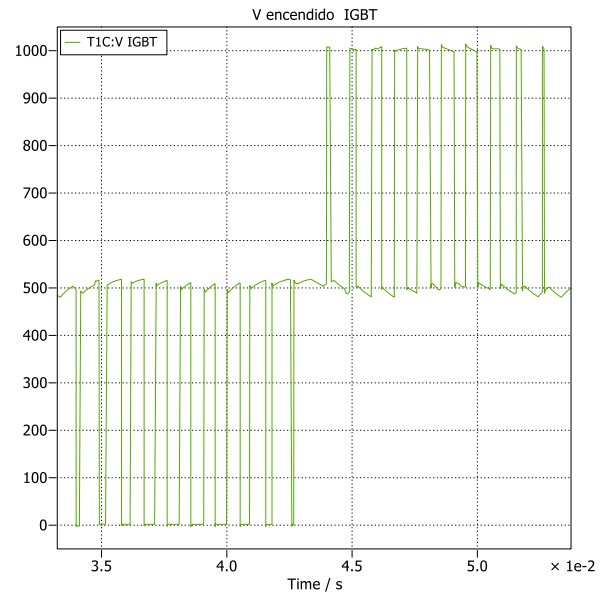
$$I_{rrm} = \sqrt{2Q_{rr} * dI_r/dt} \quad (8.3)$$

Tabla 8.2 Parámetros Diodo con recuperación inversa

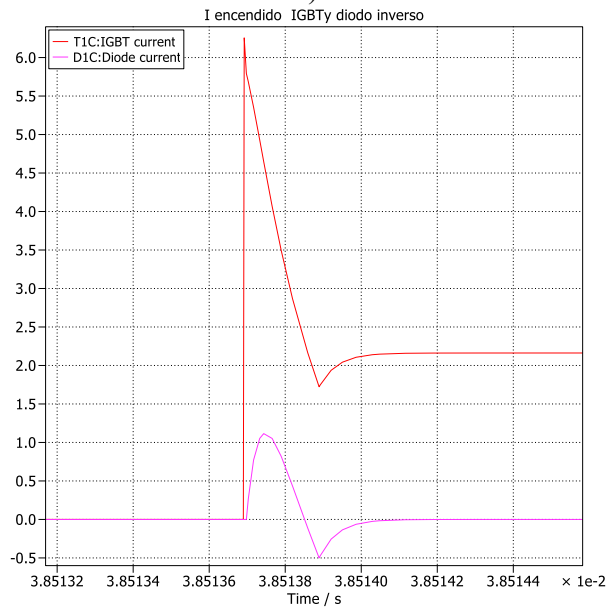
Parámetro:	Valor	Unidad
Vf	1.75	V
Ron	0.004	Ω
Roff	1	M Ω
Qrr	7.5	μ C
If0	100	A
dIr/dt	2600	MA/s
trr	147	ns
Irrm	102	A
Lrr	190	nH



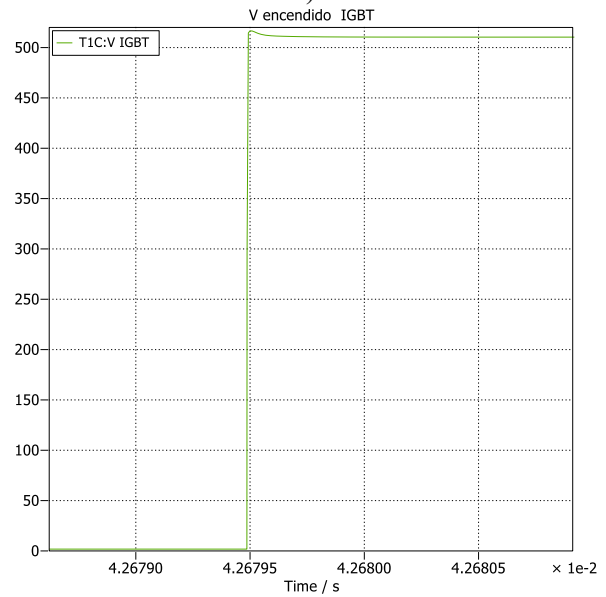
a)



c)



b)



d)

Fig. 8.1 Encendido IGBT con limite di/dt y diodo con recuperación inversa, a) forma de onda de corriente durante un ciclo, b) zoom de corriente durante un pulso, c) voltaje IGBT durante un ciclo, d) zoom pulso voltaje

8.1.3 MOSFET con límite di/dt

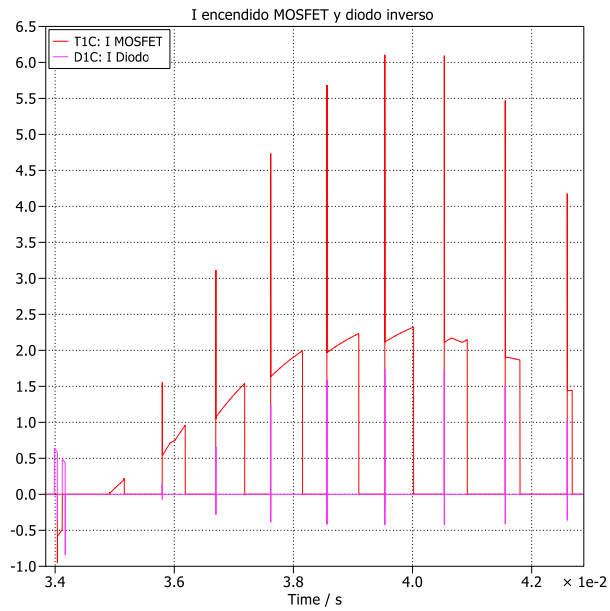
Todos los parámetros, a excepción de L_{sig} , fueron extraídos desde el apartado “Static characteristics” de la hoja de datos IMZ120R045M1. Dado que el fabricante no proporciona un valor de la pendiente de la corriente ($\frac{di}{dt}$) y considerando que su variación no generó cambios significativos en la simulación preliminar, se decidió asignar a L_{sig} el mismo valor correspondiente al utilizado en el semiconductor IGBT. Permitiendo una comparación bajo condiciones equivalentes para ambos dispositivos.

Los valores finales empleados en el modelo MOSFET con límite di/dt son los presentados en la Tabla 8.3. Las formas de onda de corriente y voltaje del límite di/dt se encuentran en la Fig. 8.2.

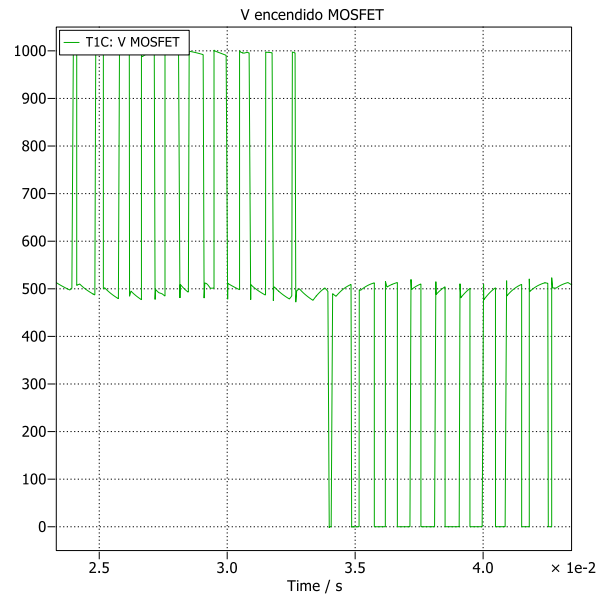
Destacar que la conmutación de un MOSFET depende del pulso V_{gs} y los drivers que se usan. Estos incorporan tiempos muertos y capacidades de corriente que pretenden mejorar la velocidad de conmutación.

Tabla 8.3 Parámetros MOSFET con límite di/dt

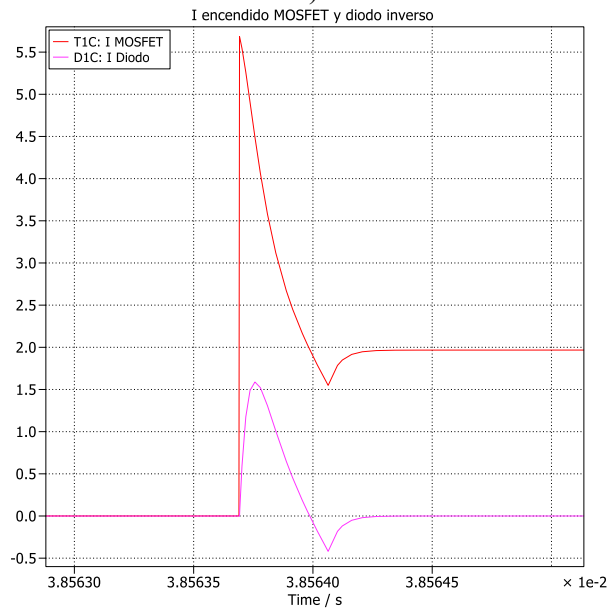
Parámetro:	Valor	Unidad
Vds	1200	V
Id	52	A
Ron	45	mΩ
Roff	1	MΩ
Tr	18	μs
Tf	13	μs
Lsig	180	μH
I0	0	A



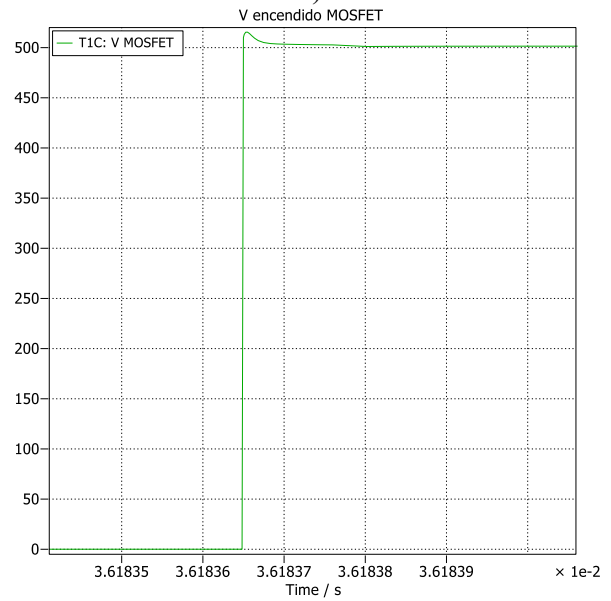
a)



c)



b)



d)

Fig. 8.2 Encendido MOSFET con limite di/dt y diodo con recuperación inversa, a) forma de onda de corriente durante un ciclo, b) zoom de corriente durante un pulso, c) voltaje MOSFET durante un ciclo, d) zoom pulso voltaje

8.2 Resultados simulación realista

8.2.1 THD corriente Real

Tras realizar un análisis del contenido armónico de la corriente de una de las fases en los modelos con límite di/dt se confirmó la tendencia del THD de la corriente respecto tanto del tiempo muerto como del factor de potencia.

Para factores de potencia de 0.999, el THD de corriente es un 20% mayor respecto a factores de potencia entre 0.8 y 0.9, independiente de la topología o el semiconductor utilizado.

Con el semiconductor IGBT los valores de THD I de NPP (Tabla 8.4 (a)) y NPC (Tabla 8.4 (b)) son prácticamente equivalentes, con diferencias en el orden de 0.001%. Con tiempos muertos de menor magnitud, $T_M < 15 \mu s$, el inversor NPC presenta un THD I 0.004% menor, sin embargo, tras los 15 μs la topología NPP presenta THD I promedio 0.002% menor. Pudiendo interpretarse que, en tiempos muertos menores, tanto los diodos del punto neutro de NPC como el switch bidireccional de NPP no introducen diferencias relevantes de THD I.

Al utilizar semiconductores MOSFET (Tabla 8.5) se observa un comportamiento distinto al caso IGBT, el NPP (Tabla 8.5 (a)) presenta un THD I ligeramente menor, un 0.034% en promedio de los casos, con una diferencia del mismo orden que en IGBT, pudiendo explicarse esto en los tiempos de conmutación más rápidos del MOSFET.

En cuanto a la sensibilidad de los inversores a los tiempos muertos, el inversor NPP presentó una menor variación armónica, un 0.304% respecto a 0.306% entre T_M 0-15 μs utilizando IGBT y en el caso MOSFET un 0.294% frente a 0.296% de NPC (Tabla 8.5 (b)).

Tabla 8.4: THD (%) I IGBT real (a) NPP, (b) NPC

Tm [μs] \ FP	THD (%) Corriente salida fase a							
	IGBT NPP real (a)				IGBT NPC real (b)			
	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	2.408%	2.889%	3.307%	22.435%	2.405%	2.887%	3.305%	22.425%
5	2.432%	2.925%	3.354%	22.686%	2.430%	2.924%	3.353%	22.676%
10	2.463%	2.967%	3.408%	22.963%	2.463%	2.966%	3.407%	22.954%
15	2.502%	3.016%	3.468%	23.269%	2.502%	3.015%	3.468%	23.261%
25	2.599%	3.132%	3.609%	24.064%	2.602%	3.133%	3.610%	24.058%
50	2.956%	3.576%	4.084%	26.911%	2.961%	3.580%	4.088%	26.907%
Delta 0-15 μs 	0.094%	0.127%	0.161%	0.834%	0.098%	0.129%	0.162%	0.836%

Tabla 8.5: THD (%) I MOSFET real (a) NPP, (b) NPC

THD (%) I								
(a) MOSFET NPP real					(b) MOSFET NPC real			
Tm [μ s] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	2.373%	2.840%	3.251%	22.313%	2.391%	2.865%	3.279%	22.377%
5	2.393%	2.873%	3.294%	22.562%	2.413%	2.898%	3.324%	22.625%
10	2.421%	2.911%	3.344%	22.838%	2.441%	2.938%	3.375%	22.899%
15	2.456%	2.957%	3.400%	23.141%	2.477%	2.985%	3.432%	23.201%
25	2.550%	3.066%	3.534%	23.948%	2.572%	3.094%	3.569%	23.994%
50	2.889%	3.493%	3.992%	26.802%	2.917%	3.528%	4.031%	26.822%
Delta 0-15 μs 	0.083%	0.117%	0.149%	0.828%	0.086%	0.120%	0.153%	0.824%

8.2.2 Eficiencia real NPC y NPP

Tras realizar un análisis de la eficiencia de potencia de los circuitos eléctricos fue posible visualizar la relación que se presenta entre el periodo de tiempo muerto y la eficiencia eléctrica. Se confirmó que, en todos los casos, la eficiencia disminuye de manera monótona al aumentar el tiempo muerto, independiente a la topología, semiconductor o factor de potencia.

Con el semiconductor IGBT (Tabla 8.6, (a) NPP; (b) NPC), las eficiencias rondaron el 97.1-97.9% con variaciones respecto al tiempo muerto entre 0.20% y 0.25% en NPP. Y una eficiencia entre 96.9-97.7% con una variación de 0.18% a 0.22% respecto al tiempo muerto en la topología NPC. La topología NPP presentó una mayor eficiencia que la NPC, con diferencias cercanas al 0.22% para todos los FP y tiempos muertos.

En el caso del semiconductor MOSFET (Tabla 8.7,(a) NPP; (b) NPC), las eficiencias se encuentran entre 98.6 y 99.0% en el caso NPP con una variación entre un 0.16% a 0.19% debido a tiempo muerto. NPC presentó una eficiencia entre 98.2 y 98.7%, con una variación debido Tm entre 0.11% a 0.16%. Observándose también una mayor eficiencia, alrededor de un 0.29% mayor, del inversor NPP en todos los casos.

Es de concluir que, en términos de eficiencia potencial, el inversor NPP presenta una mejor respuesta ante los tiempos muertos en todos los casos, alrededor de un 0.25% entre ambos semiconductores, pese a presentar una sensibilidad 0.034% mayor al tiempo muerto.

Tabla 8.6: Eficiencia real IGBT real (a) NPP, (b) NPC

Eficiencia real IGBT								
(a) IGBT NPP real					(b) IGBT NPC real			
Tm [μ s] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	97.343%	97.574%	97.678%	97.960%	97.106%	97.349%	97.457%	97.737%
5	97.326%	97.554%	97.656%	97.936%	97.091%	97.331%	97.437%	97.715%
10	97.308%	97.533%	97.633%	97.911%	97.075%	97.313%	97.416%	97.693%
15	97.289%	97.513%	97.610%	97.887%	97.059%	97.294%	97.396%	97.671%
25	97.250%	97.466%	97.563%	97.838%	97.024%	97.252%	97.353%	97.626%
50	97.130%	97.336%	97.435%	97.716%	96.917%	97.135%	97.238%	97.515%
Delta 0- 50 μ s	0.213%	0.238%	0.243%	0.244%	0.189%	0.215%	0.218%	0.223%

Tabla 8.7: Eficiencia real MOSFET real (a) NPP, (b) NPC

Eficiencia real MOSFET								
(a) MOSFET NPP real					(b) MOSFET NPC real			
Tm [μ s] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	98.717%	98.841%	98.895%	99.024%	98.334%	98.508%	98.587%	98.788%
5	98.681%	98.805%	98.858%	98.992%	98.324%	98.496%	98.574%	98.772%
10	98.668%	98.791%	98.842%	98.974%	98.314%	98.485%	98.560%	98.756%
15	98.656%	98.776%	98.826%	98.956%	98.304%	98.473%	98.547%	98.740%
25	98.630%	98.747%	98.793%	98.920%	98.284%	98.449%	98.520%	98.708%
50	98.552%	98.658%	98.706%	98.834%	98.219%	98.374%	98.447%	98.629%
Delta 0-50 μ s	0.165%	0.183%	0.189%	0.190%	0.115%	0.134%	0.140%	0.159%

8.2.3 Voltaje modo común realista

Se realizó un análisis comparativo de los voltajes de modo común respecto al tiempo muerto (Tm) ante diferentes factores de potencia, donde se observa que para tiempos muertos bajos a intermedios (0 a 15 μ s) VMC RMS presenta una relación directa. Mientras que para para tiempos muertos altos (25-50 μ s) el voltaje de modo común disminuye.

Se observa que VMC con presencia de tiempo muerto es inversamente proporcional al factor de potencia, con variaciones promedio de 0.614%, entre FP= 0.8 y 0.999. El aumento de Tm coincide con un incremento del voltaje de modo común limitado a los 15 μ s, con una diferencia promedio de

1.09[V] (0.548%) entre los 0 y 15 μ s, tras lo cual se reduce periódicamente, Tm de 50 μ s llegando a ser 3.44[V] menor respecto a 0s (una variación de 1.73%).

Tras analizar los casos utilizando el semiconductor IGBT (Tabla 8.8, (a) NPP; (b) NPC) se visualiza que el inversor NPC presenta sistemáticamente un menor VMC RMS que el NPP, con una diferencia alrededor de 0.550[V] (0.276% de diferencia).

Con los semiconductores MOSFETs (

Tabla 8.9, (a) NPP; (b) NPC), se observó que la configuración NPP presenta un menor voltaje de modo común, con una diferencia alrededor de 0.556 [V] (0.280% de diferencia).

Tabla 8.8: Voltaje modo común IGBT real (a) NPP, (b) NPC

VMC rms IGBT real [Vrms]								
Tm [μ s] \ FP	(a) IGBT NPP real				(b) IGBT NPC real			
	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	199.028	199.145	199.235	199.532	198.6	198.599	198.641	198.901
5	199.626	199.623	199.421	199.73	199.204	199.072	198.834	199.101
10	200.221	200.098	199.604	199.923	199.801	199.538	199.019	199.291
15	200.814	200.57	199.784	200.111	200.396	200.001	199.201	199.476
25	201.109	199.784	199.342	199.343	200.657	199.198	198.765	198.703
50	197.778	195.728	195.898	193.764	197.359	195.18	195.348	193.131
Delta [0-15 μ s]	1.785	1.425	0.55	0.579	1.796	1.403	0.56	0.575

Tabla 8.9: Voltaje modo común MOSFET real (a) NPP, (b) NPC

VMC rms MOSFET real [Vrms]								
Tm [μ s] \ FP	(a) MOSFET NPP real				(b) MOSFET NPC real			
	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	198.492	198.616	198.676	198.555	198.944	199.127	199.222	199.326
5	199.079	199.112	198.859	198.761	199.538	199.62	199.406	199.53
10	199.665	199.607	199.04	198.964	200.127	200.109	199.586	199.728
15	200.249	200.1	199.219	199.162	200.714	200.595	199.763	199.921
25	200.578	200.171	198.77	198.35	201.052	200.306	199.315	199.138
50	197.24	195.265	195.312	192.711	197.703	195.749	195.857	193.532
Delta [0-15 μ s]	1.757	1.484	0.542	0.607	1.77	1.469	0.542	0.596

En la Fig. 8.3 se observa el comportamiento del voltaje de modo común en un inversor NPP utilizando el semiconductor IGBT. A medida que aumenta el tiempo muerto, el voltaje se desplaza, disminuyendo los periodos de VMC cero, lo que ocasiona el aumento de VMC RMS. Tras sobrepasar un límite cercano a $15\mu\text{s}$, aparecen nuevos periodos de valor cero, que se expanden junto con el aumento de TM.

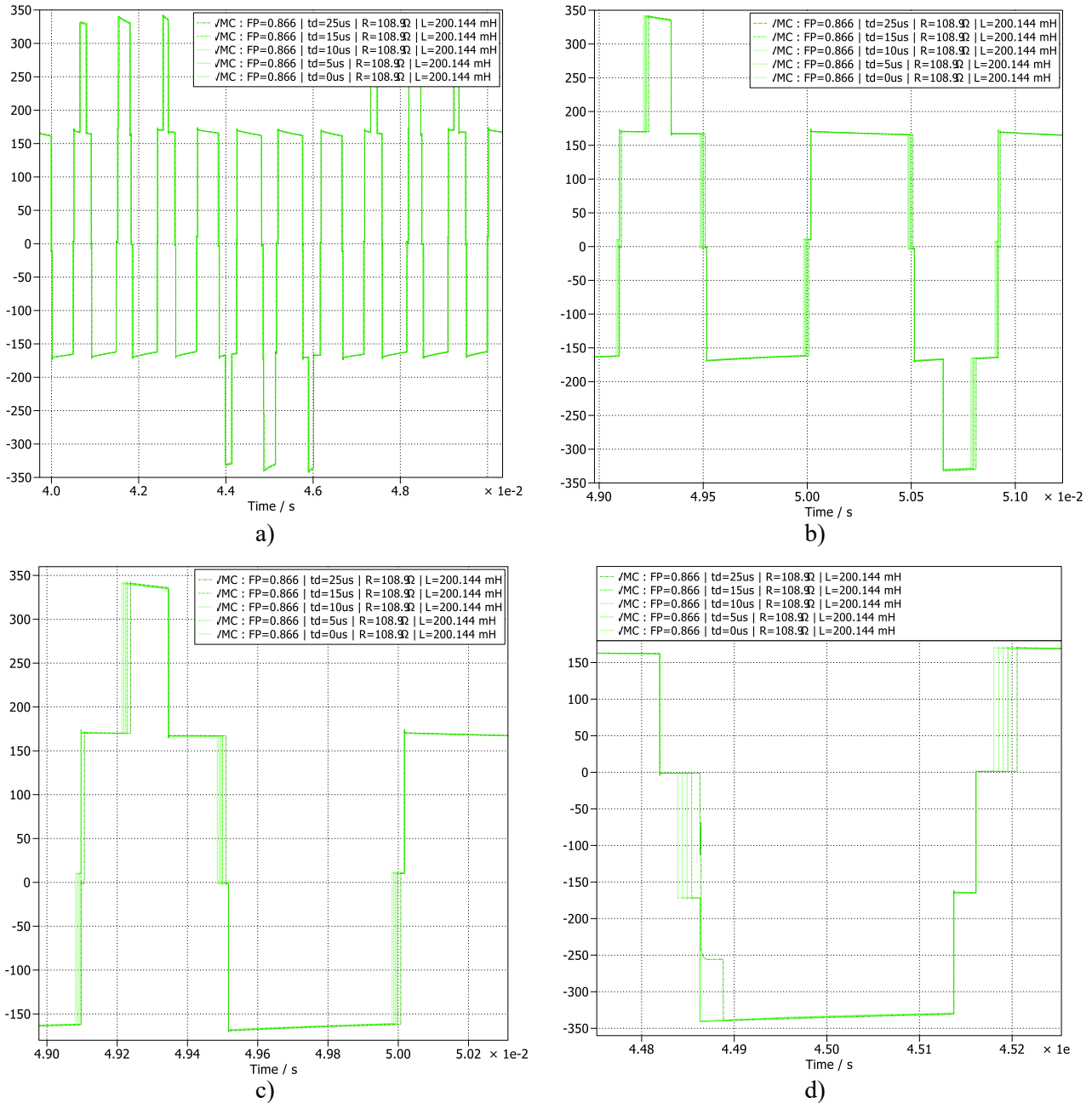


Fig. 8.3 VMC inversor NPP con IGBT bajo distintos tiempos muertos, a) figura total, b) zoom 1 a una sección del ciclo, c) zoom 2 a una sección del ciclo, d) zoom 3 a sección del ciclo

8.2.4 Corriente de fuga realista

Se realizó un análisis de la corriente de fuga rms de los modelos NPP y NPC, utilizando un circuito simultaneo y equivalente al flujo que esta corriente circularía, no interfiriendo en el modelo original.

Se observa que la corriente de fuga aumenta significativamente respecto al factor de potencia, con un incremento de 21.13% (79[mA]) del factor de potencia 0.9 respecto a 0.8 y de 638% (2.4[A]) en FP 0.999. Mientras que el tiempo muerto produce aumento sin una tendencia estrictamente monótona alrededor de los 0.56% (2.22[mA]) entre 0 y 50 μ s, a exceptuando FP 0.999, debido a su gran salto de corriente.

Tras realizar un análisis comparativo utilizando IGBTs en los inversores NPP (Tabla 8.10 (a)) y NPC (Tabla 8.10 (b)). se observa que la I fuga RMS del inversor NPC es en promedio 1.045 [mA] (0.27%) menor en todos los casos, teniendo una variación de 0.77% entre 0 a 50 μ s, con 0.73% el caso NPP.

El caso MOSFET (Tabla 8.11) presentó una diferencia de 1[mA] entre los modelos, siendo NPP quien presento una corriente de fuga 0.28% menor con una variación de 0.414% entre los escenarios sin tiempo muerto y con 50 μ s de este, mientras NPC presentó una variación de 0.32% entre los mismos TM.

Tabla 8.10: Corriente de fuga RMS IGBT, (a) NPP, (b) NPC

Corriente de fuga [mA] IGBT								
(a) IGBT NPP real					(b) IGBT NPC real			
Tm [μ s] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	373.554	413.061	455.139	2787.7	372.775	411.905	453.761	2778.831
5	374.088	413.219	454.779	2788.23	373.367	412.064	453.421	2779.331
10	374.763	413.478	454.546	2787.876	374.1	412.327	453.209	2778.949
15	375.574	413.837	454.44	2786.63	374.97	412.69	453.123	2777.678
25	377.293	413.204	454.604	2776.646	376.456	412.046	453.33	2767.628
50	378.544	414.645	457.253	2718.115	377.995	413.59	456.084	2709.091
Delta [0-50μs]	4.99	1.584	2.114	69.586	5.22	1.684	2.323	69.74

Tabla 8.11: Corriente de fuga RMS IGBT, (a) NPP, (b) NPC

Corriente de fuga [mA] MOSFET								
(a) MOSFET NPP real					(b) MOSFET NPC real			
Tm [μ s] \ FP	0.8	0.866	0.9	0.999	0.8	0.866	0.9	0.999
0	373.509	412.97	454.964	2773.221	373.847	413.499	455.63	2784.397
5	373.712	412.829	454.233	2773.743	374.196	413.513	455.079	2784.985
10	374.082	412.798	453.635	2773.415	374.697	413.63	454.653	2784.691
15	374.609	412.871	453.162	2772.202	375.345	413.848	454.352	2783.508
25	376.126	413.166	452.597	2761.452	377.068	413.713	454.128	2773.298
50	375.537	411.455	453.455	2701.756	377.266	413.456	455.81	2714.328
Delta 0-50 μ s	2.029	1.515	1.509	71.465	3.419	0.043	0.18	70.069

8.2.5 Resumen de resultados

Los resultados obtenidos mediante los modelos con limite di/dt muestran una relación creciente entre THD I respecto al tiempo muerto y al factor de potencia. En la implementación con IGBT, el inversor NPC presenta un THD 0.004% menor en TM inferiores a 15 μ s, tras ese umbral (casos no usuales) la topología NPP presenta un valor promedio 0.002% menor. En las implementaciones con MOSFET, el inversor NPP presenta un THD I promedio 0.034% menor en todos los casos.

La eficiencia disminuye de forma monótona al aumentar el tiempo muerto, independientemente de la topología o semiconductor. Con IGBT la eficiencia presenta valores alrededor del 97%, la topología NPP presenta una ventaja promedio de 0.22% para NPP. En el caso MOSFET, la eficiencia alcanza valores entre el 98 y 99%, siendo el inversor NPP quien presenta valores 0.29% mayores.

El voltaje de modo común presenta una relación directa con TM en el rango de 0 a 15 μ s, alcanzando un incremento promedio de 1.09V (0.548%), mientras que para tiempos muertos mayores disminuye progresivamente, llegando a ser 3.44 V inferior al casi sin TM para 50 μ s. En la configuración IGBT, el inversor NPC presenta un VMC promedio 0.276% menor, en cambio con MOSFET, la topología NPP presenta un VMC promedio 0.280% menor.

La corriente de fuga aumenta significativamente con el factor de potencia, presentando incrementos aproximados de 21.1% entre FP 0.8 y 0.9, y superiores a 600% respecto FP 0.999. el efecto del tiempo muerto resulta comparativamente menor, con variaciones cercanas a 0.56% entre 0 y 50 μ s. En implementaciones con IGBT, el inversor NPC presenta una corriente de fuga promedio 0.27% menor. En el caso MOSFET, la tendencia se invierte siendo la topología NPP la que presenta una corriente de fuga promedio 0.28% menor.

9. Discusión y Conclusiones

9.1 Sumario

En este trabajo de memoria de título se realizó un análisis comparativo de la respuesta y tolerancia ante diferentes valores de tiempo muerto entre los inversores Nentral Point Piloted (NPP) y Neutral Point Clamped (NPC), viéndose contextualizada toda la comparativa a un entorno de generación fotovoltaica suministrando a una red trifásica, realizando análisis de contenido armónico, la eficiencia, el voltaje de modo común y la corriente de fuga.

Toda esta investigación fue realizada mediante simulación a través del software PLECS, donde fueron implementados los modelos correspondientes a los inversores, seguido de la investigación de la estrategia idónea para la implementación de tiempo muerto en inversores NPP, comparando entre un método de apagado total de pierna de inversor, frente a la implementación dinámica de los switches de la sección neutra. Buscando analizar de manera aislada la corriente de fuga se realizó un circuito complementario con las señales involucradas. Prosiguiendo con la implementación de perfiles térmicos para los inversores, contrastando el análisis ante la utilización de semiconductores IGBT como MOSFET. Con el objetivo de corroborar los resultados se implementaron simulaciones utilizando los mismos perfiles de semiconductores en los modelos “di/dt limited”.

Buscando de recopilar datos de manera eficiente se investigaron métodos de simulación cíclica, llevados al desarrollo de un script dentro de PLECS el cual implementa las combinaciones de parámetros y exporta los resultados en archivos .CSV. Finalmente se contrastaron las tablas de resultados obtenidas, discerniendo el inversor con mejor respuesta al tiempo muerto.

9.2 Conclusión

Los resultados obtenidos muestran de forma consistente que el tiempo muerto (T_m) es un factor por considerar en la optimización de la distorsión armónica total de la corriente y la reducción de la eficiencia, tanto en los modelos térmicos como en los modelos con limitación di/dt. Se observa una relación creciente entre T_m y THD I y decreciente entre T_m con la eficiencia, para ambas topologías (NPC y NPP), independientemente del semiconductor utilizado, y siendo este efecto especialmente pronunciado para factores de potencia cercanos a la unidad.

Al contrastar los resultados obtenidos mediante modelos térmicos y realistas, se corroboró que la topología NPP presenta un THD de corriente 0.034% menor utilizando semiconductores MOSFET y 0.002% menor mediante IGBT en tiempos muertos sobre los 15 μ s que no es un caso realista.

Asimismo, se observó que, bajo la utilización de un mismo tipo de semiconductor, el inversor NPP presenta una eficiencia 0.22% mayor que la topología NPC mediante IGBT, y 0.29% mayor en el caso de utilizar MOSFET, llegando NPP a eficiencias de 97.14% y 98.66% respectivamente con 50 μ s de TM.

En relación con el voltaje de modo común y la corriente de fuga, el inversor NPC presentó valores RMS 0.28% menores cuando se emplean semiconductores IGBT, mientras que al utilizar MOSFET es 0.280% mayor. Esta diferencia aún que consistente, se mantienen en un valor reducido y no concluyen un criterio decisivo por si solas para la selección de la topología.

En conclusión, el valor del tiempo muerto es un factor relevante a la hora de planificar un proyecto de generación e inversión de energías renovables. Tras comparar ambos inversores la topología NPP presentó una mejor o igual respuesta a tiempos muertos superiores a 15 μ s, en términos de eficiencia y contenido armónico, no obstante, un peor o igual voltaje de modo común y corriente de fuga en todos los casos.

9.3 Trabajos futuros

- 1) Se propone el continuar con la investigación a partir de la corroboración de los datos obtenidos a partir de un modelo físico.
- 2) Comparar la respuesta al tiempo muerto de otros sistemas multinivel a diferentes factores de potencia.
- 3) La realización de una simulación de las corrientes de fuga en los inversores bajo condiciones no ideales.
- 4) La implementación comparativa de las respuestas a diferentes tiempos muertos de los inversores NPP y NPC bajo diferentes tipos de modulación y frecuencias de las portadoras.
- 5) Estudiar el límite mínimo seguro de tiempo muerto para los inversores NPP y NPC

Nomenclatura

V_x	: Voltaje de fase x
V_{dc}	: Voltaje continuo
i_l	: Corriente de carga
D_x	: Diodo x
T_x	: Switch x
V_{MC}	: Voltaje de modo común
$V_{fase\ a-n}$	: Voltaje fase a- neutro de carga
Punto N	: Punto neutro de la fuente
Punto n	: Punto neutro de la carga
i_{fuga}	: Corriente de fuga
R_l	: Resistencia de carga
L_l	: Inductancia de carga
$V_{fase\ x-N}$	: Voltaje de fase x respecto a neutro de fuente dc
V_{CE}	: Voltaje colector-emisor
I_C	: Corriente de colector
V_F	: voltaje Forward
R_{ON}	: Resistencia de encendido
R_{OFF}	: Resistencia de apagado
t_r	: Rise time
t_f	: Fall time
L_{sig}	: Stray inductance
I_{f0}	: Corriente continua de forward
dI_r/dt	: Current slope at turn-off
t_{rr}	: Tiempo de recuperación inversa
I_{rrm}	: Valor máximo de la corriente inversa
Q_{rr}	: Carga de recuperación inversa
L_{rr}	: Inductancia asociada al lazo de recuperación inversa

Abreviaciones

AC	: Corriente alterna.
DC	: Corriente continua.
NPC	: Neutral Point Clamped.
NPP	: Neutral Point Piloted.
THD	: Distorsión armónica total.
FV	: Fotovoltaico.
VMC	: Voltaje modo común.
DT	: Disparo directo de enlace.
Vdc	: Fuente de voltaje continuo.
IGBT	: Transistor Bipolar de Puerta Aislada.
PWM	: Modulación por Ancho de Pulso.
SPWM	: Sinusoidal PWM.
THIPWM	: Third Harmonic Injection PWM.
TIPWM	: Triangular Zero-Sequence Injection PWM.
TPWM	: Trapezoidal PWM.
SHE	: Selective Harmonic Elimination.
D	: Diodo.
i_l	: Corriente de carga.
Dead-time	: Tiempo Muerto.
T_m	: Tiempo Muerto.
PD	: Disposición de Fase.
POD	: Disposición en Oposición de Fase.
ON	: Encendido.
OFF	: Apagado.
TriU	: Triangular Superior
TriL	: Triangular Inferior
Mod	: Moduladora
Conf	: Configuración
Estado P	: Estado positivo
Estado 0	: Estado cero
Estado N	: Estado negativo

10. Referencias

- [1] C. Jiang, Z. Quan y Y. Li, «Passive Filter Design to Mitigate Dead-Time Effects in Three-Level T-Type NPC Transformerless PV Inverters Modulated with Zero CMV PWM,» de *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, Portland, OR, USA, 2018.
- [2] H. Shin, K. Lee, J. Choi, S. Seo y J. Lee, «Power Loss Comparison with Different PWM Methods for 3L-NPC Inverter and 3L-T Type Inverter,» de *2014 International Power Electronics and Application Conference and Exposition*, Shanghai, China, 2014.
- [3] M. Schweizer y J. W. Kolar, «Design and Implementation of a Highly Efficient Three-Level T-Type Converter for Low-Voltage Applications,» *IEEE Transactions on Power Electronics*, vol. 28, n° 2, pp. 899-907, february 2013.
- [4] A. Bıçak y A. Gelen, «Comparisons of Different PWM Methods with Level-Shifted Carrier Techniques for Three-Phase Three-Level T-Type Inverter,» de *2020 7th International Conference on Electrical and Electronics Engineering (ICEEE)*, Antalya, Turkey, 2020.
- [5] Z. Kehl y T. Glasberger, «Analysis of three-level neutral point piloted power converter topology,» de *2018 International Conference on Applied Electronics (AE)*, Pilsen, Czech Republic, 2018.
- [6] T.-J. Kim, D.-W. Kang, Y.-H. Lee y D.-S. Hyun, «The analysis of conduction and switching losses in multi-level inverter system,» de *2001 IEEE 32nd Annual Power Electronics Specialists Conference*, Vancouver, BC, Canada, 2001.
- [7] K. Lee, H. Shin y J. Choi, «Comparative analysis of power losses for 3-Level NPC and T-type inverter modules,» de *2015 IEEE International Telecommunications Energy Conference (INTELEC)*, Osaka, Japan, 2015.
- [8] T.-S. Wu, P.-J. Huang, Y.-H. Sie, P.-W. Lee, M. Lak y T.-L. Lee, «An Efficiency Study of SiC-MOSFET Based Three-Level NPC Inverters,» de *2023 IEEE International Future Energy Electronics Conference (IFEEC)*, Sydney, Australia, 2023.
- [9] J. A. V. Toro, «Estudio de Eficiencia de Circuitos de Electrónica de Potencia en el Software PLECS,» Universidad de Concepción, Facultad de Ingeniería, Departamento de Ingeniería Eléctrica, Concepción, Chile, 2023.
- [10] D. C. Moore, M. Odavic y S. M. Cox, «Dead-time effects on the voltage spectrum of a PWM inverter,» *IMA Journal of Applied Mathematics*, vol. 79, n° 1061 - 1076, p. 1061–1076, december 2014.

- [11] G. Grandi y J. Loncarski, «Analysis of dead-time effects in multi-phase voltage source inverters,» de *6th IET International Conference on Power Electronics, Machines and Drives (PEMD 2012)*, Bristol, 2012.
- [12] Y. Kan, S. -W. Hyun, S. -J. Hong y C. -Y. Won, «Zero dead-time PWM implementation method for reducing total harmonic distortion in 3-level NPC inverter,» de *2015 18th International Conference on Electrical Machines and Systems (ICEMS)*, Pattaya, Thailand, 2015.
- [13] G. A. Fogli, R. L. Valle, P. M. de Almeida y P. G. Barbosa, «A simple dead-time compensation strategy for grid-connected voltage-sourced converters semiconductor switches,» *Electric Power Systems Research*, vol. 174, nº 105853, pp. -, 17 May 2019.
- [14] N. Aizawa, M. Kikuchi, H. Kubota, I. Miki and K. Matsuse, "Dead-time effect and its compensation in common-mode voltage elimination of PWM inverter with auxiliary inverter," in *The 2010 International Power Electronics Conference - ECCE ASIA -*, Sapporo, Japa, 2010.
- [15] V. Karakaşlı, A. Jamal, G. Griepentrog y O. Safdarzadeh, «Common-Mode Voltage in Three-Level T-Type Inverter: Modeling, Analysis, and Compensation,» de *2024 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, USA, 2024.
- [16] K. C. de Farias, K. C. de Oliveira, A. M. de Farias, F. A. Neves, G. M. S. Azevedo y F. C. Camboim, «Modulation Techniques to Eliminate Leakage Currents in Transformerless Three-Phase Photovoltaic Systems,» *IEEE Transactions on Industrial Electronics*, vol. 57, nº 4, pp. 1360-1368, 2010.
- [17] A. Nabae, I. Takahashi y H. Akagi, «A new neutral-point-clamped PWM inverter,» *IEEE Transactions on industry applications*, Vols. %1 de %21A-17, nº 5, p. 518–523, 30 septiembre 1981.
- [18] V. Guennegues, B. Gollentz, S. R. F. Meibody-Tabar y L. Leclere, «A converter topology for high speed motor drive applications,» de *2009 13th European Conference on Power Electronics and Applications (EPE '09)*, Barcelona, Spain, 2009.
- [19] A. Babaki, M. S. Golsorkhi, T. Ebel y N. Christensen, «Analysis of Phase Voltage Oscillation Affected by Switching State Changes of Other Phases in Three-Phase T-Type Converter,» de *2024 IEEE International Conference on Industrial Technology (ICIT)*, Bristol, United Kingdom, 2024.

A. Anexo

Datasheet IMZ120R045M1

IMZ120R045M1



IMZ120R045M1

CoolSiC™ 1200V SiC Trench MOSFET
Silicon Carbide MOSFET

Features

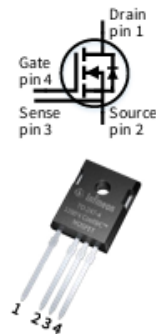
- Very low switching losses
- Threshold-free on state characteristic
- Wide gate-source voltage range
- Benchmark gate threshold voltage, $V_{GS(th)} = 4.5V$
- 0V turn-off gate voltage
- Fully controllable dv/dt
- Commutation robust body diode, ready for synchronous rectification
- Easy to use/drive due to sense (driver) source pin for better control of the gate
- Temperature independent turn-off switching losses

Benefits

- Efficiency improvement
- Enabling higher frequency
- Increased power density
- Cooling effort reduction
- Reduction of system complexity and cost

Potential applications

- Energy generation
 - Solar string inverter and solar optimizer
- Industrial power supplies
 - Industrial UPS
 - Industrial SMPS
- Infrastructure – Charge
 - Charger



Product validation

Qualified for industrial applications according to the relevant tests of JEDEC 47/20/22

Note: the source and sense pins are not exchangeable, their exchange might lead to malfunction

Table 1 Key Performance and Package Parameters

Type	V_{DS}	I_D ($T_C = 25^\circ C$, $R_{DS(on)}$)	$R_{DS(on)}$ ($T_{vj} = 25^\circ C$, $I_D = 20A$, $V_{GS} = 15V$)	$T_{j,max}$	Marking	Package
IMZ120R045M1	1200V	52A	45mΩ	175°C	120M1045	PG-TO247-4

Fig. A.1 Datasheet MOSFET,1

**IMZ120R045M1****CoolSiC™ 1200V SiC Trench MOSFET****Maximum ratings****1 Maximum ratings**

For optimum lifetime and reliability, Infineon recommends operating conditions that do not exceed 80% of the maximum ratings stated in this datasheet.

Table 2 Maximum ratings

Parameter	Symbol	Value	Unit
Drain-source voltage, $T_{vj} \geq 25^{\circ}\text{C}$	V_{DS}	1200	V
DC drain current for $R_{th(j-c,max)}$, limited by $T_{vj,max}$, $V_{GS} = 15\text{V}$, $T_c = 25^{\circ}\text{C}$	I_D	52	A
$T_c = 100^{\circ}\text{C}$		36	
Pulsed drain current, t_p limited by $T_{vj,max}$, $V_{GS} = 15\text{V}$	$I_{D,pulse}^1$	130	A
DC body diode forward current for $R_{th(j-c,max)}$, limited by $T_{vj,max}$, $V_{GS} = 0\text{V}$	I_{SD}	52	A
$T_c = 25^{\circ}\text{C}$		28	
$T_c = 100^{\circ}\text{C}$			
Pulsed body diode current, t_p limited by $T_{vj,max}$	$I_{SD,pulse}^1$	130	A
Gate-source voltage ²			
Max transient voltage, < 1% duty cycle	V_{GSS}	-10... 20	V
Recommend turn-on gate voltage	$V_{GSS,on}$	15	
Recommend turn-off gate voltage	$V_{GSS,off}$	0	
Short-circuit withstand time			
$V_{DD} = 800\text{V}$, $V_{DS,peak} < 1200\text{V}$, $V_{GS,on} = 15\text{V}$, $T_{j,start} = 25^{\circ}\text{C}$	t_{SC}	3	μs
Power dissipation, limited by $T_{vj,max}$			
$T_c = 25^{\circ}\text{C}$	P_{tot}	228	W
$T_c = 100^{\circ}\text{C}$		114	
Virtual junction temperature	T_{vj}	-55... 175	$^{\circ}\text{C}$
Storage temperature	T_{stg}	-55... 150	$^{\circ}\text{C}$
Soldering temperature, wavesoldering only allowed at leads, 1.6mm (0.063 in.) from case for 10 s	T_{soid}	260	$^{\circ}\text{C}$
Mounting torque, M3 screw			
Maximum of mounting processes: 3	M	0.6	Nm

¹ verified by design

² **Important note:** The selection of positive and negative gate-source voltages impacts the long-term behavior of the device. The design guidelines described in [Application Note AN2018-09](#) must be considered to ensure sound operation of the device over the planned lifetime.

Fig. A.2 Datasheet MOSFET,2

2 Thermal resistances

Table 3

Parameter	Symbol	Conditions	Value			Unit
			min.	typ.	max.	
MOSFET/body diode thermal resistance, junction – case	$R_{th(j-c)}$		-	0.51	0.66	K/W
Thermal resistance, junction – ambient	$R_{th(j-a)}$	lead	-	-	62	K/W

Fig. A.3

3 Electrical Characteristics

3.1 Static characteristics

Table 4 Static characteristics (at $T_{vj} = 25^{\circ}\text{C}$, unless otherwise specified)

Parameter	Symbol	Conditions	Value			Unit
			min.	typ.	max.	
Drain-source on-state resistance	$R_{DS(on)}$	$V_{GS} = 15\text{V}$, $I_D = 20\text{A}$, $T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 100^{\circ}\text{C}$ $T_{vj} = 175^{\circ}\text{C}$	- - -	45 55 75	59 - -	mΩ
Body diode forward voltage	V_{SD}	$V_{GS} = 0\text{V}$, $I_{SD} = 20\text{A}$, $T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 100^{\circ}\text{C}$ $T_{vj} = 175^{\circ}\text{C}$	- - -	4.1 4.0 3.9	5.2 - -	V
Gate-source threshold voltage	$V_{GS(th)}$	(tested after 1 ms pulse at $V_{GS} = 20\text{V}$) $I_D = 10\text{mA}$, $V_{DS} = V_{GS}$, $T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 175^{\circ}\text{C}$	3.5 -	4.5 3.6	5.7 -	V
Zero gate voltage drain current	I_{DSS}	$V_{GS} = 0\text{V}$, $V_{DS} = 1200\text{V}$, $T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 175^{\circ}\text{C}$	- -	2 4	200 -	μA
Gate-source leakage current	I_{GSS}	$V_{GS} = 20\text{V}$, $V_{DS} = 0\text{V}$	-	-	120	nA
		$V_{GS} = -10\text{V}$, $V_{DS} = 0\text{V}$	-	-	-120	nA
Transconductance	g_{fs}	$V_{DS} = 20\text{V}$, $I_D = 20\text{A}$	-	11.1	-	S
Internal gate resistance	$R_{G,int}$	$f = 1\text{MHz}$, $V_{AC} = 25\text{mV}$	-	4	-	Ω

Fig. A.4 Datasheet MOSFET,4

3.3 Switching characteristics

Table 6 Switching characteristics, Inductive load ⁴

Parameter	Symbol	Conditions	Value			Unit
			min.	typ.	max.	
MOSFET Characteristics, $T_{vj} = 25^{\circ}\text{C}$						
Turn-on delay time	$t_{d(on)}$	$V_{DD} = 800\text{V}, I_D = 20\text{A},$	-	9	-	ns
Rise time	t_r	$V_{GS} = 0/15\text{V}, R_{G,ext} = 2\Omega,$	-	18	-	
Turn-off delay time	$t_{d(off)}$	$L_{\sigma} = 40\text{nH},$	-	17	-	
Fall time	t_f	diode:	-	13	-	
Turn-on energy	E_{on}	body diode at $V_{GS} = 0\text{V}$	-	280	-	μJ
Turn-off energy	E_{off}	see Fig. E	-	70	-	
Total switching energy	E_{tot}		-	350	-	
Body Diode Characteristics, $T_{vj} = 25^{\circ}\text{C}$						
Diode reverse recovery charge	Q_{rr}	$V_{DD} = 800\text{V}, I_{SD} = 20\text{A},$ V_{GS} at diode = $0\text{V},$ $di/dt = 1000\text{A}/\mu\text{s},$	-	0.15	-	μC
Diode peak reverse recovery current	I_{rrm}	Q_{rr} includes also $Q_C,$ see Fig. C	-	8	-	A
MOSFET Characteristics, $T_{vj} = 175^{\circ}\text{C}$						
Turn-on delay time	$t_{d(on)}$	$V_{DD} = 800\text{V}, I_D = 20\text{A},$	-	9	-	ns
Rise time	t_r	$V_{GS} = 0/15\text{V}, R_{G,ext} = 2\Omega,$	-	18	-	
Turn-off delay time	$t_{d(off)}$	$L_{\sigma} = 40\text{nH},$	-	20	-	
Fall time	t_f	diode:	-	14	-	
Turn-on energy	E_{on}	body diode at $V_{GS} = 0\text{V}$	-	300	-	μJ
Turn-off energy	E_{off}	see Fig. E	-	75	-	
Total switching energy	E_{tot}		-	375	-	
Body Diode Characteristics, $T_{vj} = 175^{\circ}\text{C}$						
Diode reverse recovery charge	Q_{rr}	$V_{DD} = 800\text{V}, I_{SD} = 20\text{A},$ V_{GS} at diode = $0\text{V},$ $di/dt = 1000\text{A}/\mu\text{s},$	-	0.25	-	μC
Diode peak reverse recovery current	I_{rrm}	Q_{rr} includes also $Q_C,$ see Fig. C	-	10	-	A

⁴ The chip technology was characterized up to $200\text{ kV}/\mu\text{s}$. The measured dV/dt was limited by measurement test setup and package.

Fig. A.5 Datasheet MOSFET,5

4 Electrical characteristic diagrams

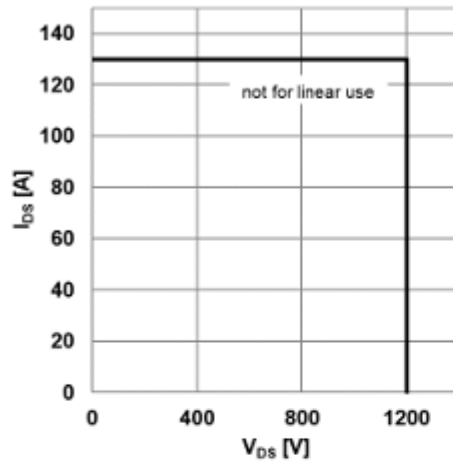


Figure 1 Reverse bias safe operating area (RBSOA) ($V_{GS} = 0/15V$, $T_c = 25^\circ C$, $T_J < 175^\circ C$)

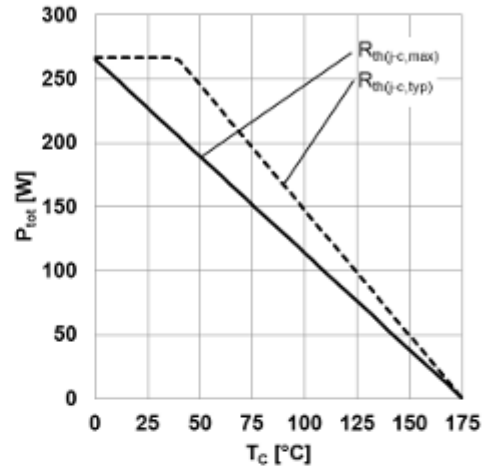


Figure 2 Power dissipation as a function of case temperature limited by bond wire ($P_{tot} = f(T_c)$)

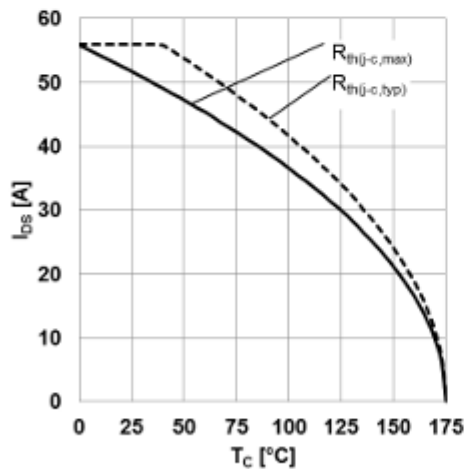


Figure 3 Maximum DC drain to source current as a function of case temperature limited by bond wire ($I_{DS} = f(T_c)$)

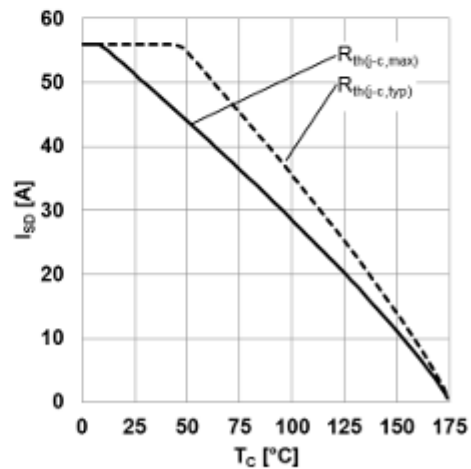


Figure 4 Maximum source to drain current as a function of case temperature limited by bond wire ($I_{SD} = f(T_c)$, $V_{GS} = 0V$)

Fig. A.6 Datasheet MOSFET,6

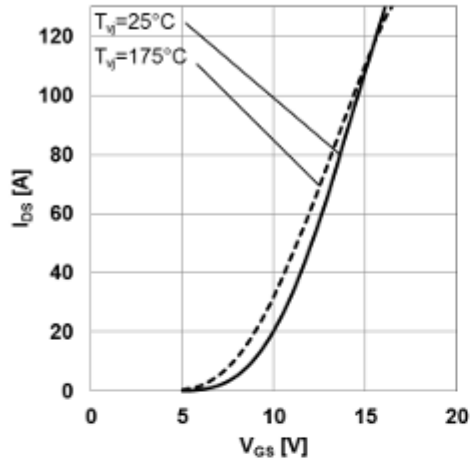


Figure 5 Typical transfer characteristic
($I_{DS} = f(V_{GS})$, $V_{DS} = 20V$, $t_P = 20\mu s$)

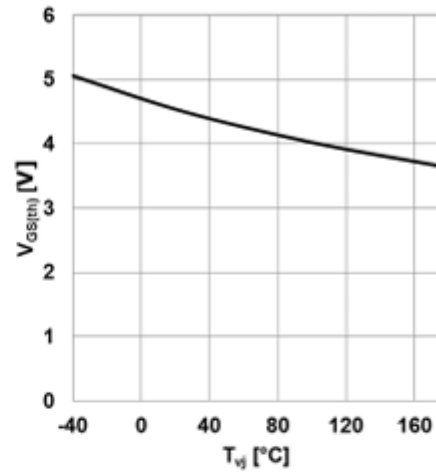


Figure 6 Typical gate-source threshold voltage as
a function of junction temperature
($V_{GS(th)} = f(T_J)$, $I_{DS} = 10mA$, $V_{DS} = V_{DS}$)

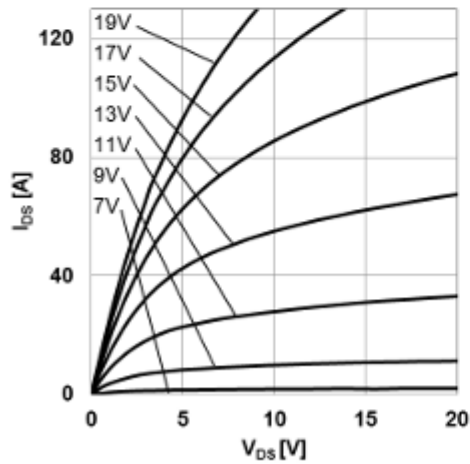


Figure 7 Typical output characteristic, V_{DS} as
parameter ($I_{DS} = f(V_{DS})$, $T_J = 25^\circ C$, $t_P = 20\mu s$)

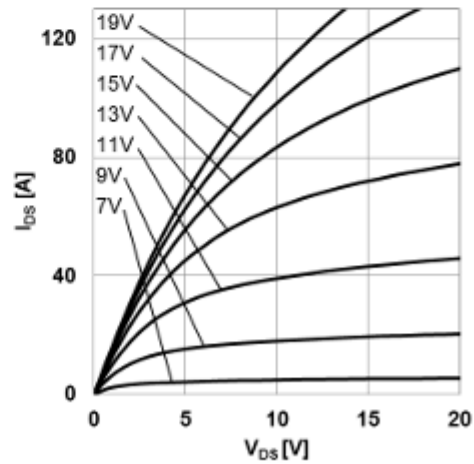


Figure 8 Typical output characteristic, V_{DS} as
parameter ($I_{DS} = f(V_{DS})$, $T_J = 175^\circ C$, $t_P = 20\mu s$)

Fig. A.7 Datasheet MOSFET,7

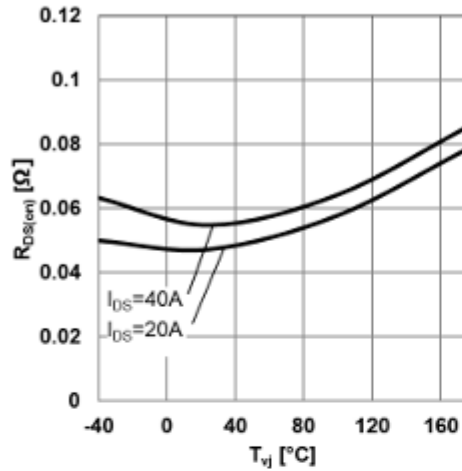


Figure 9 Typical on-resistance as a function of junction temperature
 $(R_{DS(on)} = f(T_{vj}), V_{GS}=15V)$

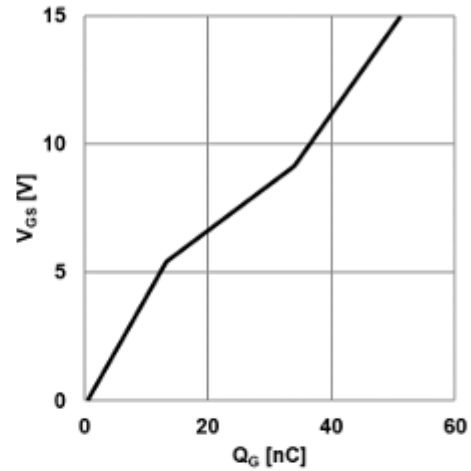


Figure 10 Typical gate charge ($V_{DS} = f(Q_G), I_{DS} = 20A$, $V_{DS} = 800V$, turn-on pulse)

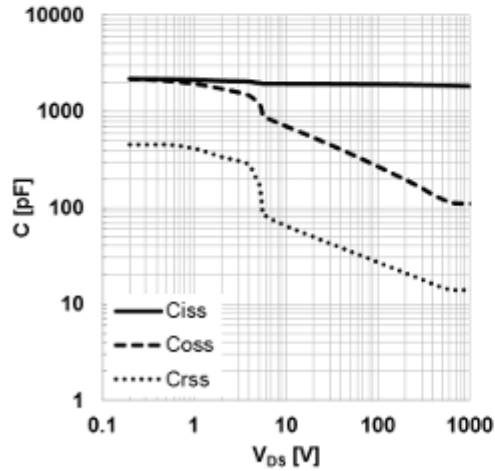


Figure 11 Typical capacitance as a function of drain-source voltage
 $= f(V_{DS}), V_{GS} = 0V, f = 1MHz$

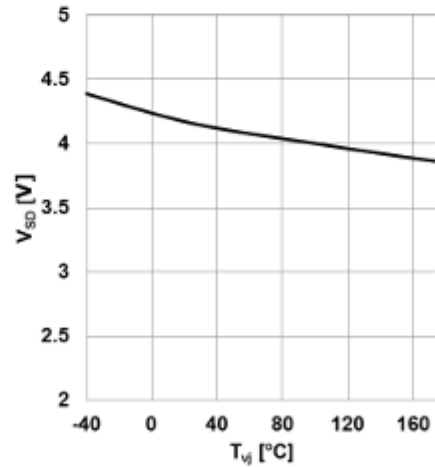


Figure 12 Typical body diode forward voltage as function of junction temperature
 $(V_{SD}=f(T_{vj}), V_{GS}=0V, I_{SD}=20A)$

Fig. A.8 Datasheet MOSFET,8

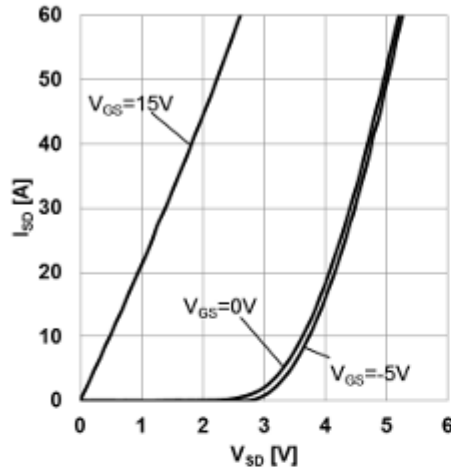


Figure 13 Typical body diode forward current as function of forward voltage, V_{GS} as parameter
 $(I_{SD} = f(V_{SD}), T_{vj} = 25^{\circ}\text{C}, t_p = 20\mu\text{s})$

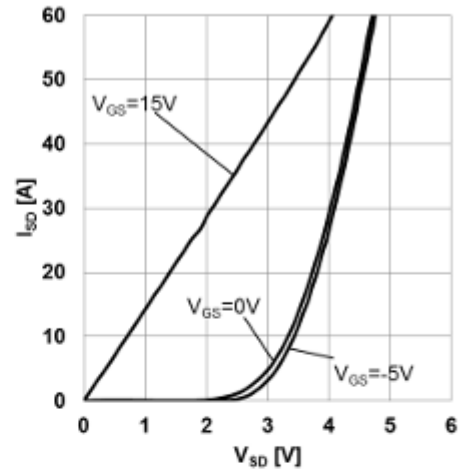


Figure 14 Typical body diode forward current as function of forward voltage, V_{GS} as parameter
 $(I_{SD} = f(V_{SD}), T_{vj} = 175^{\circ}\text{C}, t_p = 20\mu\text{s})$

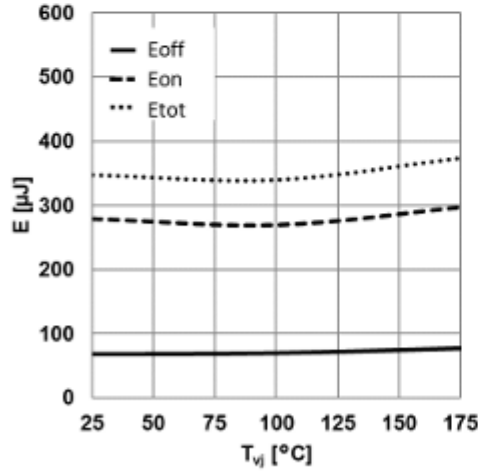


Figure 15 Typical switching energy losses as a function of junction temperature
 $(E = f(T_{vj}), V_{DS} = 800\text{V}, V_{GS} = 0\text{V}/15\text{V}, R_{\theta, \text{ext}} = 2\Omega, I_D = 20\text{A}, \text{ind. load, test circuit in Fig. E, diode: body diode})$

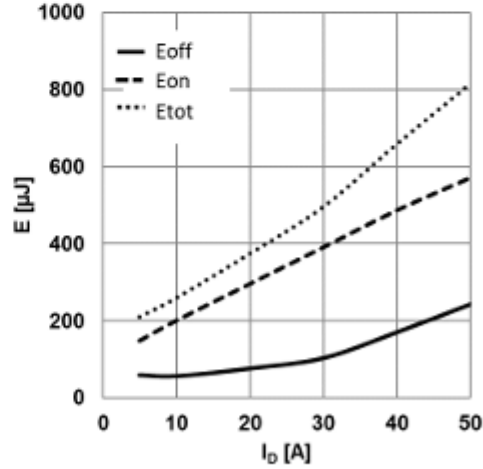


Figure 16 Typical switching energy losses as a function of drain-source current
 $(E = f(I_{DS}), V_{DS} = 800\text{V}, V_{GS} = 0\text{V}/15\text{V}, R_{\theta, \text{ext}} = 2\Omega, T_{vj} = 175^{\circ}\text{C}, \text{ind. load, test circuit in Fig. E, diode: body diode})$

Fig. A.9 Datasheet MOSFET,9

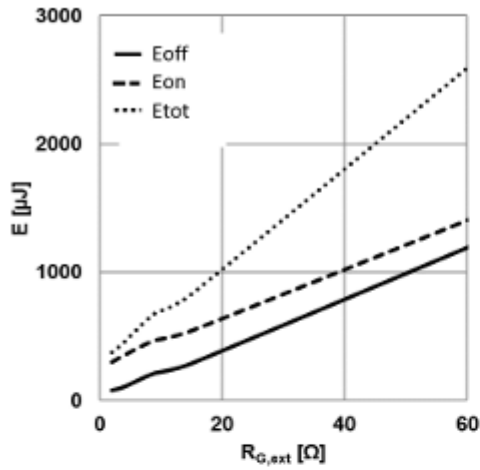


Figure 17 Typical switching energy losses as a function of gate resistance
 $(E = f(R_{G,ext}), V_{DD} = 800V, V_{GS} = 0V/15V, I_D = 20A, T_{vj} = 175^\circ C, \text{ind. load, test circuit in Fig. E, diode: body diode})$

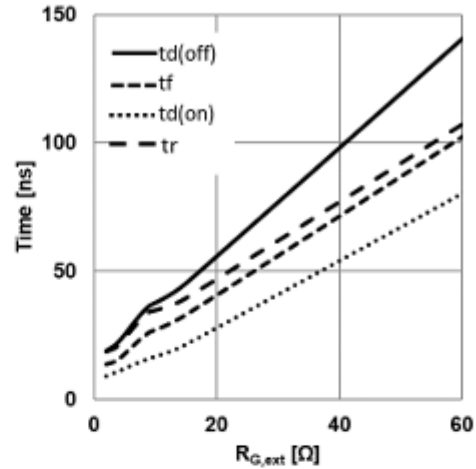


Figure 18 Typical switching times as a function of gate resistor
 $(t = f(R_{G,ext}), V_{DD} = 800V, V_{GS} = 0V/15V, I_D = 20A, T_{vj} = 175^\circ C, \text{ind. load, test circuit in Fig. E, diode: body diode})$

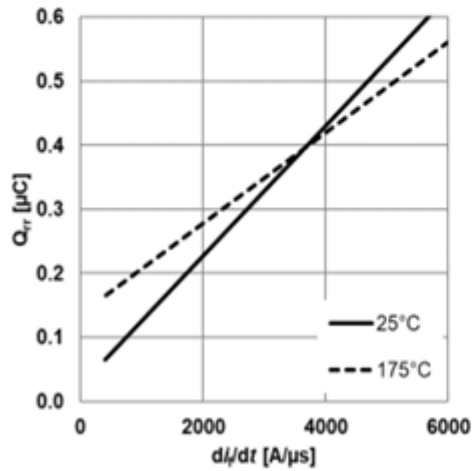


Figure 19 Typical reverse recovery charge as a function of diode current slope
 $(Q_{rr} = f(di/dt), V_{DD} = 800V, I_D = 20A, \text{ind. load, test circuit in Fig.E})$

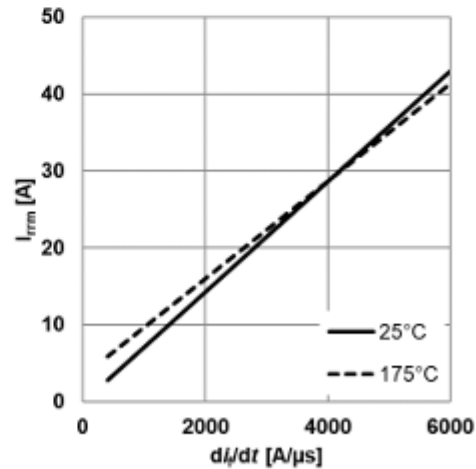


Figure 20 Typical reverse recovery current as a function of diode current slope
 $(I_{rrm} = f(di/dt), V_{DD} = 800V, I_D = 20A, \text{ind. load, test circuit in Fig.E})$

Fig. A.10 Datasheet MOSFET,10

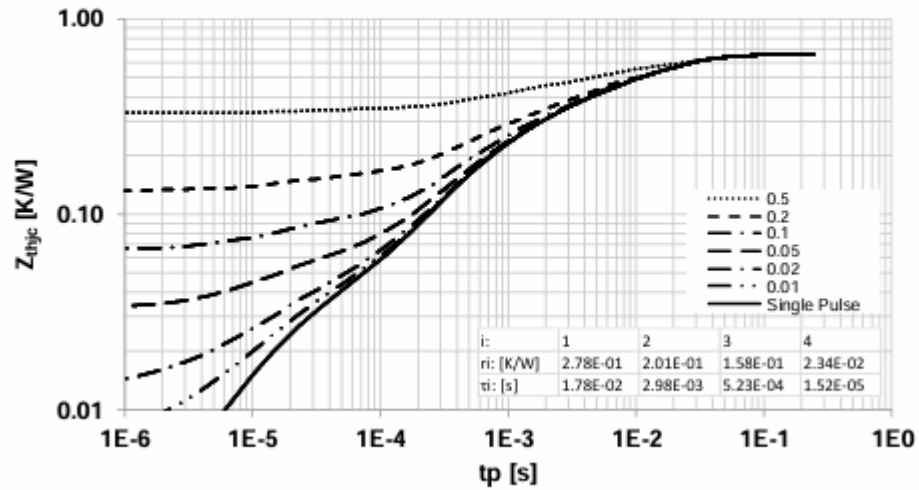


Figure 21 Max. transient thermal resistance (MOSFET/diode)
($Z_{th(j-c,max)} = f(t_p)$, parameter $D = t_p/T$, thermal equivalent circuit in Fig. D)

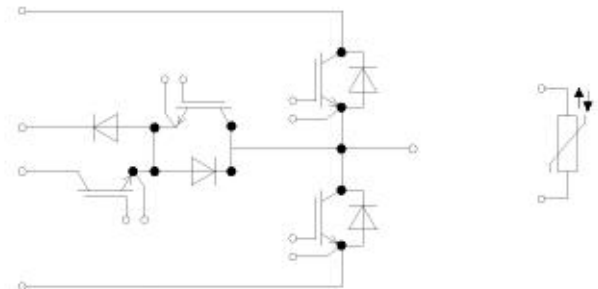
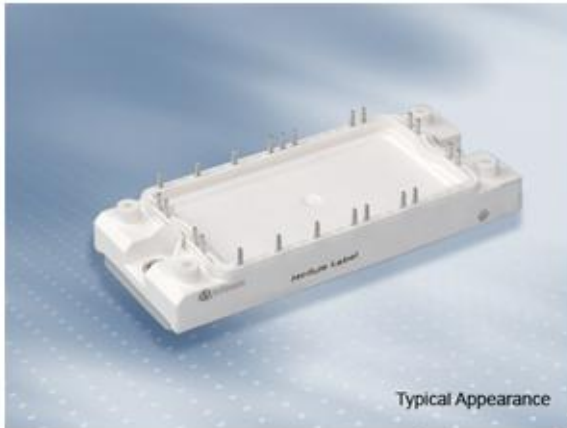
Fig. A.11 Datasheet MOSFET,11

Dasheet F3L200R12N2H3_B47

F3L200R12N2H3_B47



EconoPACK™2 Modul mit aktiver "Neutral Point Clamp 2" Topologie und NTC
EconoPACK™2 module with active "Neutral Point Clamp 2" topology and NTC



$V_{CES} = 1200V$
 $I_{C\ nom} = 150A / I_{CRM} = 300A$

Potentielle Anwendungen

- 3-Level-Applikationen
- Motorantriebe
- Solar Anwendungen
- USV-Systeme

Elektrische Eigenschaften

- High Speed IGBT H3
- Niedrige Schaltverluste
- $T_{vj\ op} = 150^{\circ}C$

Mechanische Eigenschaften

- 2,5 kV AC 1min Isolationsfestigkeit
- Lötverbindungstechnik
- RoHS konform

Potential Applications

- 3-level-applications
- Motor drives
- Solar applications
- UPS systems

Electrical Features

- High speed IGBT H3
- Low switching losses
- $T_{vj\ op} = 150^{\circ}C$

Mechanical Features

- 2.5 kV AC 1min insulation
- Solder contact technology
- RoHS compliant

Fig. A.12 Datasheet F3L200R12N2H3_B47,1

IGBT, Wechselrichter / IGBT, Inverter

Höchstzulässige Werte / Maximum Rated Values

Kollektor-Emitter-Sperrspannung Collector-emitter voltage	$T_{vj} = 25^{\circ}\text{C}$	V_{CES}	1200	V
Implementierter Kollektor-Strom Implemented collector current		I_{CN}	200	A
Kollektor-Dauergleichstrom Continuous DC collector current	$T_C = 100^{\circ}\text{C}$, $T_{vj\text{ max}} = 175^{\circ}\text{C}$	I_{CDC}	150	A
Periodischer Kollektor-Spitzenstrom Repetitive peak collector current	$t_p = 1\text{ ms}$	I_{CRM}	400	A
Gate-Emitter-Spitzenspannung Gate-emitter peak voltage		V_{GES}	+/-20	V

Charakteristische Werte / Characteristic Values

			min.	typ.	max.	
Kollektor-Emitter-Sättigungsspannung Collector-emitter saturation voltage	$I_C = 150\text{ A}$ $V_{GE} = 15\text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	$V_{CE\text{ sat}}$	1,80 2,10 2,20	2,15	V V V
Gate-Schwellenspannung Gate threshold voltage	$I_C = 7,60\text{ mA}$, $V_{CE} = V_{GE}$, $T_{vj} = 25^{\circ}\text{C}$		V_{GEth}	5,25	5,80	6,35 V
Gateladung Gate charge	$V_{GE} = -15 / 15\text{ V}$, $V_{CE} = 350\text{ V}$		Q_G	1,60		μC
Interner Gatewiderstand Internal gate resistor	$T_{vj} = 25^{\circ}\text{C}$		R_{Gint}	3,8		Ω
Eingangskapazität Input capacitance	$f = 1000\text{ kHz}$, $T_{vj} = 25^{\circ}\text{C}$, $V_{CE} = 25\text{ V}$, $V_{GE} = 0\text{ V}$		C_{ies}	11,5		nF
Rückwirkungskapazität Reverse transfer capacitance	$f = 1000\text{ kHz}$, $T_{vj} = 25^{\circ}\text{C}$, $V_{CE} = 25\text{ V}$, $V_{GE} = 0\text{ V}$		C_{res}	0,63		nF
Kollektor-Emitter-Reststrom Collector-emitter cut-off current	$V_{CE} = 1200\text{ V}$, $V_{GE} = 0\text{ V}$, $T_{vj} = 25^{\circ}\text{C}$		I_{CES}		1,0	mA
Gate-Emitter-Reststrom Gate-emitter leakage current	$V_{CE} = 0\text{ V}$, $V_{GE} = 20\text{ V}$, $T_{vj} = 25^{\circ}\text{C}$		I_{GES}		100	nA
Einschaltverzögerungszeit, induktive Last Turn-on delay time, inductive load	$I_C = 150\text{ A}$, $V_{CE} = 350\text{ V}$ $V_{GE} = -15 / 15\text{ V}$ $R_{Gon} = 2,4\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	t_{don}	0,19 0,20 0,20		μs μs μs
Anstiegszeit, induktive Last Rise time, inductive load	$I_C = 150\text{ A}$, $V_{CE} = 350\text{ V}$ $V_{GE} = -15 / 15\text{ V}$ $R_{Gon} = 2,4\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	t_r	0,044 0,052 0,053		μs μs μs
Abschaltverzögerungszeit, induktive Last Turn-off delay time, inductive load	$I_C = 150\text{ A}$, $V_{CE} = 350\text{ V}$ $V_{GE} = -15 / 15\text{ V}$ $R_{Goff} = 2,4\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	t_{doff}	0,31 0,39 0,40		μs μs μs
Fallzeit, induktive Last Fall time, inductive load	$I_C = 150\text{ A}$, $V_{CE} = 350\text{ V}$ $V_{GE} = -15 / 15\text{ V}$ $R_{Goff} = 2,4\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	t_f	0,04 0,10 0,12		μs μs μs
Einschaltverlustenergie pro Puls Turn-on energy loss per pulse	$I_C = 150\text{ A}$, $V_{CE} = 350\text{ V}$, $L_{\sigma} = 35\text{ nH}$ $di/dt = 2900\text{ A}/\mu\text{s}$ ($T_{vj} = 150^{\circ}\text{C}$) $V_{GE} = -15 / 15\text{ V}$, $R_{Gon} = 2,4\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	E_{on}	3,00 4,90 5,30		mJ mJ mJ
Abschaltverlustenergie pro Puls Turn-off energy loss per pulse	$I_C = 150\text{ A}$, $V_{CE} = 350\text{ V}$, $L_{\sigma} = 35\text{ nH}$ $du/dt = 2800\text{ V}/\mu\text{s}$ ($T_{vj} = 150^{\circ}\text{C}$) $V_{GE} = -15 / 15\text{ V}$, $R_{Goff} = 2,4\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	E_{off}	4,55 6,95 7,70		mJ mJ mJ
Kurzschlußverhalten SC data	$V_{GE} \leq 15\text{ V}$, $V_{CC} = 800\text{ V}$ $V_{CE\text{ max}} = V_{CES} - L_{\sigma}CE \cdot di/dt$ $t_p \leq 10\ \mu\text{s}$, $T_{vj} = 150^{\circ}\text{C}$		I_{SC}	720		A
Wärmewiderstand, Chip bis Gehäuse Thermal resistance, junction to case	pro IGBT / per IGBT		R_{thJC}		0,162	K/W
Wärmewiderstand, Gehäuse bis Kühlkörper Thermal resistance, case to heatsink	pro IGBT / per IGBT $\lambda_{Purto} = 1\text{ W}/(\text{m}\cdot\text{K})$ / $\lambda_{Gruess} = 1\text{ W}/(\text{m}\cdot\text{K})$		R_{thCH}	0,111		K/W
Temperatur im Schaltbetrieb Temperature under switching conditions			$T_{vj\text{ op}}$	-40	150	$^{\circ}\text{C}$

Fig. A.13 Datasheet F3L200R12N2H3_B47,2

Diode, Wechselrichter / Diode, Inverter**Höchstzulässige Werte / Maximum Rated Values**

Periodische Spitzensperrspannung Repetitive peak reverse voltage	$T_{vj} = 25^{\circ}\text{C}$	V_{RRM}	1200	V
Dauergleichstrom Continuous DC forward current		I_F	100	A
Periodischer Spitzenstrom Repetitive peak forward current	$t_p = 1 \text{ ms}$	I_{FRM}	200	A
Grenzlastintegral I^2t - value	$V_R = 0 \text{ V}, t_p = 10 \text{ ms}, T_{vj} = 125^{\circ}\text{C}$ $V_R = 0 \text{ V}, t_p = 10 \text{ ms}, T_{vj} = 150^{\circ}\text{C}$	I^2t	1950 1850	A^2s A^2s

Charakteristische Werte / Characteristic Values

			min.	typ.	max.	
Durchlassspannung Forward voltage	$I_F = 100 \text{ A}, V_{GE} = 0 \text{ V}$ $I_F = 100 \text{ A}, V_{GE} = 0 \text{ V}$ $I_F = 100 \text{ A}, V_{GE} = 0 \text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	V_F	1,75 1,70 1,70	2,15	V V V
Rückstromspitze Peak reverse recovery current	$I_F = 100 \text{ A}, -di_F/dt = 2600 \text{ A}/\mu\text{s} (T_{vj}=150^{\circ}\text{C})$ $V_R = 350 \text{ V}$ $V_{GE} = -15 \text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	I_{RM}	102 123 128		A A A
Sperrverzögerungsladung Recovered charge	$I_F = 100 \text{ A}, -di_F/dt = 2600 \text{ A}/\mu\text{s} (T_{vj}=150^{\circ}\text{C})$ $V_R = 350 \text{ V}$ $V_{GE} = -15 \text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	Q_r	7,50 13,6 15,5		μC μC μC
Abschaltenergie pro Puls Reverse recovery energy	$I_F = 100 \text{ A}, -di_F/dt = 2600 \text{ A}/\mu\text{s} (T_{vj}=150^{\circ}\text{C})$ $V_R = 350 \text{ V}$ $V_{GE} = -15 \text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	E_{rec}	2,00 3,80 4,35		mJ mJ mJ
Wärmewiderstand, Chip bis Gehäuse Thermal resistance, junction to case	pro Diode / per diode		R_{thJC}		0,491	K/W
Wärmewiderstand, Gehäuse bis Kühlkörper Thermal resistance, case to heatsink	pro Diode / per diode $\lambda_{Pac010} = 1 \text{ W}/(\text{m}\cdot\text{K}) \quad / \quad \lambda_{Gehäuse} = 1 \text{ W}/(\text{m}\cdot\text{K})$		R_{thCH}	0,146		K/W
Temperatur im Schaltbetrieb Temperature under switching conditions			$T_{vj \text{ op}}$	-40	150	$^{\circ}\text{C}$

Fig. A.14 Datasheet F3L200R12N2H3_B47,3

IGBT,3-Level / IGBT,3-Level

Höchstzulässige Werte / Maximum Rated Values

Kollektor-Emitter-Sperrspannung Collector-emitter voltage	$T_{vj} = 25^{\circ}\text{C}$	V_{CES}	650	V
Kollektor-Dauergleichstrom Continuous DC collector current	$T_C = 50^{\circ}\text{C}, T_{vj\max} = 175^{\circ}\text{C}$	I_{CDC}	150	A
Periodischer Kollektor-Spitzenstrom Repetitive peak collector current	$t_p = 1\text{ ms}$	I_{CRM}	300	A
Gate-Emitter-Spitzenspannung Gate-emitter peak voltage		V_{GES}	+/-20	V

Charakteristische Werte / Characteristic Values

			min.	typ.	max.	
Kollektor-Emitter-Sättigungsspannung Collector-emitter saturation voltage	$I_C = 150\text{ A}$ $V_{GE} = 15\text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	$V_{CE\text{ sat}}$	1,45 1,60 1,70	1,90 V V V	
Gate-Schwellenspannung Gate threshold voltage	$I_C = 2,40\text{ mA}, V_{CE} = V_{GE}, T_{vj} = 25^{\circ}\text{C}$		V_{GEth}	5,05	5,80	6,45 V
Gateladung Gate charge	$V_{GE} = -15 / 15\text{ V}$		Q_G	1,50		μC
Interner Gatewiderstand Internal gate resistor	$T_{vj} = 25^{\circ}\text{C}$		R_{Gint}	2,0		Ω
Eingangskapazität Input capacitance	$f = 1000\text{ kHz}, T_{vj} = 25^{\circ}\text{C}, V_{CE} = 25\text{ V}, V_{GE} = 0\text{ V}$		C_{ies}	9,30		nF
Rückwirkungskapazität Reverse transfer capacitance	$f = 1000\text{ kHz}, T_{vj} = 25^{\circ}\text{C}, V_{CE} = 25\text{ V}, V_{GE} = 0\text{ V}$		C_{res}	0,285		nF
Kollektor-Emitter-Reststrom Collector-emitter cut-off current	$V_{CE} = 650\text{ V}, V_{GE} = 0\text{ V}, T_{vj} = 25^{\circ}\text{C}$		I_{CES}		1,0	mA
Gate-Emitter-Reststrom Gate-emitter leakage current	$V_{CE} = 0\text{ V}, V_{GE} = 20\text{ V}, T_{vj} = 25^{\circ}\text{C}$		I_{GES}		100	nA
Einschaltverzögerungszeit, induktive Last Turn-on delay time, inductive load	$I_C = 150\text{ A}, V_{CE} = 350\text{ V}$ $V_{GE} = -15 / 15\text{ V}$ $R_{Gon} = 3,3\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	t_{don}	0,08 0,10 0,10	μs μs μs	
Anstiegszeit, induktive Last Rise time, inductive load	$I_C = 150\text{ A}, V_{CE} = 350\text{ V}$ $V_{GE} = -15 / 15\text{ V}$ $R_{Gon} = 3,3\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	t_r	0,051 0,057 0,062	μs μs μs	
Abschaltverzögerungszeit, induktive Last Turn-off delay time, inductive load	$I_C = 150\text{ A}, V_{CE} = 350\text{ V}$ $V_{GE} = -15 / 15\text{ V}$ $R_{Goff} = 3,3\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	t_{doff}	0,29 0,32 0,34	μs μs μs	
Fallzeit, induktive Last Fall time, inductive load	$I_C = 150\text{ A}, V_{CE} = 350\text{ V}$ $V_{GE} = -15 / 15\text{ V}$ $R_{Goff} = 3,3\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	t_f	0,07 0,12 0,14	μs μs μs	
Einschaltverlustenergie pro Puls Turn-on energy loss per pulse	$I_C = 150\text{ A}, V_{CE} = 350\text{ V}, L\sigma = 35\text{ nH}$ $di/dt = 2800\text{ A}/\mu\text{s} (T_{vj} = 150^{\circ}\text{C})$ $V_{GE} = -15 / 15\text{ V}, R_{Gon} = 3,3\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	E_{on}	7,20 9,45 10,0	mJ mJ mJ	
Abschaltverlustenergie pro Puls Turn-off energy loss per pulse	$I_C = 150\text{ A}, V_{CE} = 350\text{ V}, L\sigma = 35\text{ nH}$ $du/dt = 4000\text{ V}/\mu\text{s} (T_{vj} = 150^{\circ}\text{C})$ $V_{GE} = -15 / 15\text{ V}, R_{Goff} = 3,3\ \Omega$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	E_{off}	4,50 6,40 7,00	mJ mJ mJ	
Kurzschlußverhalten SC data	$V_{GE} \leq 15\text{ V}, V_{CC} = 360\text{ V}$ $V_{CEmax} = V_{CES} - L_{ACE} \cdot di/dt$ $t_p \leq 6\ \mu\text{s}, T_{vj} = 150^{\circ}\text{C}$		I_{SC}	750		A
Wärmewiderstand, Chip bis Gehäuse Thermal resistance, junction to case	pro IGBT / per IGBT		R_{thJC}		0,349	K/W
Wärmewiderstand, Gehäuse bis Kühlkörper Thermal resistance, case to heatsink	pro IGBT / per IGBT $\lambda_{Pulse} = 1\text{ W}/(\text{m}\cdot\text{K}) / \lambda_{Grasse} = 1\text{ W}/(\text{m}\cdot\text{K})$		R_{thCH}	0,138		K/W
Temperatur im Schaltbetrieb Temperature under switching conditions		$T_{vj\text{ op}}$	-40		150	$^{\circ}\text{C}$

Fig. A.15 Datasheet F3L200R12N2H3_B47,4

F3L200R12N2H3_B47



Diode, 3-Level / Diode, 3-Level

Höchstzulässige Werte / Maximum Rated Values

Periodische Spitzensperrspannung Repetitive peak reverse voltage	$T_{vj} = 25^{\circ}\text{C}$	V_{RRM}	650	V
Dauergleichstrom Continuous DC forward current		I_F	150	A
Periodischer Spitzenstrom Repetitive peak forward current	$t_p = 1 \text{ ms}$	I_{FRM}	300	A
Grenzlastintegral I^2t - value	$V_R = 0 \text{ V}, t_p = 10 \text{ ms}, T_{vj} = 125^{\circ}\text{C}$ $V_R = 0 \text{ V}, t_p = 10 \text{ ms}, T_{vj} = 150^{\circ}\text{C}$	I^2t	1700 1650	A^2s A^2s

Charakteristische Werte / Characteristic Values

			min.	typ.	max.	
Durchlassspannung Forward voltage	$I_F = 150 \text{ A}, V_{GE} = 0 \text{ V}$ $I_F = 150 \text{ A}, V_{GE} = 0 \text{ V}$ $I_F = 150 \text{ A}, V_{GE} = 0 \text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	V_F	1,65 1,55 1,50	2,15	V V V
Rückstromspitze Peak reverse recovery current	$I_F = 150 \text{ A}, -di_F/dt = 2900 \text{ A}/\mu\text{s} (T_{vj}=150^{\circ}\text{C})$ $V_R = 350 \text{ V}$ $V_{GE} = -15 \text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	I_{RM}	69,0 89,0 95,0		A A A
Sperrverzögerungsladung Recovered charge	$I_F = 150 \text{ A}, -di_F/dt = 2900 \text{ A}/\mu\text{s} (T_{vj}=150^{\circ}\text{C})$ $V_R = 350 \text{ V}$ $V_{GE} = -15 \text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	Q_r	4,40 8,10 9,50		μC μC μC
Abschaltenergie pro Puls Reverse recovery energy	$I_F = 150 \text{ A}, -di_F/dt = 2900 \text{ A}/\mu\text{s} (T_{vj}=150^{\circ}\text{C})$ $V_R = 350 \text{ V}$ $V_{GE} = -15 \text{ V}$	$T_{vj} = 25^{\circ}\text{C}$ $T_{vj} = 125^{\circ}\text{C}$ $T_{vj} = 150^{\circ}\text{C}$	E_{rrc}	1,15 1,90 2,20		mJ mJ mJ
Wärmewiderstand, Chip bis Gehäuse Thermal resistance, junction to case	pro Diode / per diode		R_{thJC}		0,645	K/W
Wärmewiderstand, Gehäuse bis Kühlkörper Thermal resistance, case to heatsink	pro Diode / per diode $\lambda_{Pcase} = 1 \text{ W}/(\text{m}\cdot\text{K}) \quad / \quad \lambda_{Gcase} = 1 \text{ W}/(\text{m}\cdot\text{K})$		R_{thCH}		0,154	K/W
Temperatur im Schaltbetrieb Temperature under switching conditions			$T_{vj op}$	-40	150	$^{\circ}\text{C}$

NTC-Widerstand / NTC-Thermistor

Charakteristische Werte / Characteristic Values

			min.	typ.	max.	
Nennwiderstand Rated resistance	$T_{NTC} = 25^{\circ}\text{C}$	R_{25}		5,00		k Ω
Abweichung von R100 Deviation of R100	$T_{NTC} = 100^{\circ}\text{C}, R_{100} = 493 \Omega$	$\Delta R/R$	-5		5	%
Verlustleistung Power dissipation	$T_{NTC} = 25^{\circ}\text{C}$	P_{25}			20,0	mW
B-Wert B-value	$R_2 = R_{25} \exp [B_{25/50}(1/T_2 - 1/(298,15 \text{ K}))]$	$B_{25/50}$		3375		K
B-Wert B-value	$R_2 = R_{25} \exp [B_{25/80}(1/T_2 - 1/(298,15 \text{ K}))]$	$B_{25/80}$		3411		K
B-Wert B-value	$R_2 = R_{25} \exp [B_{25/100}(1/T_2 - 1/(298,15 \text{ K}))]$	$B_{25/100}$		3433		K

Angaben gemäß gültiger Application Note.

Specification according to the valid application note.

Fig. A.16 Datasheet F3L200R12N2H3_B47,5

F3L200R12N2H3_B47

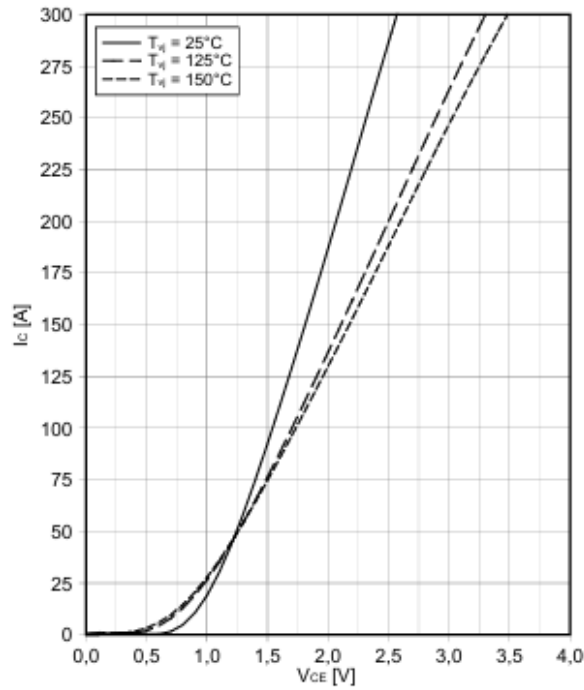


Modul / Module

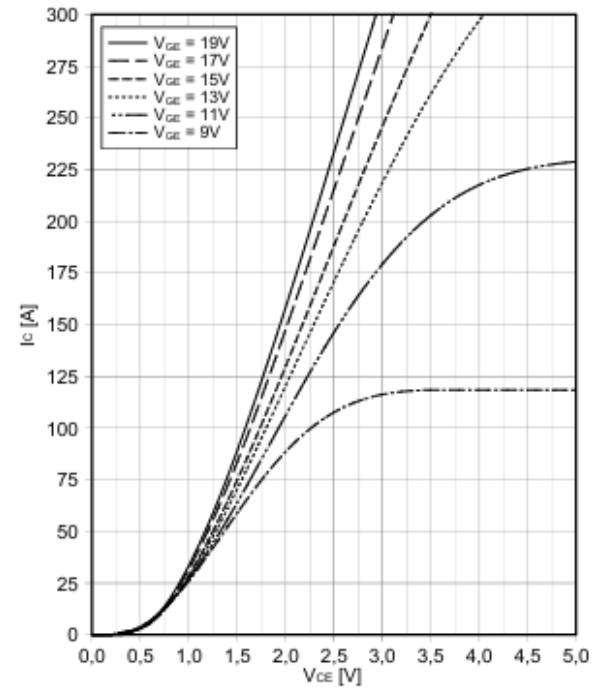
Isolations-Prüfspannung Isolation test voltage	RMS, f = 50 Hz, t = 1 min.	V _{ISOL}	2,5	kV
Material Modulgrundplatte Material of module baseplate			Cu	
Innere Isolation Internal isolation	Basisisolation (Schutzklasse 1, EN61140) basic insulation (class 1, IEC 61140)		Al ₂ O ₃	
Kriechstrecke Creepage distance	Kontakt - Kühlkörper / terminal to heatsink Kontakt - Kontakt / terminal to terminal		10,0	mm
Luftstrecke Clearance	Kontakt - Kühlkörper / terminal to heatsink Kontakt - Kontakt / terminal to terminal		7,5	mm
Vergleichszahl der Kriechwegbildung Comperative tracking index		CTI	> 200	
min. typ. max.				
Modulstreuinduktivität Stray inductance module		L _{stCE}	17	nH
Modulleitungswiderstand, Anschlüsse - Chip Module lead resistance, terminals - chip	T _C = 25°C, pro Schalter / per switch	R _{DC1+EE}	2,50	mΩ
Lagertemperatur Storage temperature		T _{stg}	-40	125 °C
Anzugsdrehmoment f. Modulmontage Mounting torque for modul mounting	Schraube - Montage gem. gültiger Applikationsschrift Screw - Mounting according to valid application note	M	3,00	6,00 Nm
Gewicht Weight		G	180	g

Fig. A.17 Datasheet F3L200R12N2H3_B47,6

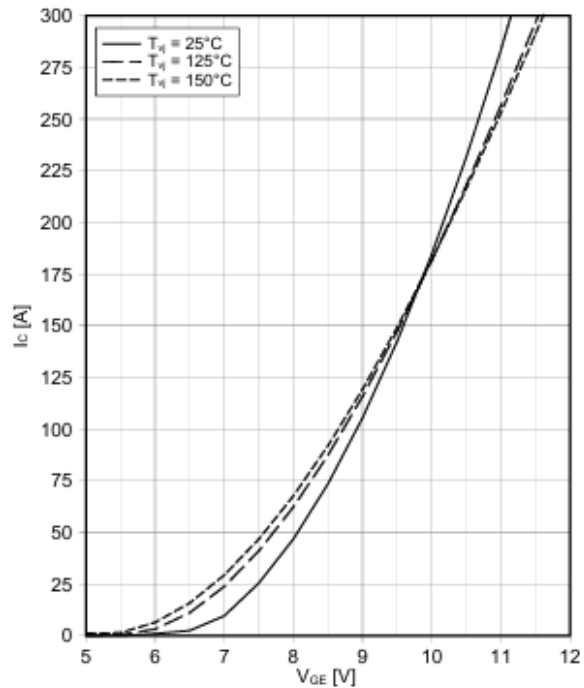
Ausgangskennlinie IGBT, Wechselrichter (typisch)
output characteristic IGBT, Inverter (typical)
 $I_C = f(V_{CE})$
 $V_{GE} = 15\text{ V}$



Ausgangskennlinienfeld IGBT, Wechselrichter (typisch)
output characteristic IGBT, Inverter (typical)
 $I_C = f(V_{CE})$
 $T_J = 150^\circ\text{C}$



Übertragungscharakteristik IGBT, Wechselrichter (typisch)
transfer characteristic IGBT, Inverter (typical)
 $I_C = f(V_{GE})$
 $V_{CE} = 20\text{ V}$



Schaltverluste IGBT, Wechselrichter (typisch)
switching losses IGBT, Inverter (typical)
 $E_{on} = f(I_C)$, $E_{off} = f(I_C)$
 $V_{GE} = \pm 15\text{ V}$, $R_{Qon} = 2.4\ \Omega$, $R_{Qoff} = 2.4\ \Omega$, $V_{CE} = 350\text{ V}$

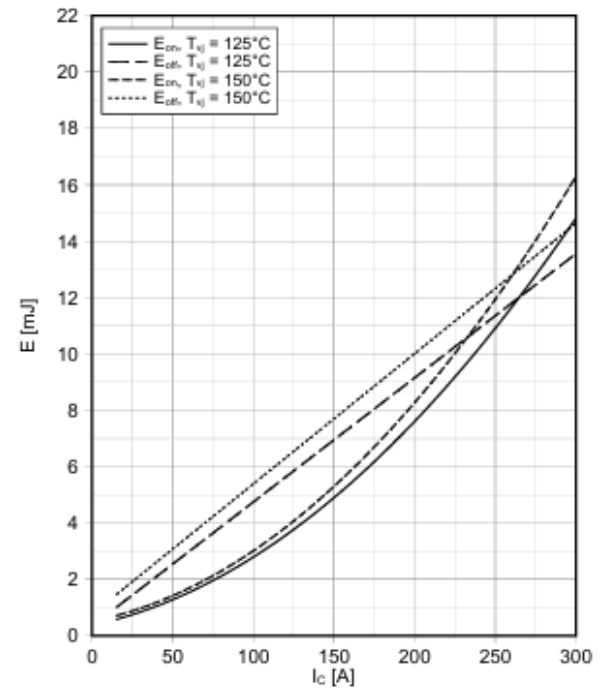
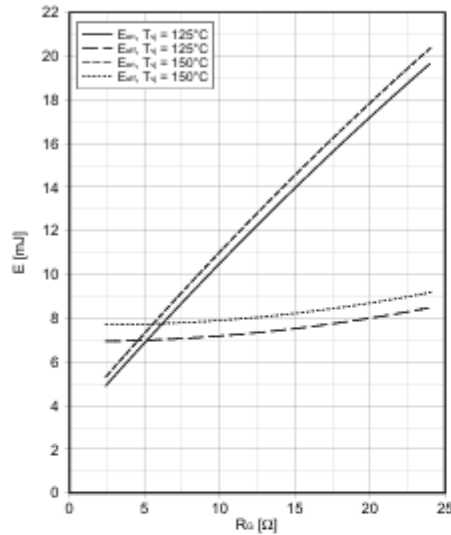


Fig. A.18 Datasheet F3L200R12N2H3_B47,7

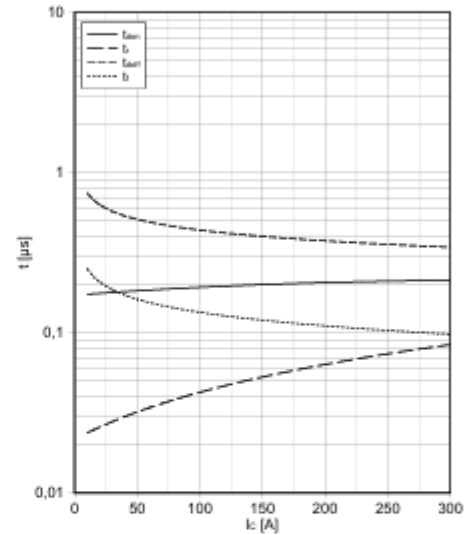
Schaltverluste IGBT, Wechselrichter (typisch)
switching losses IGBT, inverter (typical)

$E_{on} = f(R_{DS(on)}), E_{off} = f(R_{DS(on)})$
 $V_{GE} = \pm 15 \text{ V}, I_C = 150 \text{ A}, V_{CE} = 350 \text{ V}$



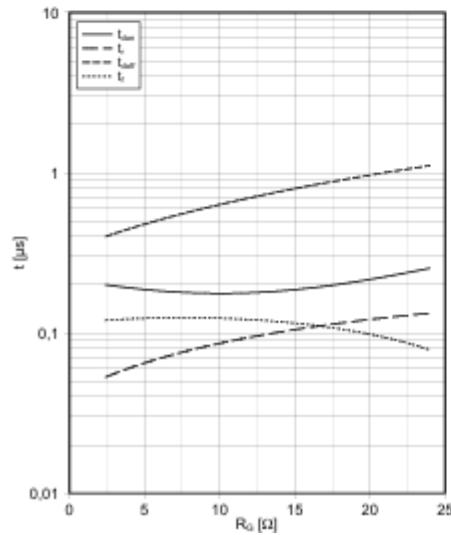
Schaltzeiten IGBT, Wechselrichter (typisch)
switching times IGBT, inverter (typical)

$t_{bas} = f(I_C), t_b = f(I_C), t_{off} = f(I_C), t_r = f(I_C)$
 $V_{GE} = \pm 15 \text{ V}, R_{DS(on)} = 2.4 \text{ Ω}, R_{DS(off)} = 2.4 \text{ Ω}, V_{CE} = 350 \text{ V}, T_{vj} = 150^\circ\text{C}$



Schaltzeiten IGBT, Wechselrichter (typisch)
switching times IGBT, inverter (typical)

$t_{bas} = f(R_{DS(on)}), t_b = f(R_{DS(on)}), t_{off} = f(R_{DS(on)}), t_r = f(R_{DS(on)})$
 $V_{GE} = \pm 15 \text{ V}, I_C = 150 \text{ A}, V_{CE} = 350 \text{ V}, T_{vj} = 150^\circ\text{C}$



Transienter Wärmewiderstand IGBT, Wechselrichter
transient thermal impedance IGBT, inverter

$Z_{thJC} = f(t)$

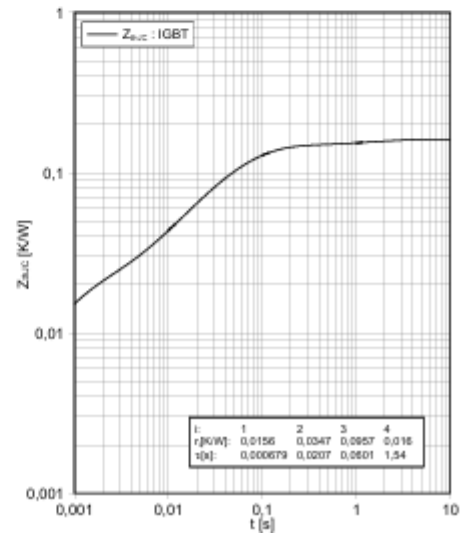
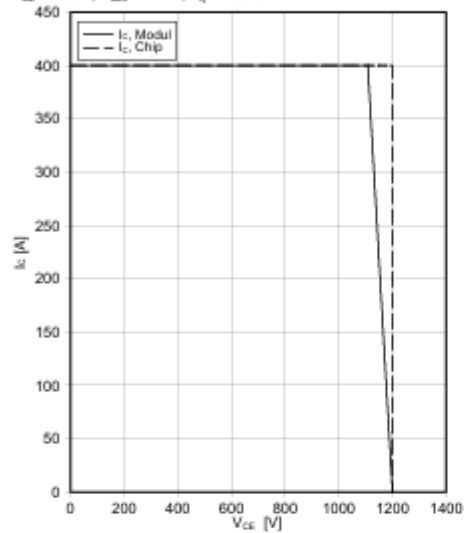


Fig. A.19 Datasheet F3L200R12N2H3_B47,8

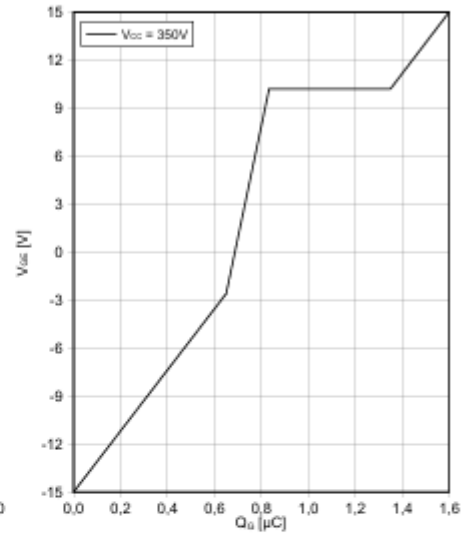
Sicherer Rückwärts-Arbeitsbereich IGBT, Wechselrichter (RBSOA)
reverse bias safe operating area IGBT, Inverter (RBSOA)

$I_C = f(V_{CE})$
 $V_{CE} = \pm 15 \text{ V}$, $R_{DS(on)} = 2.4 \Omega$, $T_{qj} = 150^\circ\text{C}$



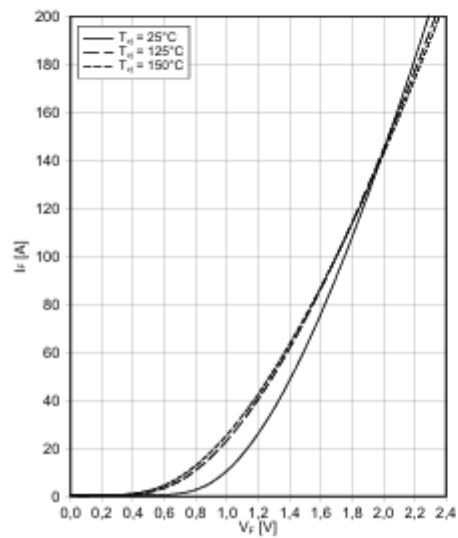
Gateladungs Charakteristik IGBT, Wechselrichter (typisch)
gate charge characteristic IGBT, Inverter (typical)

$V_{GS} = f(Q_G)$
 $I_C = 150 \text{ A}$, $T_{qj} = 25^\circ\text{C}$



Durchlasskennlinie der Diode, Wechselrichter (typisch)
forward characteristic of Diode, Inverter (typical)

$I_C = f(V_F)$



Schaltverluste Diode, Wechselrichter (typisch)
switching losses Diode, Inverter (typical)

$E_{sw} = f(I_F)$
 $R_{DS(on)} = 3.3 \Omega$, $V_{CE} = 350 \text{ V}$

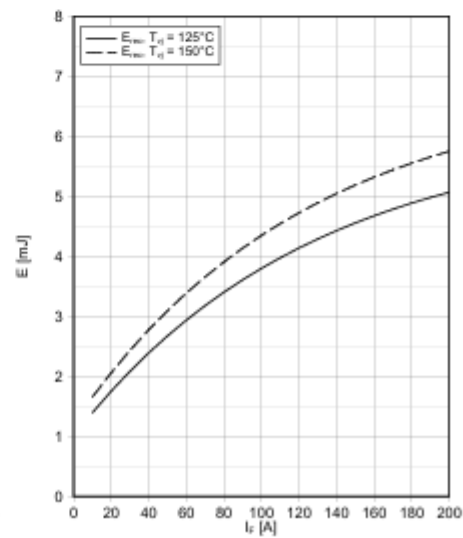
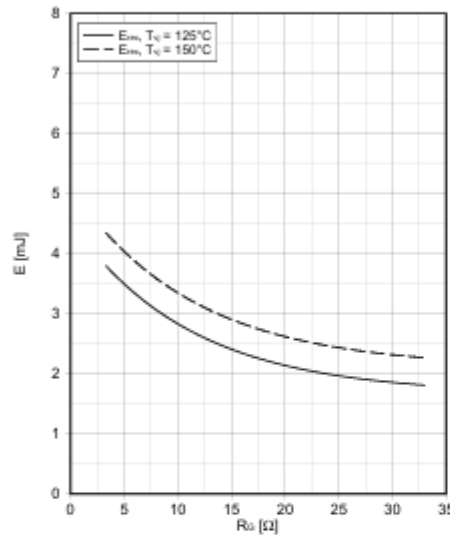


Fig. A.20 Datasheet F3L200R12N2H3_B47,9

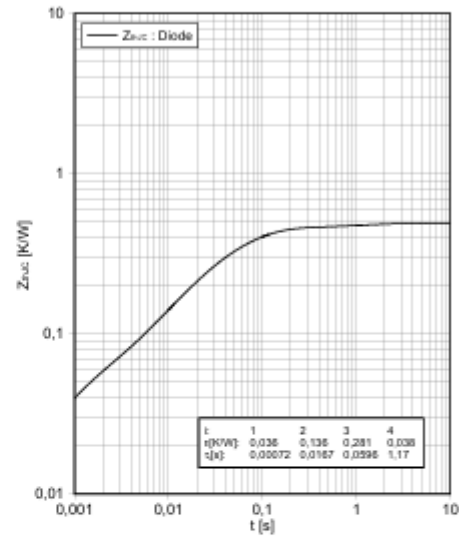
Schaltverluste Diode, Wechselrichter (typisch)
switching losses Diode, Inverter (typical)

$E_{sw} = f(R_{DS})$
 $I_c = 100\text{ A}$, $V_{CE} = 350\text{ V}$



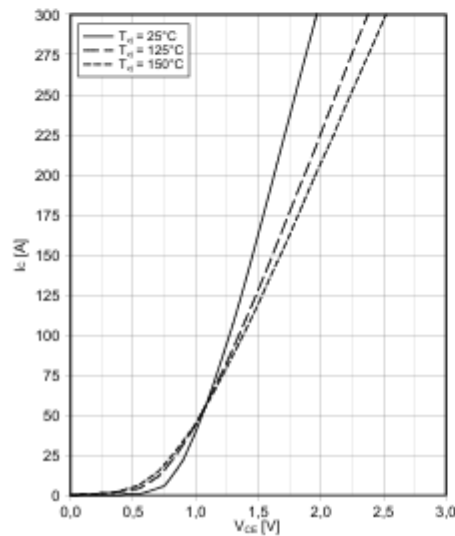
Transienter Wärmewiderstand Diode, Wechselrichter
transient thermal impedance Diode, Inverter

$Z_{thJC} = f(t)$



Ausgangskennlinie IGBT, 3-Level (typisch)
output characteristic IGBT, 3-Level (typical)

$I_c = f(V_{CE})$
 $V_{GE} = 15\text{ V}$



Ausgangskennlinienfeld IGBT, 3-Level (typisch)
output characteristic IGBT, 3-Level (typical)

$I_c = f(V_{CE})$
 $T_{amb} = 150^\circ\text{C}$

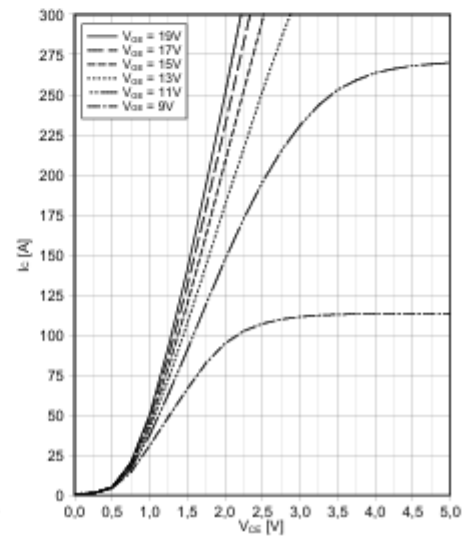
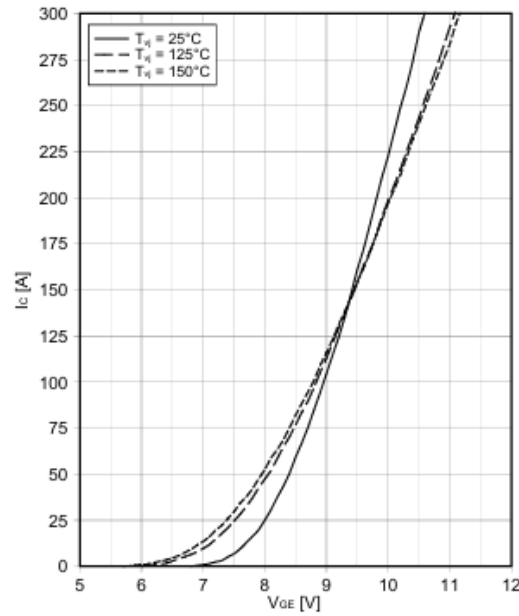
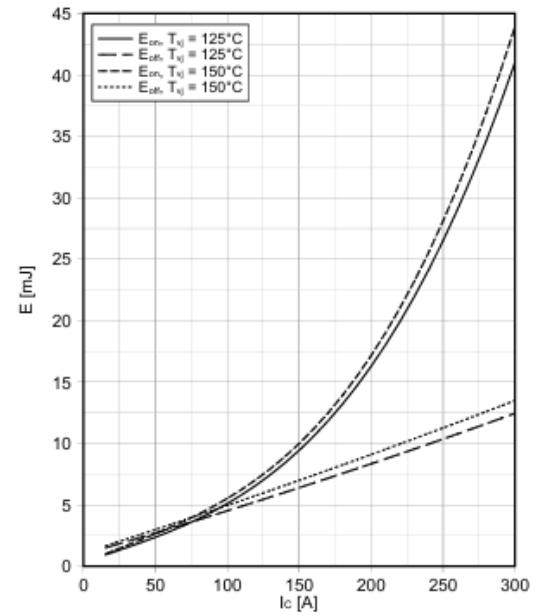


Fig. A.21 Datasheet F3L200R12N2H3_B47,10

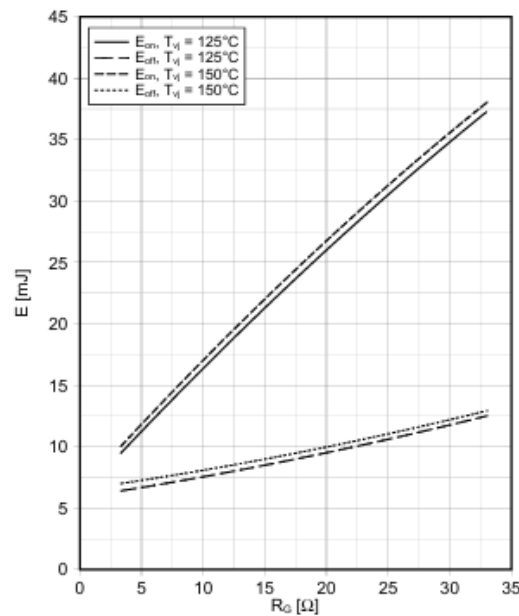
Übertragungscharakteristik IGBT,3-Level (typisch)
transfer characteristic IGBT,3-Level (typical)
 $I_C = f(V_{GE})$
 $V_{CE} = 20 \text{ V}$



Schaltverluste IGBT,3-Level (typisch)
switching losses IGBT,3-Level (typical)
 $E_{on} = f(I_C)$, $E_{off} = f(I_C)$
 $V_{GE} = \pm 15 \text{ V}$, $R_{Qon} = 3.3 \Omega$, $R_{Qoff} = 3.3 \Omega$, $V_{CE} = 350 \text{ V}$



Schaltverluste IGBT,3-Level (typisch)
switching losses IGBT,3-Level (typical)
 $E_{on} = f(R_G)$, $E_{off} = f(R_G)$
 $V_{GE} = \pm 15 \text{ V}$, $I_C = 150 \text{ A}$, $V_{CE} = 350 \text{ V}$



Transienter Wärmewiderstand IGBT,3-Level
transient thermal impedance IGBT,3-Level
 $Z_{thJC} = f(t)$

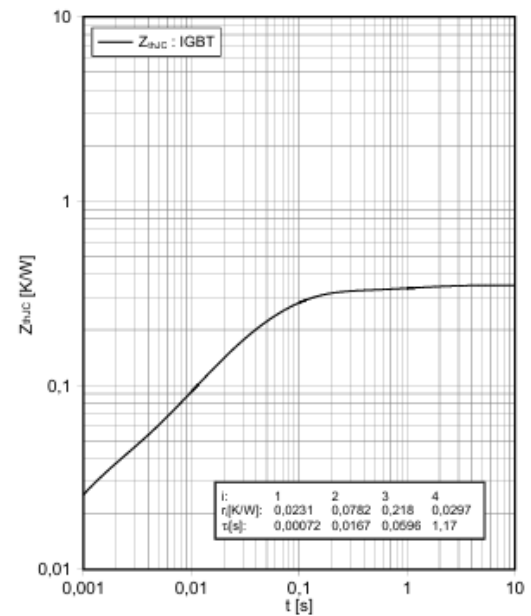
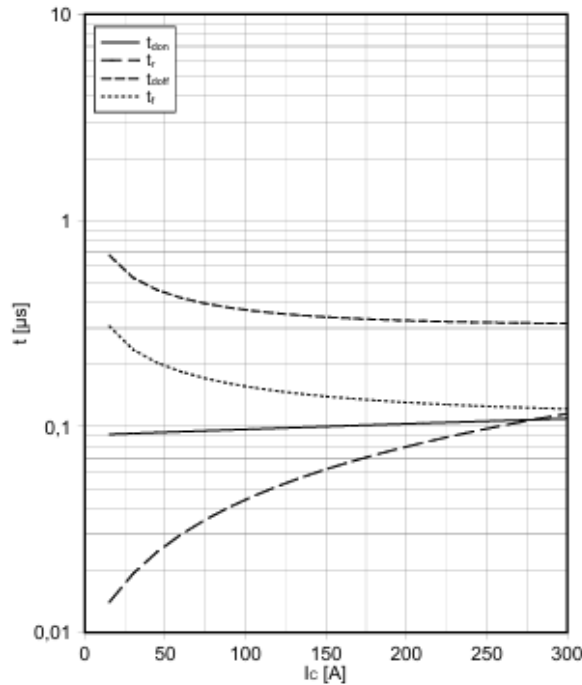


Fig. A.22 Datasheet F3L200R12N2H3_B47,11

Schaltzeiten IGBT,3-Level (typisch)
switching times IGBT,3-Level (typical)

$t_{\text{don}} = f(I_C)$, $t_r = f(I_C)$, $t_{\text{doff}} = f(I_C)$, $t_f = f(I_C)$

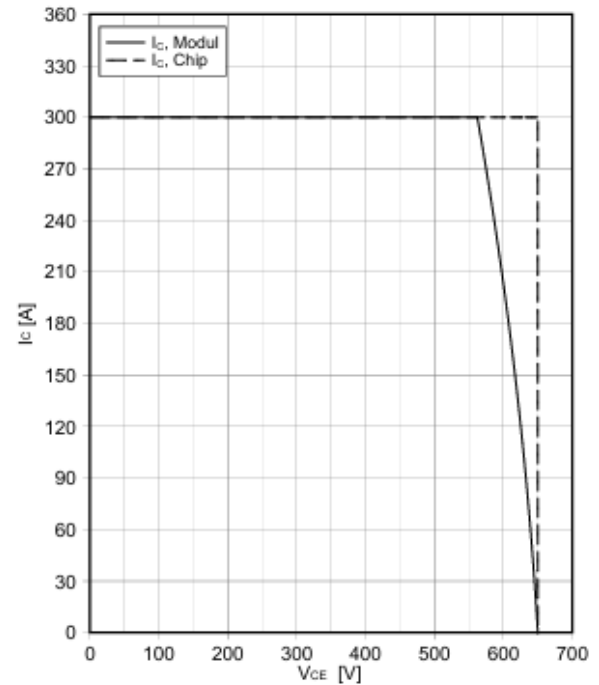
$V_{\text{GE}} = \pm 15 \text{ V}$, $R_{\text{don}} = 3.3 \text{ } \Omega$, $R_{\text{doff}} = 3.3 \text{ } \Omega$, $V_{\text{CE}} = 350 \text{ V}$, $T_{\text{vj}} = 150^\circ\text{C}$



Sicherer Rückwärts-Arbeitsbereich IGBT,3-Level (RBSOA)
reverse bias safe operating area IGBT,3-Level (RBSOA)

$I_C = f(V_{\text{CE}})$

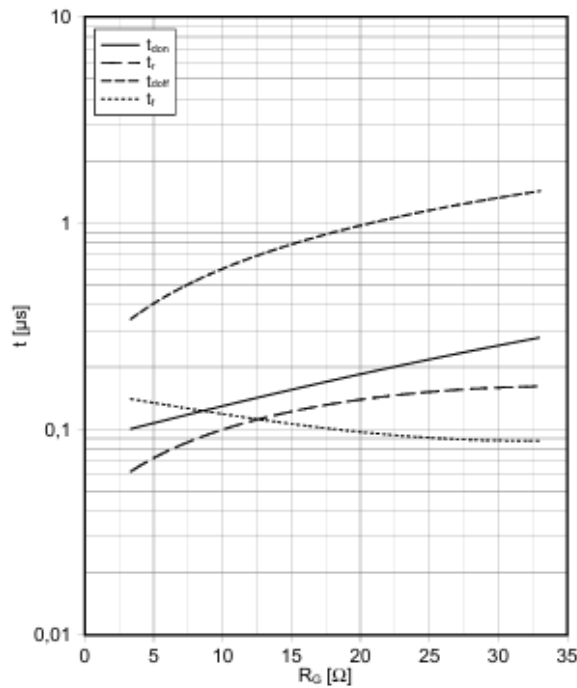
$V_{\text{GE}} = \pm 15 \text{ V}$, $R_{\text{doff}} = 3.3 \text{ } \Omega$, $T_{\text{vj}} = 150^\circ\text{C}$



Schaltzeiten IGBT,3-Level (typisch)
switching times IGBT,3-Level (typical)

$t_{\text{don}} = f(R_G)$, $t_r = f(R_G)$, $t_{\text{doff}} = f(R_G)$, $t_f = f(R_G)$

$V_{\text{GE}} = \pm 15 \text{ V}$, $I_C = 150 \text{ A}$, $V_{\text{CE}} = 350 \text{ V}$, $T_{\text{vj}} = 150^\circ\text{C}$



Gateladungs Charakteristik IGBT,3-Level (typisch)
gate charge characteristic IGBT,3-Level (typical)

$V_{\text{GE}} = f(Q_G)$

$I_C = 150 \text{ A}$, $T_{\text{vj}} = 25^\circ\text{C}$

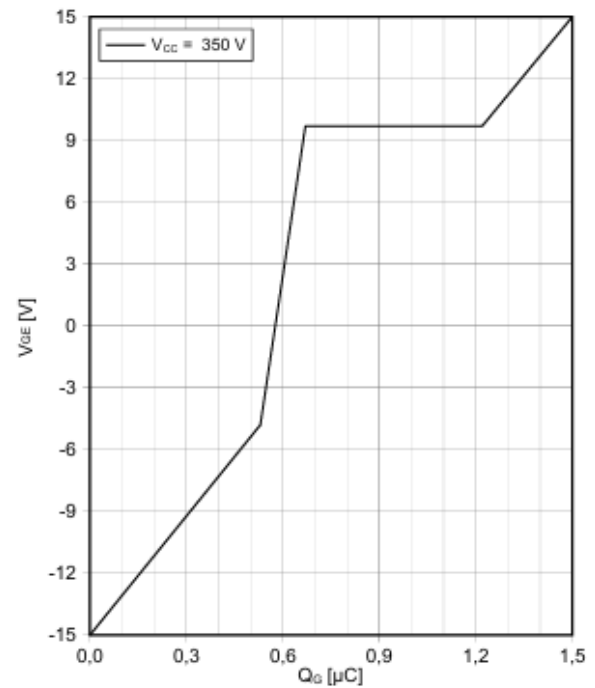
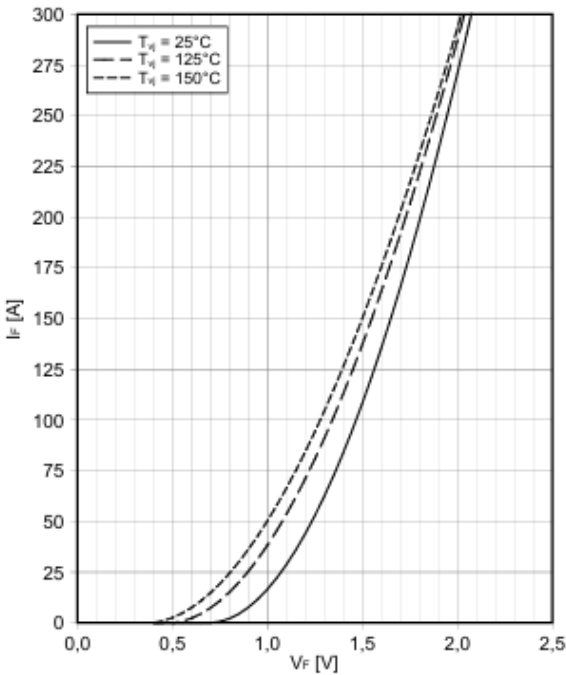
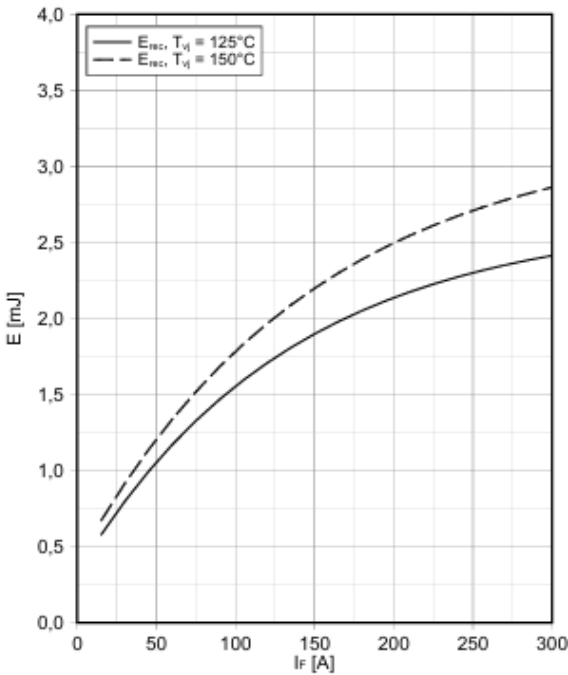


Fig. A.23 Datasheet F3L200R12N2H3_B47,12

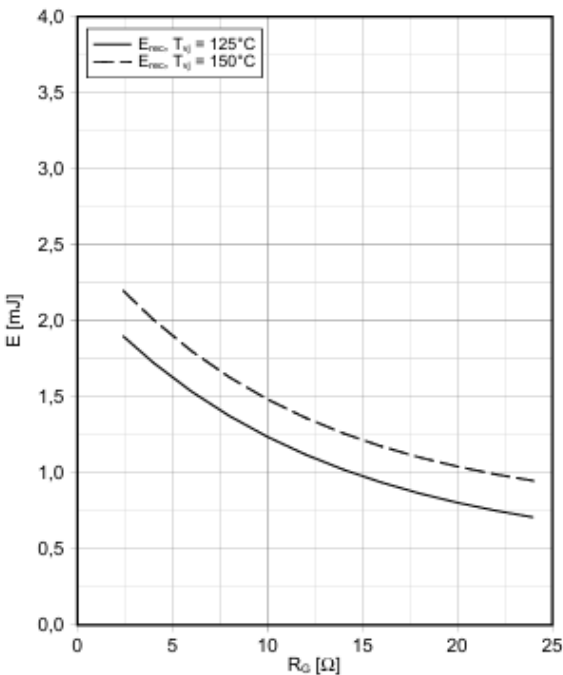
Durchlasskennlinie der Diode, 3-Level (typisch)
forward characteristic of Diode, 3-Level (typical)
 $I_F = f(V_F)$



Schaltverluste Diode, 3-Level (typisch)
switching losses Diode, 3-Level (typical)
 $E_{rec} = f(I_F)$
 $R_{GS} = 2.4\ \Omega$, $V_{CE} = 350\ \text{V}$



Schaltverluste Diode, 3-Level (typisch)
switching losses Diode, 3-Level (typical)
 $E_{rec} = f(R_G)$
 $I_F = 150\ \text{A}$, $V_{CE} = 350\ \text{V}$



Transienter Wärmewiderstand Diode, 3-Level
transient thermal impedance Diode, 3-Level
 $Z_{thJC} = f(t)$

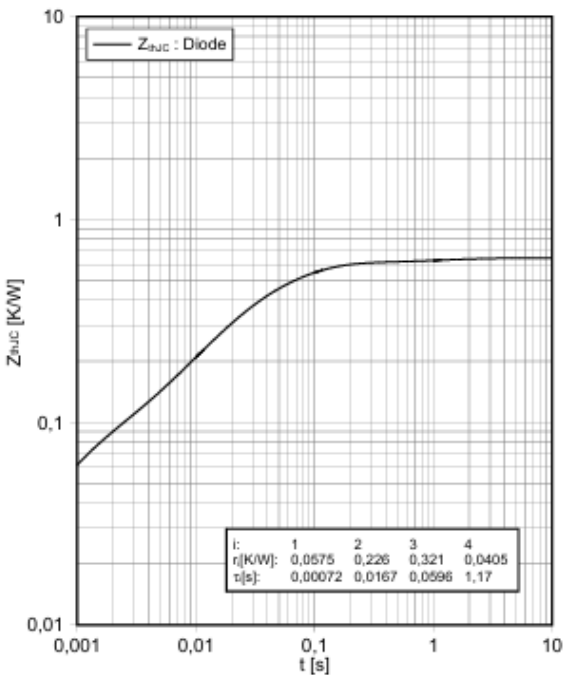


Fig. A.24 Datasheet F3L200R12N2H3_B47,13

NTC-Widerstand-Temperaturkennlinie (typisch)
 NTC-Thermistor-temperature characteristic (typical)
 $R = f(T)$

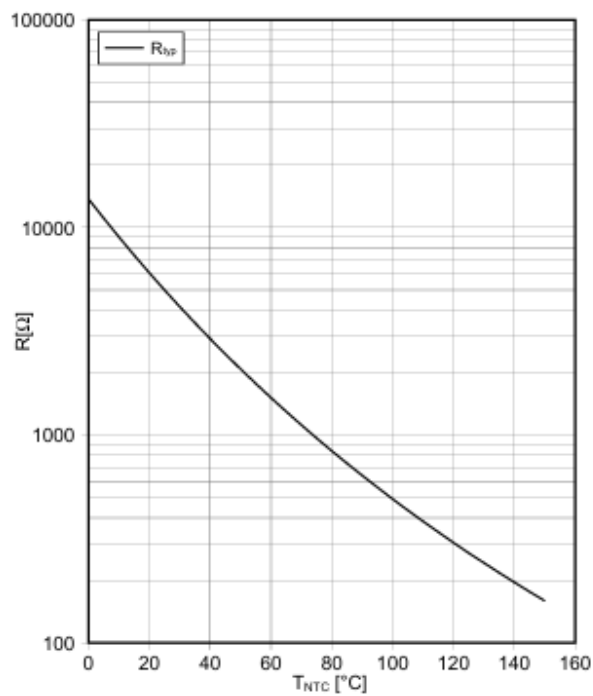


Fig. A.25 Datasheet F3L200R12N2H3_B47,14

Tablas de datos térmicos

Tabla A.1 THD V NPP IGBT térmico

THD V NPP IGBT térmico				
Tm \ FP	0.8	0.866	0.9	0.999
0	0.477965896	0.47839277	0.478775709	0.477056739
5	0.479724378	0.480584797	0.482943401	0.481208132
10	0.481251426	0.482561309	0.486949552	0.485225291
15	0.482536255	0.4843115	0.490787227	0.48910258
25	0.492223274	0.496598789	0.505357276	0.503938158
50	0.548882899	0.560821823	0.560776879	0.560481685
Delta (50us-0s)	0.070917003	0.08242905	0.08200117	0.08342495

Tabla A.2 THD V MOSFET NPP térmico

THD V MOSFET NPP térmico				
Tm \ FP	0.8	0.866	0.9	0.999
0	0.472451044	0.472451044	0.472451044	0.472451044
5	0.474095017	0.474541098	0.476488685	0.476501554
10	0.475509867	0.476417322	0.480365278	0.480417545
15	0.476685029	0.478069098	0.484074011	0.484193473
25	0.486061407	0.488479298	0.498285087	0.498713554
50	0.541416266	0.552475888	0.552475888	0.554099263
	0.06896522	0.0800248	0.0800248	0.0816482

Tabla A.3 THD V IGBT NPC térmico

THD V IGBT NPC térmico				
Tm \ FP	0.8	0.866	0.9	0.999
0	0.478108722	0.478561888	0.478967573	0.477159552
5	0.479880809	0.480765702	0.483142852	0.481309408
10	0.481421709	0.482753748	0.487156764	0.485324819
15	0.482720689	0.484515202	0.491002387	0.489200122
25	0.49242949	0.497009271	0.505584975	0.504030645
50	0.549048611	0.56106974	0.561024603	0.560548929

Tabla A.4 THD V MOSFET NPC térmico

THD V MOSFET NPC térmico				
Tm \ FP	0.8	0.866	0.9	0.999
0	0.475081464	0.475289298	0.475464462	0.474673834
5	0.476775579	0.477423241	0.479562372	0.478774636
10	0.478239318	0.479342639	0.4834989	0.48274116
15	0.479461985	0.481036791	0.487267166	0.486567831
25	0.48898136	0.491594849	0.501648476	0.501244222
50	0.545005191	0.556452334	0.556432457	0.557180802

Table de datos realista

Tabla A.5 THD V IGBT NPP real

THD V IGBT NPP real				
Tm \ FP	0.8	0.866	0.9	0.999
0	0.479294191	0.479864817	0.480353887	0.478993062
5	0.480957246	0.481970871	0.484485191	0.483059279
10	0.482378082	0.483846963	0.488442561	0.486982172
15	0.483551712	0.485492094	0.492229273	0.490768666
25	0.492939415	0.498665427	0.506681461	0.505419251
50	0.54974715	0.561907275	0.561914966	0.561603494

Tabla A.6 THD V IGBT NPC real

THD V IGBT NPC real				
Tm \ FP	0.8	0.866	0.9	0.999
0	0.479426751	0.480036996	0.480543465	0.479100652
5	0.481189775	0.482234165	0.484770601	0.483253295
10	0.482643424	0.484125473	0.488735374	0.487182846
15	0.483829315	0.485788933	0.49252247	0.490954965
25	0.493632062	0.499010201	0.506999126	0.505604797
50	0.550020541	0.562245018	0.562232901	0.561776981

Tabla A.7 THD V MOSFET NPP real

THD V MOSFET NPP real				
Tm \ FP	0.8	0.866	0.9	0.999
0	0.473951811	0.47411465	0.474209432	0.474564314
5	0.475671754	0.476286384	0.478390334	0.478703527
10	0.477121145	0.478210023	0.482378846	0.482685238
15	0.478328906	0.479904689	0.486198861	0.486533807
25	0.487791089	0.490579453	0.500659318	0.501194036
50	0.544264028	0.555618096	0.555655171	0.557096432

Tabla A.8 THD V MOSFET NPC real

THD V MOSFET NPC real				
Tm \ FP	0.8	0.866	0.9	0.999
0	0.476521009	0.476873056	0.477149988	0.476710586
5	0.478172817	0.478962404	0.481250732	0.480765494
10	0.479547577	0.480791554	0.485150334	0.484648822
15	0.480670106	0.482388621	0.488874016	0.48839302
25	0.48997791	0.493943779	0.503157438	0.502872579
50	0.546134695	0.557781794	0.5578058	0.558440433

Cálculo de carga trifásica

Para la implementación de un ciclo de cálculo repetitivo dentro de los modelos de simulación, fue necesario definir las ecuaciones utilizadas para obtener los valores de resistencia e inductancia de la carga trifásica. Esto considerando un voltaje de fase de $220V_{rms}$, una potencia trifásica de salida de $1000W$ y un factor de potencia (FP) específico.

El procedimiento inició con la determinación de la corriente de fase (I_f) a partir de la ecuación (A.1). Con los valores de corriente y voltaje de fase se determinó la impedancia total de la carga de la fase según la ec. (A.2). Tras lo cual, a partir de la ec. (A.3) se obtuvo la carga resistiva.

Finalmente, Para obtener la inductancia de la carga, se utilizó la ecuación(A.4), mediante la cual se determinó primero la reactancia inductiva (X_L), con la que utilizando la ec. (A.5) se calculó la carga inductiva (L_L).

$$P_f = V_f I_f \cos \theta \quad (A.1)$$

$$|Z| = \frac{V}{I} \quad (\text{A.2})$$

$$FP = \cos \theta = \frac{R}{|Z|} \quad (\text{A.3})$$

$$\tan \theta = \frac{X_L}{R} \quad (\text{A.4})$$

$$L_L = \frac{X_L}{2\pi f} \quad (\text{A.5})$$

- P_f : Potencia activa 1 fase
- V_f : Voltaje de fase
- I_f : Corriente de fase
- FP : factor de potencia
- R : Resistencia
- X_L : reactancia inductiva
- L_L : Inductancia
- f : frecuencia
- θ : angulo de desfase

Descripción de código de simulación cíclica

El procedimiento automatizado de simulación se implementó en PLECS mediante la ventana “Simulation scripts...” a partir del lenguaje Octave. El objetivo fue ejecutar múltiples corridas variando el factor de potencia (FP) y el tiempo muerto (Tm), registrando señales relevantes desde el bloque “To File” a un archivo .CSV. A continuación, se detalla el flujo de ejecución del código presente en la Fig. 5.1.

1) Inicialización del modelo activo (línea 1-2)

- a) Se obtuvo la referencia del circuito actualmente abierto en PLECS mediante “mdl = plects('get', 'CurrentCircuit')”, lo que permitió direccionar cualquier bloque interno del modelo durante el barrido paramétrico.

2) Asignación del scope de registro de trazos (línea 3)

- a) Se construyó la ruta del scope destinado a almacenar los resultados del barrido: “scopepath = [mdl '/THD'];”, donde “/THD” corresponde el nombre del scope encargado del seguimiento de cada simulación.

3) Limpieza previa de registros de scope (línea 4)

- a) Para cumplir buenas prácticas y evitar superposición de datos entre simulaciones, el contenido de scope fue limpiado al inicio mediante: “plecs('scope', scopepath, 'ClearTraces');”.

4) Declaración del bloque ToFile (línea 7)

- a) Se definió la ruta del bloque encargado de exportar los resultados en formato .CSV:
`"toFilePath = [mdl 'ToFile_THD'];"`.
- 5) **Definición de parámetros fijos (línea 9-16)**
 - a) Se inicializaron los valores constantes requeridos para calcular la carga trifásica RL.
- 6) **Construcción de vectores de barrido (líneas 17-19)**
 - a) Se definieron los vectores FPvals (factor de potencia) y Tm_us (tiempos muertos en microsegundos) que constituyen las dos dimensiones del estudio paramétrico.
- 7) **Primer ciclo for: barrido de factor de potencia (líneas 21-32)**
 - a) Para cada valor de FP en FPvals, se realiza un calculo de la carga RL asociada.
- 8) **Segundo ciclo for: barrido de tiempo muerto (líneas 34-36)**
 - a) Para cada valor de tiempo muerto en Tm_us se escala a segundos y se asigna al parámetro Tm_s. con este valor también se calculó "maxStep".
- 9) **Generación del nombre y asignación de dinámica del archivo CSV (líneas 38-40)**
 - a) Se generó un identificador único para cada traza dentro del parámetro "filename", indicando las características del convertidor analizado. Tras ello se actualizó el destino del bloque ToFile:
`"plecs('set', toFilePath, 'Filename', filename);"`.
- 10) **Envío de parámetros modificados al modelo (línea 43)**
 - a) Se agruparon los parámetros modificados FP, Tm_s, Rl y Ll: `"mv = struct('FP', FP, 'Tm_us', Tm_us(it), 'Tm_s', Tm_s, 'Rl', Rl, 'Ll', Ll);"`.
- 11) **Ejecución de la simulación modificada (línea 46)**
 - a) Se ejecutó la simulación con los nuevos parámetros: `"plecs('simulate', struct('ModelVars', mv, 'StopTime', 0.12, 'MaxStep', maxStep));"`.
- 12) **Registro del trazo en scope (línea 49)**
 - a) Finalizada cada simulacion se añadió un trazo persistente al scope, etiquetando sus parametros operativos: `"plecs('scope', scopepath, 'HoldTrace', sprintf('FP=%.3f | Tm=%dus | R=%.1fΩ | L=%.3f mH', FP, Tm_us(it), Rl, Ll*1e3));"`.
- 13) **Cierre de ciclos de iteración (líneas 50-51)**
 - a) Concluidas todas las combinaciones de FP con Tm, se finaliza el programa.

```

1 % === Configuración general
2 mdl = plecs('get','', 'CurrentCircuit');
3 scopepath = [mdl '/THD']; % Ajusta si tu Scope se llama distinto
4 plecs('scope', scopepath, 'ClearTraces');
5
6 % Ruta exacta del bloque To File
7 toFilePath = [mdl '/ToFile_THD']; % <- ahora que lo renombraste
8
9 % === Parámetros fijos de operación
10 Vdc = 1000; % [V]
11 Vrms = 220; % [V fase]
12 Pout = 1000; % [W total 3φ]
13 fr = 50; % [Hz]
14 Pf_fase = Pout/3;
15
16 Lmin = 50e-6; % 50 μH (20-100 μH también sirve)
17 % === Listas de barrido
18 FPvals = [0.8, 0.866, 0.9, 0.999]; % cos φ 0.8 MODIFICADO 0.999 PARA DI/DT
19 td_us = [0, 5, 10, 15, 25, 50]; % μs
20
21 % === Barrido anidado FP vs tiempo muerto
22 for k = 1:numel(FPvals)
23     FP = FPvals(k);
24     ang = acos(FP);
25
26     % === Calcular carga equivalente Rl-Ll
27     I_f = Pf_fase / (Vrms * FP); % A_rms
28     Zmag = Vrms / I_f; % |Z|
29     Rl = Zmag * FP; % Ω
30     Xl = Rl * tan(ang); % Ω
31     Ll = Xl / (2*pi*fr); % H
32     Ll = max(Ll, Lmin); % nunca dejar L = 0
33
34     for it = 1:numel(td_us)
35         td_s = td_us(it)*1e-6; % Convertir a segundos
36         maxStep = min(1e-6, td_s/3); % Resolver dead-time con precisión MODIFICADO td_s/3 PARA DI/DT
37
38         % === Configurar nombre de archivo único por simulación
39         filename = sprintf('MOSFET_NPC_REAL_THD_FP%.3f_td%dus_l1_l1_2025.csv', FP, td_us(it));
40         plecs('set', toFilePath, 'Filename', filename);
41
42         % === Variables de modelo (bloques: @FP, @td_us, @Rl, @Ll)
43         mv = struct('FP', FP, 'td_us', td_us(it), 'td_s', td_s, 'Rl', Rl, 'Ll', Ll);
44
45         % === Ejecutar simulación
46         plecs('simulate', struct('ModelVars', mv, 'StopTime', 0.12, 'MaxStep', maxStep));
47
48         % === Etiqueta opcional en Scope
49         plecs('scope', scopepath, 'HoldTrace', sprintf('FP=%.3f | td=%dus | R=%.1fΩ | L=%.3f mH', FP, td_us(it), Rl, Ll*1e3))
50     end
51 end

```

Fig. A.26 Programa Utilizado en el bucle

NOTA:

Cabe mencionar que la decisión de generar un .CSV nuevo en cada iteración se debe a que PLECS sobrescribe el contenido del archivo cada vez que exporta datos, lo que impide almacenar múltiples simulaciones en un único documento.

valores de herramientas térmicas

Tabla A.9 Parámetros de bloques Heat Sink, Thermal Resistor y Constant Temperature

Parámetro:	Valor	Unidad
Número de terminales Heat Sink	1	-
Capacitancia térmica Heat Sink	0.005	J/K
Temperatura inicial Heat Sink	25	°C
Ancho de capacitancia térmica Heat Sink	1	-
Resistencia térmica ambiental	0.05	K/W

Constante de temperatura

25

°C

tablas de edición térmica

	0 A	1 A	2.2967 A	6.6275 A	10 A	15.28 A	25 A	37.812 A	50 A	75 A	100 A	125 A	150 A	1
25°	☒	0 V	5.8602 V	6.4829 V	6.7736 V	7 V	7.168 V	7.4774 V	7.7755 V	8.0591 V	8.5086 V	8.9164 V	9.2589 V	9.5901 V
125°	☒	0 V	5.5408 V	5.9568 V	6.226 V	6.4361 V	6.6565 V	7.0353 V	7.3927 V	7.709 V	8.2492 V	8.7193 V	9.1439 V	9.5343 V
150°	☒	0 V	5.0253 V	5.6354 V	6.0081 V	6.2045 V	6.4632 V	6.8404 V	7.2351 V	7.5745 V	8.142 V	8.6444 V	9.0921 V	9.4918 V

Fig. A.27 tabla de pérdidas de conducción IGBT

175°		0 A	5 A	10 A	20 A	30 A	40 A	50 A
0 V	☒	0 µJ	0 µJ	0 µJ	0 µJ	0 µJ	0 µJ	0 µJ
800 V	☒	0 µJ	153.3 µJ	200 µJ	296.8 µJ	394.6 µJ	489.1 µJ	571.3 µJ

Fig. A.28 Tabla de pérdidas de encendido MOSFET

175°		0 A	5 A	10 A	15 A	20 A	25 A	30 A	40 A	50 A
0 V	☒	0 µJ	0 µJ	0 µJ	0 µJ	0 µJ	0 µJ	0 µJ	0 µJ	0 µJ
800 V	☒	0 µJ	58.458 µJ	57.436 µJ	66.635 µJ	77.867 µJ	86.756 µJ	101.96 µJ	171.22 µJ	243.86 µJ

Fig. A.29 Tabla de pérdidas de apagado MOSFET

	0 A	0.5 A	2 A	5 A	10 A	20 A	30 A	40 A	50 A	60 A	70 A	80 A	90 A	100 A	108.27 A	110 A
25°	0 V	0.049029 V	0.1144 V	0.27504 V	0.49506 V	1.1083 V	1.6893 V	2.4838 V	3.4014 V	4.6294 V	6.2338 V	8.4481 V	11.452 V	15.569 V	19.938 V	19.937
175°	0 V	0.071979 V	0.19434 V	0.46292 V	0.7777 V	1.5184 V	2.3516 V	3.2594 V	4.3884 V	5.6105 V	7.2215 V	9.1843 V	11.814 V	15.332 V	19.202 V	20.032

Fig. A.30 Tabla de resultados pérdidas de conducción MOSFET

125°	150°	0 A	10 A	20 A	40 A	60 A	80 A	100 A	120 A	140 A	160 A	180 A	200 A
-350 V	☒	0 mJ	1.4052 mJ	1.7579 mJ	2.4002 mJ	2.9488 mJ	3.4095 mJ	3.814 mJ	4.1457 mJ	4.4329 mJ	4.6938 mJ	4.8989 mJ	5.066 mJ
0 V	☐	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ
125°	150°	0 A	10 A	20 A	40 A	60 A	80 A	100 A	120 A	140 A	160 A	180 A	200 A
-350 V	☒	0 mJ	1.6574 mJ	2.0706 mJ	2.7802 mJ	3.3921 mJ	3.9225 mJ	4.3626 mJ	4.7368 mJ	5.059 mJ	5.327 mJ	5.5602 mJ	5.7553 mJ
0 V	☐	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ	0 mJ

Fig. A.31 Tabla de configuración de pérdidas de apagado Diodo

	0 A	0.5 A	1.9907 A	5.0093 A	10 A	15 A	20 A	28.43 A	40 A	60 A	80 A	100 A	120 A	140 A	160 A	180 A
25°	☒	0 V	0.58287 V	0.77082 V	0.88445 V	0.98821 V	1.0591 V	1.13 V	1.2159 V	1.3338 V	1.4963 V	1.6292 V	1.7444 V	1.8685 V	1.9778 V	2.0841 V
125°	☒	0 V	0.40033 V	0.53139 V	0.65877 V	0.78323 V	0.87652 V	0.95087 V	1.0649 V	1.1962 V	1.3858 V	1.5498 V	1.7009 V	1.8432 V	1.978 V	2.0978 V
150°	☒	0 V	0.24356 V	0.48145 V	0.61746 V	0.74703 V	0.84033 V	0.92162 V	1.0357 V	1.1719 V	1.3739 V	1.5448 V	1.701 V	1.843 V	1.978 V	2.1152 V

Fig. A.32 Tabla de Configuración pérdidas de conducción Diodo

Graficas

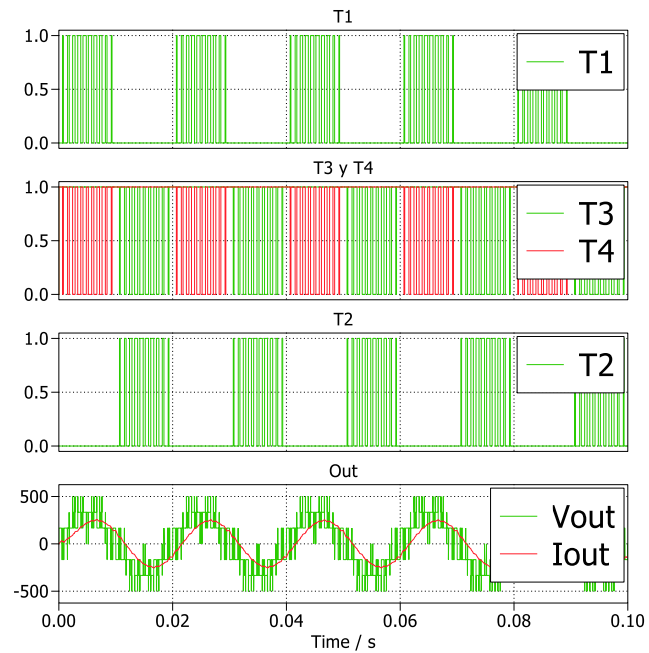


Fig. A.33 Grafica térmica NPP con IGBT, FP de 0.8 y TM 5us, Salida y encendido de switches por fase

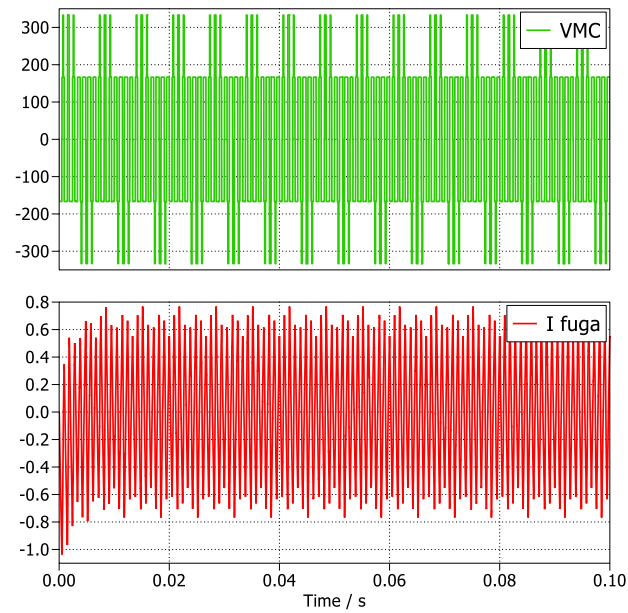


Fig. A.34 Grafica térmica NPP con IGBT, FP de 0.8 y TM 5us, Voltaje modo común y Corriente de fuga

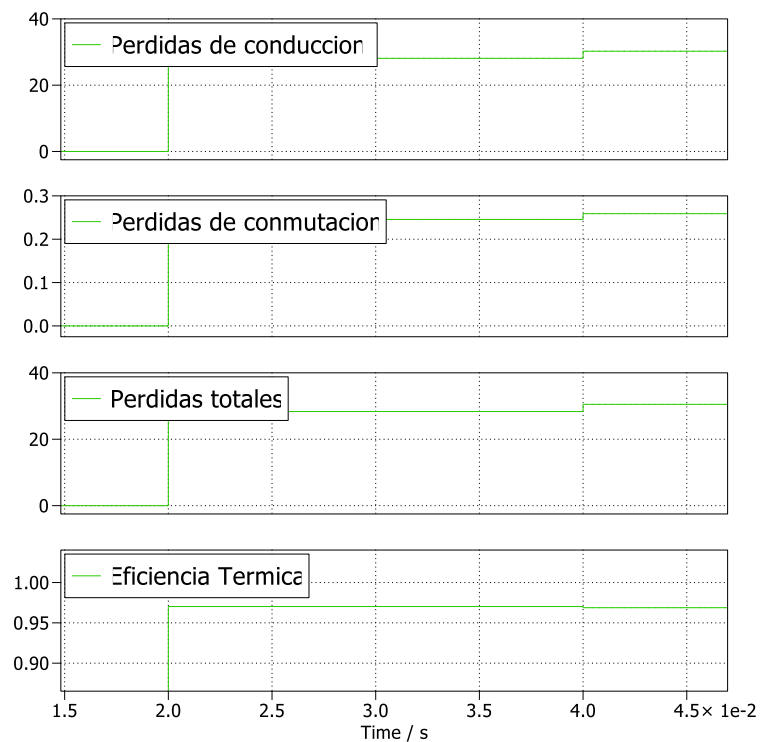


Fig. A.35 Grafica térmica NPP con IGBT, FP de 0.8 y TM 5us, pérdidas térmicas

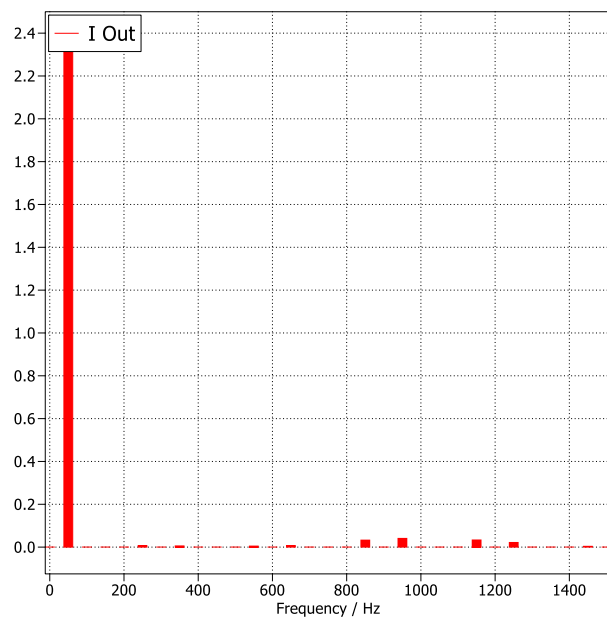


Fig. A.36 Grafica térmica NPP con IGBT, FP de 0.8 y TM 5us, contenido armónico corriente de fase a

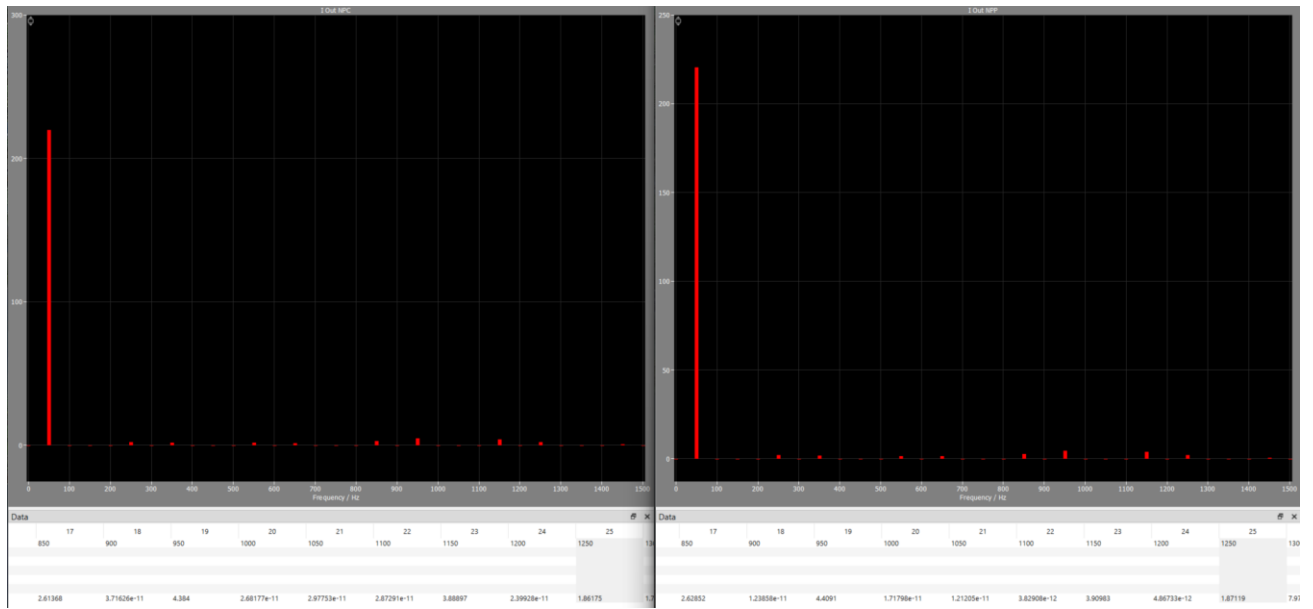


Fig. A.37 Grafica térmica NPC y NPP con IGBT, FP de 0.8 y TM 50us, contenido armónico corriente de fase a

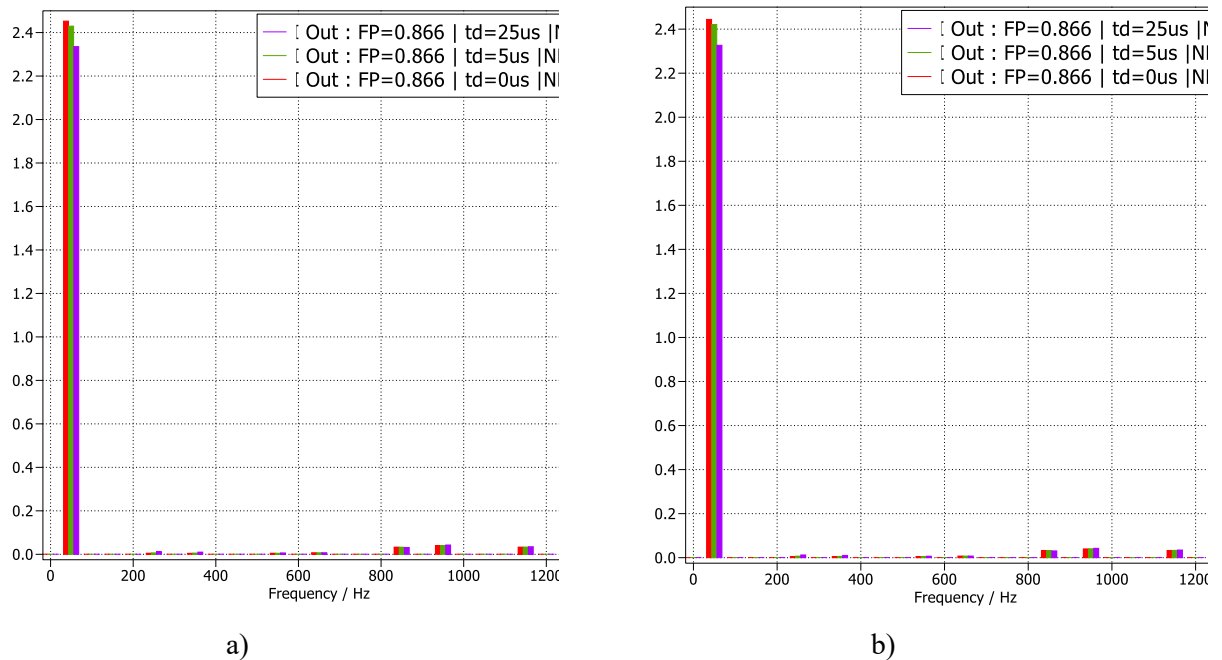


Fig. A.38 Graficas THD I respecto a diferentes tiempos muertos con semiconductor IGBT a) NPC b) NPP

La Fig. A.39 muestra la recuperación inversa del diodo antiparalelo. Debido al sobredimensionamiento del semiconductor la corriente no llega al peak de corriente de forward. La Fig. A.40 muestra un zoom del proceso de recuperación inversa en uno de los diodos.

La Fig. A.41 muestra el flujo de corriente en el switch T1 en un modelo NPP con IGBT con limite di/dt. La Fig. A.42 muestra un zoom del flujo de la corriente respecto a ese instante del voltaje en el switch T1.

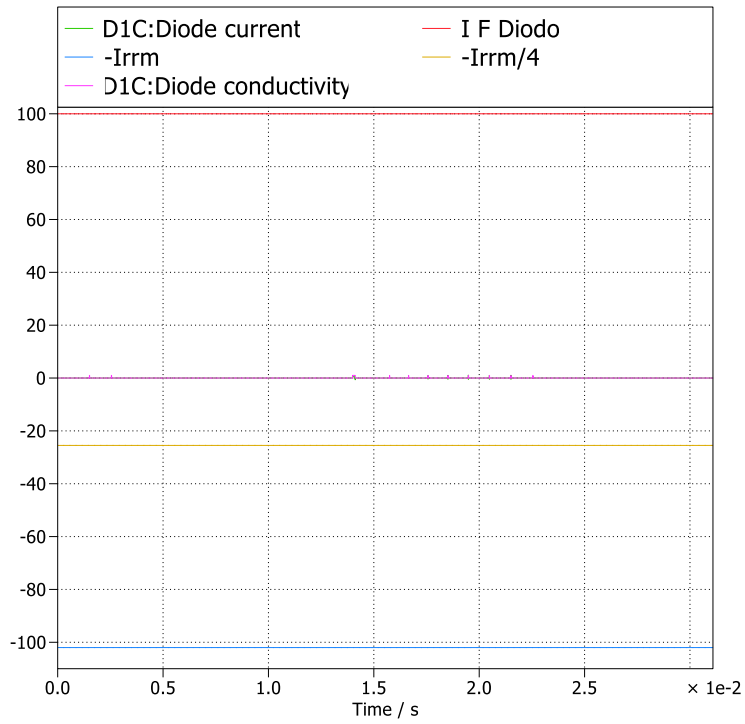


Fig. A.39 Corriente diodo inverso

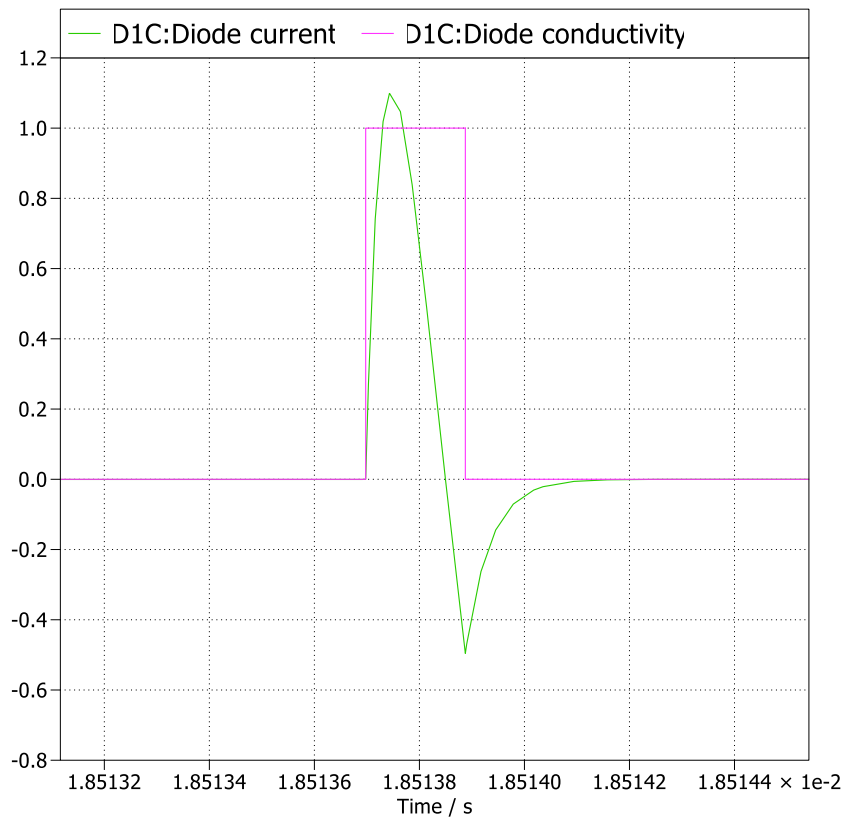


Fig. A.40 pulso de corriente de recuperación diodo inverso

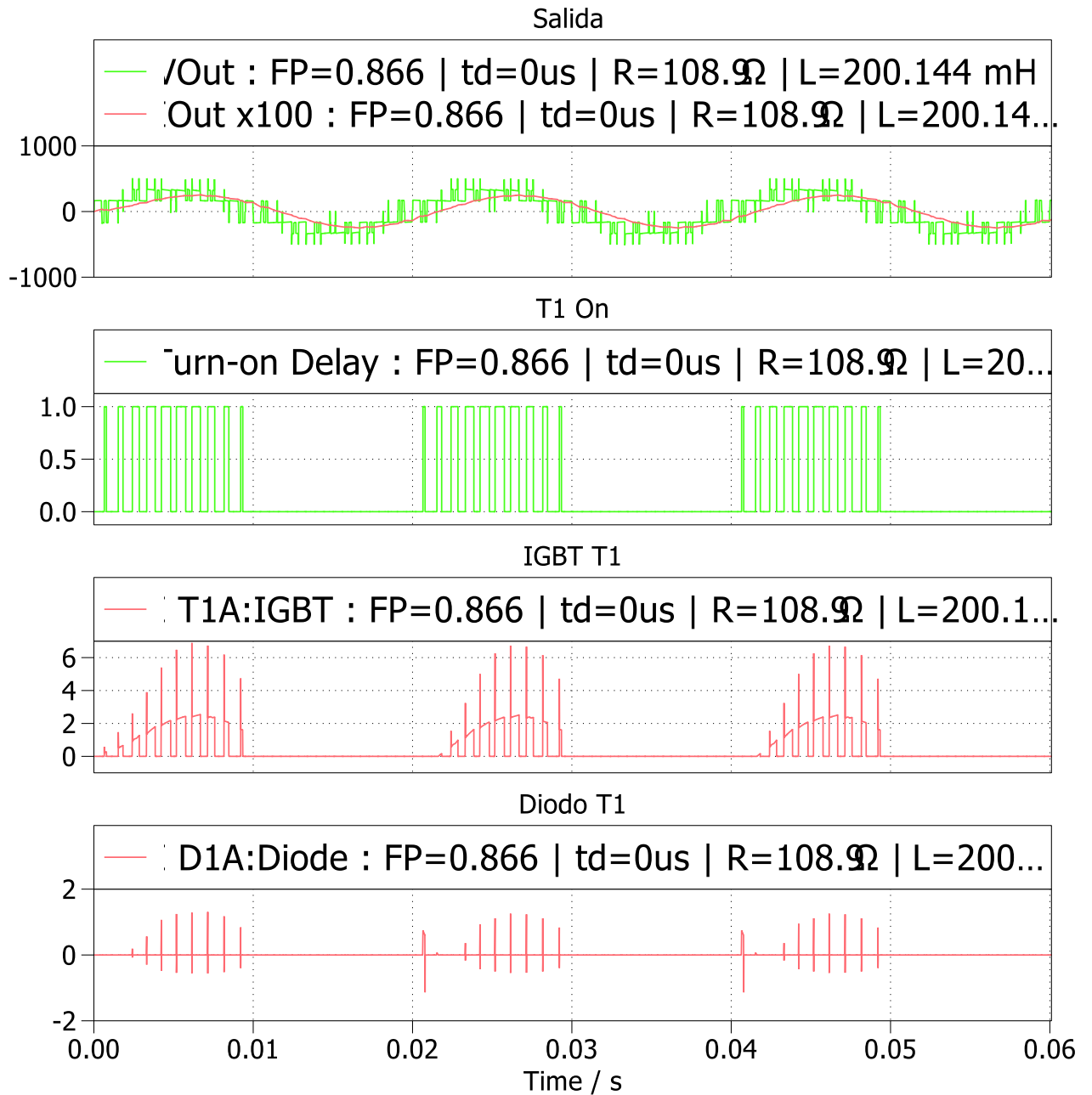


Fig. A.41 salida respecto a corrientes de encendido switch T1 NPP IGBT con limite di/dt

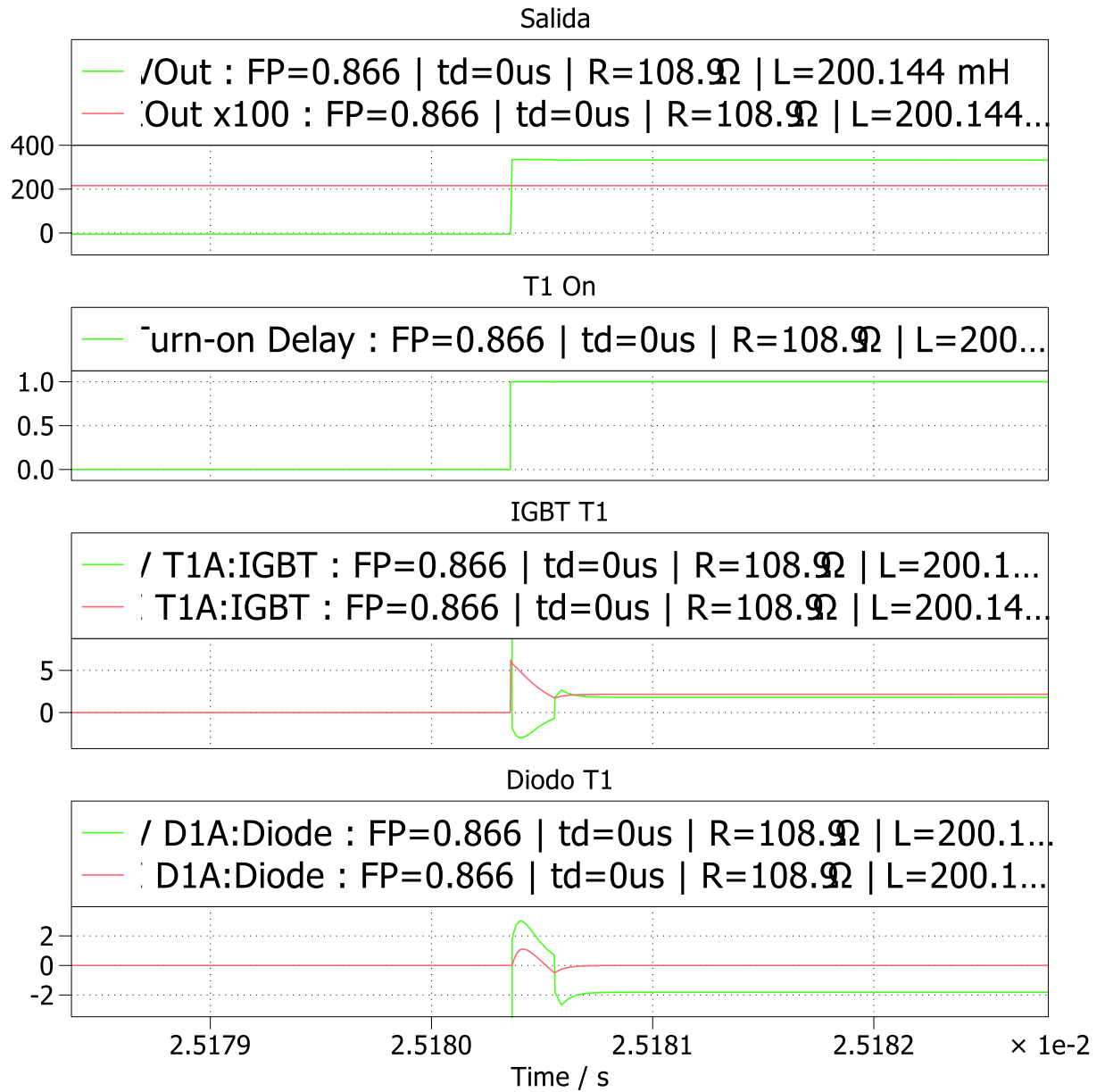


Fig. A.42 Zoom salida respecto a corrientes de encendido switch T1 NPP IGBT con limite di/dt

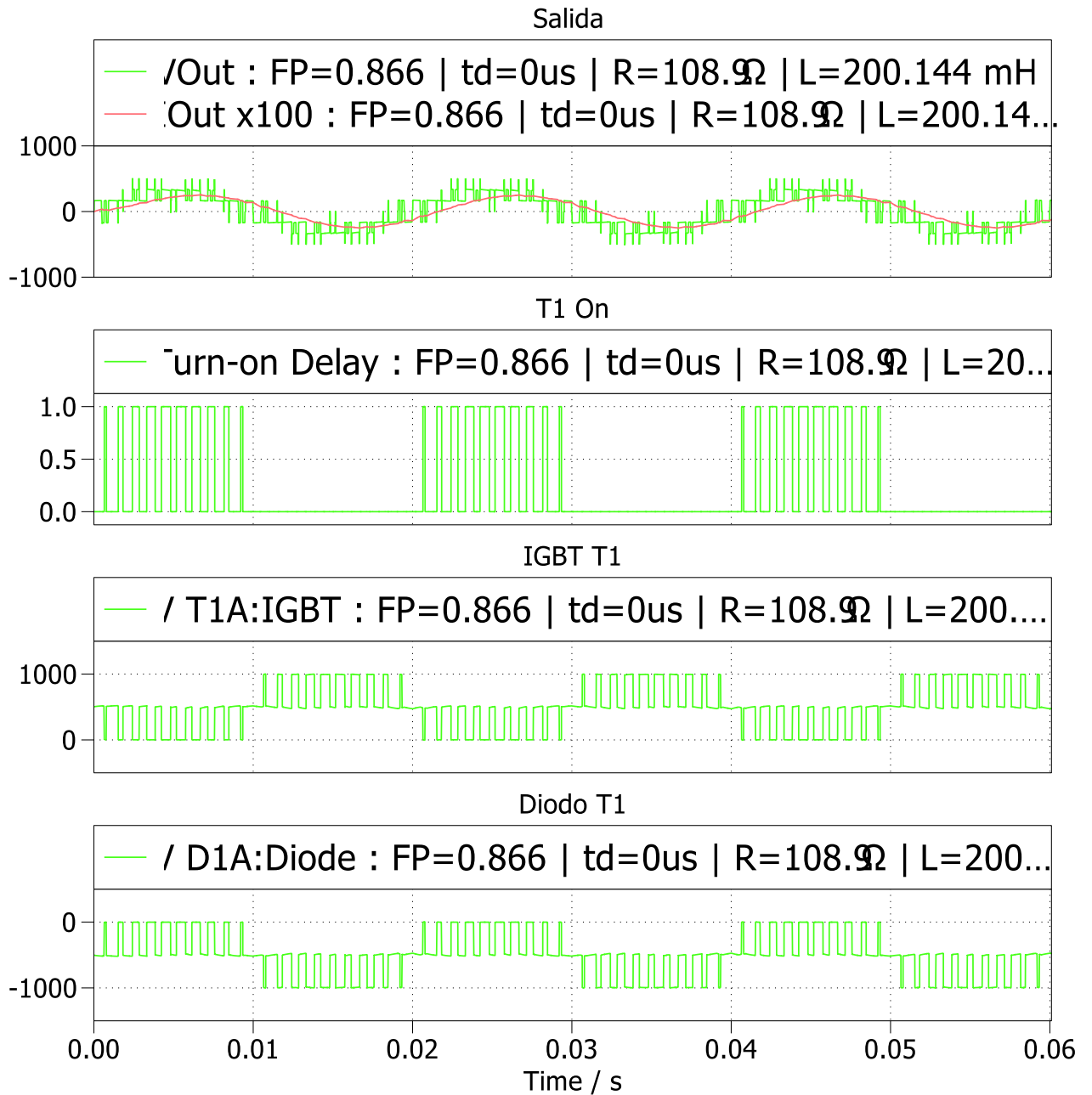


Fig. A.43 salida respecto a voltaje de encendido switch T1 NPP IGBT con limite di/dt

**UNIVERSIDAD DE CONCEPCION – FACULTAD DE INGENIERIA
RESUMEN DE MEMORIA DE TITULO**

Departamento : Departamento de Ingeniería Eléctrica
Carrera : Ingeniería Civil Electrónica
Nombre del memorista : Ignacio Andrés Becerra Riquelme
Título de la memoria : Estudio comparativo del efecto de tiempos muertos y pérdidas en topologías NPC y NPP
Fecha de la presentación oral : 31/03/2026

Profesor(es) guía : José Rubén Espinoza Castro
Profesor(es) revisor(es) : Leonardo Manuel Palma Fanjul, Lautaro David Salazar Silva
Concepto :
Calificación :

Resumen (máximo 200 palabras)
En este trabajo de memoria de título se realizó un análisis comparativo de la respuesta ante distintos valores de tiempo muerto en inversores multinivel Neutral Point Piloted (NPP) y Neutral Point Clamped (NPC), considerando su operación en un sistema de generación fotovoltaica conectado a una red trifásica. La evaluación incluyó el estudio del contenido armónico de corriente, la eficiencia de conversión, el voltaje de modo común y la corriente de fuga. La investigación fue realizada mediante simulación a través del software PLECS, donde se implementaron modelos detallados de ambas topologías bajo modulación SPWM. Se analizó la estrategia de implementación del tiempo muerto en el inversor NPP, comparando un método de apagado total de pierna del inversor con una estrategia de apagado de switches complementarios. Para aislar la corriente de fuga se realizó un circuito equivalente complementario. Asimismo, se incorporaron perfiles térmicos considerando semiconductores IGBT y MOSFET, y se validaron los resultados mediante simulaciones con modelos limitados en di/dt. Finalmente, se implementó un script de simulación cíclica dentro de PLECS que automatiza combinaciones paramétricas y exporta resultados en formato .CSV, permitiendo contrastar sistemáticamente el desempeño de ambas topologías frente al tiempo muerto.