

**UNIVERSIDAD DE CONCEPCIÓN**

FACULTAD DE INGENIERÍA  
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA



Profesor Guía:

**Dr. Rubén S. Peña G.**

Informe de Memoria de Título  
para optar al título de:

**Ingeniero Civil Eléctrico**

**Implementación de Control Grid-Forming VSG  
dentro de una microrred experimental**

UNIVERSIDAD DE CONCEPCIÓN  
Facultad de Ingeniería  
Departamento de Ingeniería Eléctrica

Profesor Guía  
Dr. Rubén S. Peña G.

# Implementación de Control Grid-Forming VSG dentro de una microrred experimental

Juan Andrés Alonso Aguilera Cuevas

Informe de Memoria de Título  
para optar al Título de

Ingeniero Civil Eléctrico

Julio 2025

# Resumen

La generación a partir de fuentes de energía renovable ha ido aumentando su cuota de participación en las redes eléctricas. Comúnmente esto requiere de convertidores de potencia para acondicionar la naturaleza de la generación con el objetivo de conectar la unidad generadora a la red de AC. Sin embargo, este tipo de generación no ayuda en la regulación de la frecuencia en la red donde se conecta, al no poseer un elemento inercial que aporte efectivamente en ello. En las unidades generadoras convencionales la inercia aportada es la asociada con el rotor de generadores síncronos. Así, a medida que se aumente la cuota de generación a partir de fuentes de energía renovable, en desmedro de la cuota de generadoras convencionales, la inercia de la red irá decayendo, ocasionando una pobre regulación de la frecuencia.

Ante esto, se han planteado diversos métodos para lograr que los convertidores de potencia dichos aporten con inercia a la red y tengan la capacidad de compartir la potencia que entregan con las demás unidades generadoras, tal como lo hacen los generadores síncronos. A estos métodos se les nombra generalmente como Grid-Forming. De entre los métodos se destaca el llamado VSG, que se basa de un lazo de control que emula la ecuación de oscilación de un generador síncrono, aportando con una inercia “virtual” a la red en donde se conecta el inversor.

Si bien se han desarrollado diferentes variaciones y enfoques de este método, estos avances no se ven comúnmente plasmados en implementaciones experimentales, en las cuales se tiene un mayor acercamiento al contexto real en donde se piensan utilizar estos métodos de control. Así entonces, en este proyecto se realiza el desarrollo, diseño y simulación de una técnica Grid-Forming VSG para luego probar su eficacia en una implementación experimental en donde se emula una microrred. Esta está formada por dos inversores en paralelo y un número discreto de cargas. Finalmente, se evalúa la capacidad del método en cuanto a su capacidad de regular la frecuencia en la microrred y se compara con los resultados obtenidos en las simulaciones. Los resultados demuestran que, al implementar el lazo de control VSG desarrollado en uno de los inversores de la microrred experimental, se logra regular la frecuencia en esta con una dinámica de 1er orden respecto de cambios en la potencia que entrega el inversor.



*A mi familia.*

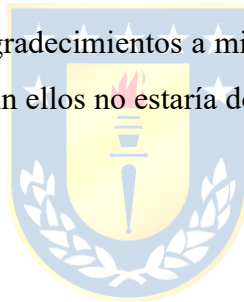
## Agradecimientos

Debo agradecer primeramente el apoyo del proyecto ANID/FONDAP/SERC 1523A0006 por brindar gran parte de los implementos utilizados en este proyecto.

En segundo lugar, debo agradecer a mi profesor guía, el Dr. Rubén S. Peña G., por su apoyo en momentos críticos que surgieron en el desarrollo del proyecto de implementación en el que se enmarca esta Memoria de Título.

Agradezco profundamente a las personas que trabajan en el Laboratorio de Calidad de Suministro Eléctrico, por darme ánimo diariamente a medida que iba realizando este proyecto. Así también debo resaltar la entera disposición en el uso de espacios e implementos por parte de la gente de este laboratorio.

Finalmente, deseo expresar mis agradecimientos a mi familia por el apoyo brindado durante el transcurso de mi carrera universitaria. Sin ellos no estaría donde estoy.



# Tabla de Contenidos

LISTA DE TABLAS .....	VIII
LISTA DE FIGURAS .....	IX
NOMENCLATURA.....	XI
ABREVIACIONES.....	XIII
<b>1. INTRODUCCIÓN .....</b>	<b>1</b>
1.1. INTRODUCCIÓN .....	1
1.2. TRABAJOS PREVIOS .....	2
1.2.1 Modelado y Control de Convertidores Estáticos.....	2
1.2.2 Control Grid-Forming: Droop Control y VSG.....	3
1.2.3 Control de Convertidores Conectados en Paralelo.....	4
1.2.4 Discusión .....	5
1.3. HIPÓTESIS DE TRABAJO .....	5
1.4. OBJETIVOS.....	5
1.4.1 Objetivo General .....	5
1.4.2 Objetivos Específicos.....	5
1.5. ALCANCES Y LIMITACIONES .....	6
1.6. TEMARIO Y METODOLOGÍA .....	6
<b>2. DESARROLLO TEÓRICO.....</b>	<b>7</b>
2.1. INTRODUCCIÓN .....	7
2.2. DESARROLLO Y SIMULACIÓN DE LAZOS DE CONTROL.....	7
2.2.1 Inversor Trifásico Fuente de Voltaje, SPWM y Modelo en Ejes $dq$ .....	7
2.2.2 Filtro RLC Serie .....	10
2.2.3 Lazos de Control Interno de Corriente y Voltaje.....	13
2.2.4 Lazo de Control Externo VSG.....	27
<b>3. IMPLEMENTACIÓN Y RESULTADOS .....</b>	<b>34</b>
3.1. IMPLEMENTACIÓN.....	34
3.2. DSP Y CONFIGURACIONES PREVIAS .....	37
3.2.1 DSP, Periféricos y Generación de Código Base.....	37
3.2.2 Discretización de Lazos de Control y Filtrado de Señales .....	42
3.3. RESULTADOS EXPERIMENTALES PRELIMINARES.....	43
3.3.1 Funcionamiento del Filtro RLC.....	43
3.3.2 Funcionamiento de Lazos de Control Interno de Corriente y Voltaje.....	45
3.3.3 Funcionamiento del Lazo de Control VSG.....	48
3.4. RESULTADOS FINALES .....	54
<b>4. CONCLUSIONES .....</b>	<b>58</b>
4.1. INTRODUCCIÓN .....	58
4.2. CONCLUSIONES.....	58
4.3. TRABAJO FUTURO.....	59
<b>REFERENCIAS.....</b>	<b>60</b>
<b>A. ANEXO A.....</b>	<b>62</b>
A.1. MODELO CONMUTADO DEL INVERSOR FUENTE DE VOLTAJE TRIFÁSICO .....	62
A.2. MODELO PROMEDIO EN EJES $dq$ DEL INVERSOR FUENTE DE VOLTAJE TRIFÁSICO .....	64
<b>B. ANEXO B .....</b>	<b>72</b>
B.1. DEMOSTRACIÓN ECUACIONES DE DISEÑO LAZO DE CONTROL DE CORRIENTE .....	72
B.2. DEMOSTRACIÓN ECUACIONES DE DISEÑO LAZO DE CONTROL DE VOLTAJE.....	75

**C. ANEXO C** .....78  
C.1. CONFIGURACIONES REALIZADAS EN PERIFÉRICOS ADC Y EPWM .....78  
**D. ANEXO D** .....87  
D.1. TARJETA DE DESARROLLO Y TABLAS DE SEÑALES DISPONIBLES EN ELLA. ....87



## Lista de Tablas

Tabla 2.2 Parámetros Simulación 1 Lazo de Voltaje .....	22
Tabla 2.3 Parámetros Simulación 2 Lazo de Voltaje .....	24
Tabla 2.4 Parámetros Simulación Control Centralizado de Voltaje .....	26
Tabla 2.5 Parámetros Simulación Lazo VSG.....	33
Tabla 3.1 Parámetros Prueba Experimental Lazo de Corriente .....	46
Tabla 3.2 Parámetros Prueba Experimental Lazo de Voltaje.....	47
Tabla 3.3 Parámetros Prueba Experimental Lazo VSG Inversor Solitario .....	49
Tabla 3.4 Parámetros Prueba Experimental Lazo Control Centralizado .....	51
Tabla 3.5 Parámetros Prueba Experimental Lazo VSG Inversor Paralelo.....	53
Tabla D.1 Señales de entrada y salida disponibles para cada punto de conexión de los conectores J1, J2, J3 y J4. ....	88



# Lista de Figuras

Fig. 2.1: Inversor trifásico conectado al PAC a través de un filtro RLC. ....	7
Fig. 2.2: Circuito equivalente monofásico de un filtro RLC serie. ....	11
Fig. 2.3: Respuesta en frecuencia del filtro RLC a implementar. ....	12
Fig. 2.4: Formas de onda de tensión de fase a neutro sin filtro y luego de incorporar el filtro RLC. ....	13
Fig. 2.5: Estructura general de control GFM con lazo duales de tensión y corriente. ....	14
Fig. 2.6: Lazo de control de corriente en eje d de la planta desacoplada equivalente. ....	16
Fig. 2.7: Simulación del inversor con control de corrientes en $dq$ con cambio escalón en referencias. ....	18
Fig. 2.8: Lazo de control de voltaje en eje d de la planta desacoplada equivalente. ....	21
Fig. 2.9: Simulación del inversor con control de voltajes ante cambio escalón en las referencias. ....	23
Fig. 2.10: Simulación del inversor con control de voltajes en PCC en ejes $dq$ con impactos de carga como perturbaciones. ....	24
Fig. 2.11: Esquema general de control centralizado de tensión en el PCC para 2 inversores en paralelo. ....	25
Fig. 2.12: Tensiones y corrientes en ejes $dq$ con control centralizado de tensión ante un impacto de carga. ....	27
Fig. 2.13: Curva de estatismo $P-w$ dada por el método <i>Droop Control</i> convencional descrito en [4]. ....	30
Fig. 2.14: Esquema de control general con método VSG. ....	31
Fig. 2.15: Simulación de lazo externo VSG ante un impacto de carga. ....	33
Fig. 3.1: Implementos de la etapa de potencia. ....	34
Fig. 3.2: Tarjetas de foto-emisores y foto-receptores. ....	36
Fig. 3.3: Tarjeta de adaptación de señales medidas. ....	37
Fig. 3.4: Modelo en bloques de SimuLink para generación de código base. ....	40
Fig. 3.5: Regresión Lineal para traducción de valores digitales a valores reales de tensión. ....	41
Fig. 3.6: Aproximación de una integral mediante método trapezoidal o Tustin. ....	42
Fig. 3.7: Formas de onda de tensión de fase a neutro de la carga y contenido armónico. ....	44
Fig. 3.8: Respuesta del lazo de control de corriente en ejes $dq$ . ....	46
Fig. 3.9: Respuesta del lazo de control de voltajes en ejes $dq$ . ....	48
Fig. 3.10: Respuesta del lazo de control VSG implementado con inversor operando en solitario. ....	50
Fig. 3.11: Respuesta del lazo de tensión común con corriente de referencia distribuida entre 2 inversores. ....	52
Fig. 3.12: Respuesta del lazo de control VSG implementado en uno de los 2 inversores conectados en paralelo. ....	53
Fig. 3.13: Comparativa control centralizado de voltaje. ....	<b>¡Error! Marcador no definido.</b>
Fig. 3.14: Comparativa lazo de control VSG. ....	<b>¡Error! Marcador no definido.</b>
Fig. A.1: Definición de tensiones de corriente a la salida del inversor y en el PCC. ....	64
Fig. A.2: Funciones de conmutación con período $T_s$ y ciclo de trabajo $d$ , durante un intervalo de conmutación. ....	66
Fig. B.1 : Modo de conteo “Up-Down” de un bloque EPWMx y período del contador. ....	78
Fig. B.2 : Generación de pulsos PWM a partir del módulo “Action-Qualifier” y las definiciones de acciones. ....	81
Fig. B.3 : Polaridades del par de señales a aplicar dead-band. ....	82
Fig. B.4 : Circuito equivalente de entrada de un canal ADC con señal de entrada de un solo pin. ....	85
Fig. B.5 : Giro del puntero que da prioridad a SOCx con método Round Robin. ....	86

Fig. D.1 : Conexiones de la tarjeta de desarrollo LAUNCHXL-F28379D..... 87



# Nomenclatura

## Matrices

$T_{abc-dq}$  : matriz de transformación de ejes  $abc$  a  $dq0$ , dimensión  $2 \cdot 3$ .

## Escalares

$v_{an}$  : Tensión desde el punto a al neutro de la carga. Lo análogo con  $v_{bn}$  y  $v_{cn}$ .

$s_1$  : Función de conmutación asociada a la 1ª pierna. Lo análogo con  $s_2$  y  $s_3$ .

$V_{DC}$  : Tensión de enlace DC.

$\hat{v}_{ab}$  : Amplitud de la tensión fundamental entre líneas.

$M$  : Amplitud de la moduladora.

$V_{DC}$  : Tensión de enlace DC.

$v_{Gd}, v_{Gq}$  : Tensiones de fase en el PAC en ejes  $d$  y  $q$ , respectivamente.

$v_{Cd}, v_{Cq}$  : Tensiones de fase en los terminales del inversor en ejes  $d$  y  $q$ , respectivamente.

$i_d, i_q$  : Corrientes de salida del inversor en ejes  $d$  y  $q$ , respectivamente.

$i_{dref}, i_{qref}$  : Referencias corrientes de salida del inversor en ejes  $d$  y  $q$ , respectivamente.

$m_d, m_q$  : Moduladoras en ejes  $d$  y  $q$ , respectivamente.

$L$  : Inductancia del filtro RLC serie a la salida del inversor.

$C$  : Capacitancia del filtro RLC serie a la salida del inversor.

$R$  : Resistencia del filtro RLC serie a la salida del inversor.

$w$  : Frecuencia de las tensiones en el PAC.

$v_i(s)$  : Tensiones de entrada del filtro, en el plano de Laplace.

$v_o(s)$  : Tensiones de salida del filtro, en el plano de Laplace.

$w_n$  : Frecuencia natural de oscilación.

$\xi$  : Factor de amortiguamiento.

$u_d, u_q$  : Entradas auxiliares de ejes  $d$  y  $q$ , respectivamente.

$y_d, y_q$  : Entradas auxiliares de ejes  $d$  y  $q$ , respectivamente.

$I_d(s), I_q(s)$  : T.de L. de corriente a la salida del inversor en ejes  $d$  y  $q$ , respectivamente.

$I_{d,ref}(s), I_{q,ref}(s)$  : T.de L. de corrientes de referencia de ejes  $d$  y  $q$ , respectivamente.

$V_{Gd}(s), V_{Gq}(s)$  : T.de L. de voltaje de fase en el PAC en ejes  $d$  y  $q$ , respectivamente.

$U_d(s), U_q(s)$  : T.de L. de entradas auxiliares de ejes  $d$  y  $q$ , respectivamente.

$Y_d(s), Y_q(s)$  : T.de L. de entradas auxiliares de ejes  $d$  y  $q$ , respectivamente.

$G_{idq}(s)$  : Función de transferencia del lazo de corriente ejes  $d$  y  $q$ .

$K_p$  : Constante proporcional del controlador PI.

$K_I$  : Constante integrativa del controlador PI.

$\tau_i$  : Constante de tiempo del lazo de control de corrientes en ejes  $d$  y  $q$  .

$k(s)$  : T.de L. del controlador PI de voltaje.

$z$  : Cero del controlador PI de voltaje.

$k$  : Factor multiplicador.

$\delta_m$  : Margen de fase del lazo de control de voltaje.

$P$  : Potencia activa entregada por el inversor.

$\omega_0$  : Frecuencia angular nominal de la red.

$P_0$  : Potencia mecánica virtual de entrada.

$J$  : Coeficiente de inercia.

$D$  : Coeficiente de amortiguamiento.

$\omega^*$  : Frecuencia de referencia.

$T$  : Constante de tiempo del lazo VSG.

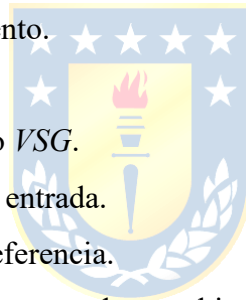
$P_0$  : Potencia mecánica virtual de entrada.

$W^*(s)$  : T.de L. de la frecuencia de referencia.

$P(s)$  : T.de L. de la potencia activa entregada por el inversor.

$\omega_{min}$  : Frecuencia angular mínima de la red.

$P_{max}$  : Potencia activa máxima entregada por el inversor.



# Abreviaciones

## Mayúsculas

PAC	: punto de acoplamiento común.
GFM	: Grid-Forming.
VSG	: Generador Síncrono Virtual.
AC	: corriente alterna.
DC	: corriente continua.
C.I.	: condiciones iniciales.
RMS	: valor eficaz.
BESS	: Sistema de Almacenamiento de Energía a través de Baterías.
PI	: proporcional integrativo.
E.E.	: estado estacionario.
T.de.L	: Transformada de Laplace.
F.de.T	: Función de Transferencia.
IGBT	: transistor bipolar de compuerta aislada.
DSP	: procesador digital de señales.
CPU	: central unitaria de procesos.
SPWM	: modulación por ancho de pulso senoidal.
ISR	: rutina de servicio de interrupción.
ADC	: periférico “Analog to Digital Converter”.
ePWM	: periférico “Enhanced Pulse Width Modulation”.
SPI	: periférico “Serial Port Interface”.
I2C	: periférico “Inter Integrated Circuit Module”.
CAN	: periférico “Controller Area Network”.
USB	: periférico “Universal Serial Bus”.

## Unidades de Medida

[V]	: Voltio.
[A]	: Amperio.
[s]	: Segundo.
[Hz]	: Hercio.
[H]	: Henrio.
[F]	: Faradio.
[rad]	: Radián.
[°]	: Grado sexagesimal.
[W]	: Vatio.
[J]	: Julio.
[ $\Omega$ ]	: Ohm.
[g]	: Gramo.

[m] : Metro.

### **Prefijos**

M : Mega ( $10^6$ ).

k : Kilo ( $10^3$ ).

m : Mili ( $10^{-3}$ ).

$\mu$  : Micro ( $10^{-6}$ ).

n : Nano ( $10^{-9}$ ).



# 1. Introducción

---

## 1.1. Introducción

A medida que pasa el tiempo se ha visto la inserción cada vez más notoria de generación de energía a partir de fuentes renovables no convencionales y del uso de unidades BESS en sistemas de potencia [1], unidades generadoras que comúnmente se conectan la red a través de inversores.

Con la mayor penetración de este tipo de generación de energía, los sistemas de potencia actuales se están convirtiendo en redes de potencia débiles y con poca inercia. Bajo esta condición pequeñas perturbaciones ocasionarán grandes fluctuaciones y desviaciones en la frecuencia de la red. [2]

Por otro lado en las microrredes, como redes de pequeña escala formada por generación distribuida, sistemas BESS y cargas interconectadas, se tienden a situar en ubicaciones donde se tiene la disponibilidad de fuentes de energía renovables no convencionales, generación a partir de energía renovable, gracias a su capacidad de escalabilidad, pueden ser potencialmente conectadas en cualquier punto de una microrred [3]. Al tener un número menor de unidades generadoras se hace necesario que estas nuevas unidades a partir de fuentes de energía renovables no convencionales que se introduzcan a la microrred tengan como interfaces inversores con la capacidad de formar la red, regulando la frecuencia y tensión en esta. [4]

Si bien, la idea de inversores formadores de red, o también llamados Grid-Forming (GFM), no es reciente, implementaciones de este tipo de control en redes no es muy común y las existentes están aún en etapas de testeado [5]. Así la implementación, en este caso experimental y enfocada a microrredes, es de gran utilidad para validar las propuestas de control que se han ideado y publicado en diferentes artículos de investigación con tal de darles un acercamiento a los aspectos prácticos que conllevan.

## 1.2. Trabajos Previos

En esta sección se presenta una revisión de libros y artículos científicos que toman importancia como principales referencias en el desarrollo de este proyecto. Estos se agrupan en 3 conjuntos: 1) Modelado y control de convertidores estáticos, compuesto por libros donde se dan directrices para el diseño de lazos de control de voltaje y corriente en inversores. 2) Control Grid-Forming, donde se describen artículos que explican y dan métodos de diseño de las técnicas Droop Control y VSG y 3) Control de convertidores conectados en paralelo, donde se explican estructuras para lograr el control en paralelo de inversores.

### 1.2.1 Modelado y Control de Convertidores Estáticos

- ♣ [6] A. Yazdani and R. Iravani “*Voltage-Sourced Converters in Power Systems*” Hoboken, NJ: John Wiley & Sons, 2010.

En este libro se aborda el análisis, modelado y control de convertidores electrónicos de potencia en el contexto de sistemas de potencia. Se concentra en la conversión y el acondicionamiento de potencia, presentando metodologías de análisis y diseño de control para una clase específica de convertidores electrónicos de alta potencia, a saber, el convertidor de fuente de voltaje trifásico (VSC). El libro no cubre detalles relativos a la implementación, pero sí proporciona un enfoque sistemático para el modelado de un sistema basado en VSC con respecto a su clase de aplicación y presenta un enfoque de diseño de control detallado para cada clase de aplicaciones.

En el desarrollo de este proyecto se utiliza como referencia frecuente los capítulos 8 y 9, en donde se detallan procedimientos de diseño de control de corriente y tensión respectivamente, dentro de un marco de referencias rotatorio.

- ♣ [7] J. Fang, J. Liu, H. Wu, J. Chen and F. Blaabjerg “*Grid Forming Converters: Principles, Control and Applications in Modern Power Systems*” Cambridge, MA: Academic Press, 2024.

Este libro es uno de los pioneros sobre convertidores formadores de red, abarcando los fundamentos, modelado y análisis de estabilidad, control, optimización y aplicaciones emergentes de los convertidores formadores de red. Sirve como libro de referencia para la introducción a los convertidores formadores de red, junto con su amplio uso en las redes eléctricas modernas.

Es de utilidad al explicar y detallar, en el capítulo 2, la estructura de control GFM basada en lazos dobles de voltaje y corriente en cascada, la cual es la utilizada en el desarrollo de este proyecto. Así mismo, presenta principios de operación de diversas estructuras de control GFM en el capítulo 4

### 1.2.2 Control Grid-Forming: Droop Control y VSG

- ♣ [8] S. Fazal, E. Haque, T. Arif and A. Gargoom “*Droop Control Techniques for Grid Forming Inverter*” *IEEE PES 14th APPEEC*, Melbourne, Australia, November 20-23th, 2022.

En este artículo los autores realizan una revisión de diversas técnicas de control GFM tipo Droop Control, de entre ellos la técnica convencional basada en el principio de operación en paralelo de generadores en sistemas de potencia, la técnica de impedancia y la técnica basada en caída de ángulo, en vez de frecuencia como en la técnica convencional. Finalmente realiza la simulación de la técnica Droop Control convencional en el contexto de una microrred formada por 2 inversores controlados por lazos duales de voltaje y corriente en cascada. Sus resultados revelan imprecisiones en la distribución de potencia reactiva entregada por los inversores.

Para el proyecto, se indican ecuaciones de diseño de los coeficientes que definen la curva de estatismo que define la relación, en estado estacionario, entre la potencia activa entregada por un inversor y la frecuencia de la tensión en el punto donde este se conecta a la red.

- ♣ [9] M. Guan, W. Pan, J. Zhang, Q. Hao, J. Cheng and Xiang Zheng “Synchronous Generator Emulation Control Strategy for Voltage Source Converter (VSC) Stations” *IEEE Transactions on Power Systems*, vol.30, no.6, November 2013.

En este artículo los autores formulan una manera sencilla de emular el funcionamiento de un generador síncrono para la regulación de frecuencia por parte de inversores fuente de voltaje a través de una representación lineal de la ecuación de oscilación de un generador síncrono, lo que desemboca en la adición de un término inercial de 1er orden a la ecuación estática que relaciona frecuencia y potencia activa en la técnica de Droop Control convencional. La frecuencia que se tiene como respuesta de este lazo se integra para obtener el ángulo de referencia utilizado en las conversiones dq/abc y viceversa. Al simular en un sistema de un inversor junto a dos generados síncronos en paralelo obtiene respuestas de frecuencia asociada a una mayor inercia en el sistema ante impactos de

carga, en contraste a la aplicación de la técnica Droop Control convencional.

La forma de tratar la ecuación de oscilación de un generador síncrono, simplificándola a una ecuación diferencial de 1er orden, es de gran utilidad en el proyecto al poder implementarse de una manera bastante sencilla y dando una ecuación de diseño directa para la constante inercial añadida.

- ♣ [10] T. Shintai, Y. Miura, T. Ise “Oscillation Damping of a Distributed Generator Using a Virtual Synchronous Generator” IEEE Transactions on Power Delivery, vol.29, no.2, April 2014.

Los autores emulan la acción de los devanados de amortiguamiento del rotor de un generador síncrono a través de la adición de un factor de amortiguamiento a la ecuación de oscilación comúnmente utilizada para el control GFM con técnica VSG, con el objetivo de disminuir oscilaciones en la potencia entregada. A partir de linealizaciones de las expresiones de potencia activa y reactiva entregada por un generador síncrono a la red, en conjunto con la ecuación de oscilación establecida, llegan a una ecuación lineal de 2do orden que establece la dinámica de la potencia activa. A partir de esto se desglosan ecuaciones de diseño para el factor de amortiguamiento añadido a la ecuación de oscilación. Finalmente, a partir de simulación y pruebas experimentales, demuestran la reducción de la oscilación en la potencia entregada por el inversor.

En el contexto del proyecto este artículo aclara las condiciones con las que puede ser tratada a la ecuación de oscilación, con la que se emula el comportamiento de un generador síncrono en el inversor, como una ecuación lineal de 1er orden.

### 1.2.3 Control de Convertidores Conectados en Paralelo

- ♣ [11] J.M. Guerrero, L. Hang and J. Uceda “Control of Distributed Uninterruptible Power Supply Systems” IEEE Transactions on Industrial Electronics, vol. 55, no. 8, August 2008.

En este artículo se presenta un estudio exhaustivo sobre las estrategias de control para sistemas distribuidos de alimentación ininterrumpida (UPS). Se revisan las principales configuraciones de estos sistemas y se detallan técnicas de control para su operación en paralelo, clasificadas en dos grandes categorías: control activo de reparto de carga, que requiere comunicación entre unidades, y control tipo droop, que permite operación autónoma sin enlaces críticos de comunicación. El artículo también aborda temas como la mitigación de corrientes circulantes y el reparto de cargas armónicas.

La estructura de control centralizado de voltaje, el cual se utiliza en la operación paralela de inversores en este proyecto, se inspira en la estructura presentada en este artículo.

#### *1.2.4 Discusión*

La literatura revisada demuestra el desarrollo continuado a lo largo de los años de métodos de control de convertidores estáticos. Esto ha llevado en las últimas décadas a la proposición de métodos de control Grid-Forming, aspirando regular la frecuencia en sistemas de potencia, tal como lo hacen convencionalmente los generadores síncronos.

Los métodos Grid-Forming descritos, con las directrices de diseño de los lazos de control específicos, demuestran en la mayoría de los casos el cumplimiento de los objetivos con los que se idearon. Sin embargo no se tienden a hacer pruebas experimentales para validar la metodología y diseño en contextos que se logren aproximar más a la realidad de su utilización en sistemas de potencia.

La validación a través de pruebas experimentales de menor escala, a pesar de no imitar perfectamente el contexto donde se plantea su uso, sirve como un paso para seguir perfeccionando los métodos de control propuestos e ir acercándose hacia la implementación de proyectos piloto en sistemas reales.

### **1.3. Hipótesis de Trabajo**

“El método de control Grid-Forming VSG logra regular la frecuencia en una microrred experimental conformada por 2 inversores y una cantidad discreta de cargas”

### **1.4. Objetivos**

#### *1.4.1 Objetivo General*

Desarrollar una estrategia de control Grid-Forming VSG para inversores conectados a una microrred.

#### *1.4.2 Objetivos Específicos*

- Fundamentar teóricamente el uso de control Grid-Forming VSG en inversores conectados

a una microrred.

- Simular el funcionamiento de inversores con control Grid-Forming conectados a una microrred.
- Implementar el método de control en una microrred conformada por 2 inversores conectados en paralelo a un número limitado de cargas.

### **1.5. Alcances y Limitaciones**

El proyecto se limita a la inclusión de 2 inversores conectados en paralelo a una microrred conformada los dos inversores y un número limitado de cargas resistivas. No se llega a implementar el método de control de inversores conectados a una red convencional. El lazo de control Grid-Forming VSG se implementa solo en uno de los inversores.

### **1.6. Temario y Metodología**

Esta Memoria de Título es dividida en 3 capítulos. En el Capítulo 1 se entrega una amplia introducción y se da contexto al proyecto realizado.

Dentro del Capítulo 2 se realiza el desarrollo teórico, diseño y simulación de los lazos de control internos de voltaje y corriente y el lazo de control GFM VSG. Luego, dentro del mismo capítulo, se dan detalles de la implementación experimental realizada y se muestran los resultados obtenidos de los lazos de control diseñados.

Finalmente, en el Capítulo 3 se realiza una recopilación y análisis de los resultados más importantes del Capítulo 2. A partir de esto se hace la síntesis de conclusiones y se plasma el trabajo futuro que puede realizarse a partir de lo abarcado en esta Memoria de Título.

## 2. Desarrollo Teórico

### 2.1. Introducción

En este capítulo, se desarrollarán los aspectos teóricos relacionados con los lazos de control a implementar, el posterior diseño de estos lazos y finalmente la implementación experimental. En primer lugar, se expone el modelo utilizado para el posterior control del inversor. Luego se desarrollan los lazos de control interno y, consecutivamente, se realiza su diseño según los requerimientos dados verificándose la eficacia de estos a través de simulaciones. Lo mismo se realiza con el lazo de control externo VSG. Luego se muestra lo realizado en la implementación experimental, en donde se entrega contexto de los implementos, configuraciones del dispositivo que realiza el control, entre otros. Finalmente, se muestran los resultados obtenidos de los lazos de control en esta implementación para la síntesis de conclusiones en el siguiente capítulo.

### 2.2. Desarrollo y Simulación de Lazos de Control

#### 2.2.1 Inversor Trifásico Fuente de Voltaje, SPWM y Modelo en Ejes dq.

El inversor fuente de voltaje al que se hará referencia de acá en adelante, y que será la topología a partir de la que se desarrollará el control, es un inversor fuente de voltaje trifásico de dos niveles. En el lado de AC se tiene un filtro RLC serie, cuyo objetivo es atenuar las armónicas propias de la tensión generada con método SPWM en los terminales AC del inversor, con tal de que esta sea lo más sinusoidal posible en el punto de acoplamiento a la red (PAC).

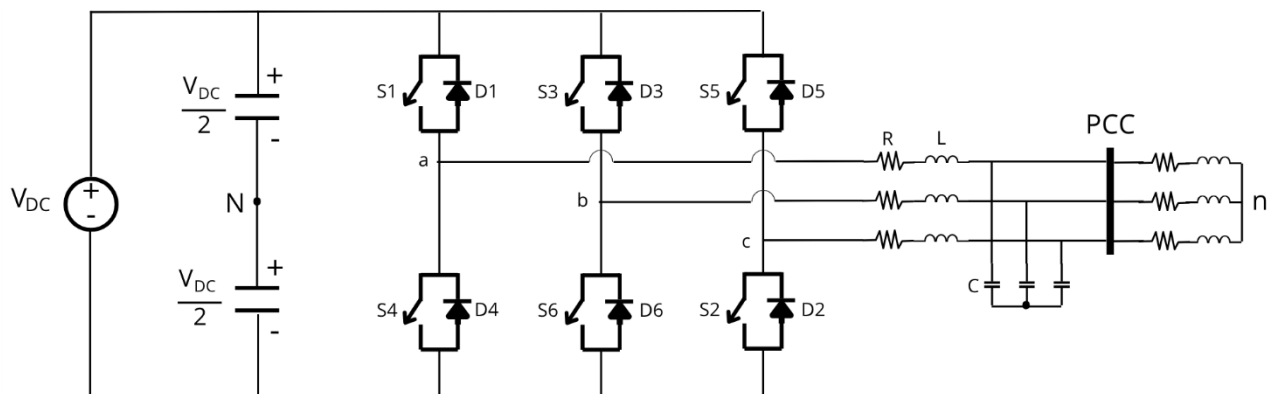


Fig. 2.1: Inversor trifásico conectado al PAC a través de un filtro RLC.

En la Figura 2.1, a la cual se hace referencia de aquí en adelante, se muestra un inversor trifásico fuente de voltaje conectado al PAC a través de un filtro RLC, desde donde se alimenta una carga R-L. La tensión en el enlace DC es  $V_{DC}$ . Para simplificar el análisis se incorporan 2 condensadores, cada uno con tensión  $\frac{V_{DC}}{2}$ . El punto medio entre los condensadores del enlace DC es denominado N. Cada una de las tres piernas del inversor está compuesta por 2 switches donde cada uno de estos está formado por la conexión en antiparalelo de un transistor  $S_n$  y un diodo  $D_n$ . Esto último permite la conducción tanto por el transistor como por el diodo en antiparalelo correspondiente, según la dirección de la corriente de fase respectiva.

En la primera pierna, si el transistor  $S_1$  está encendido y  $S_4$  no, entonces la tensión entre el punto medio de la primera pierna, denominado a, y el punto medio de los capacitores de enlace DC “N” será de  $v_{aN} = \frac{V_{DC}}{2}$ . Por el contrario, si el transistor S1 está apagado y S4 encendido, entonces  $v_{aN} = -\frac{V_{DC}}{2}$ . Es prohibitivo el caso donde tanto S1 como S4 están encendidos debido a que se originaría un cortocircuito del enlace DC a través de la primera pierna. El caso donde S1 y S4 están apagados no es deseado dado a que en tal caso es la dirección de la corriente de fase respectiva quien indica cual switch conduce, esto a través de los diodos en antiparalelo. Por lo tanto, es la corriente quien determina la tensión  $v_{aN}$  en esos casos, con lo que no se tendría control directo sobre esta tensión al depender únicamente de la carga y, por consecuencia, tampoco sobre la tensión en el PAC.

Con esta premisa la función de conmutación  $s_1$  del transistor S1, que origina el encendido y apagado de este, es complementaria a la del transistor S4, denominada  $s_4$ . Suponiendo a estas señales como binarias, donde  $s_1 = 1$  enciende el transistor S1 y  $s_1 = 0$  lo apaga, es posible llegar a las ecuaciones que dan origen al *modelo conmutado* de este inversor trifásico, dadas por:

$$v_{an} = \left( \frac{2}{3}s_1 - \frac{1}{3}s_2 - \frac{1}{3}s_3 \right) V_{DC} \quad (2.2-1)$$

$$v_{bn} = \left( -\frac{1}{3}s_1 + \frac{2}{3}s_2 - \frac{1}{3}s_3 \right) V_{DC} \quad (2.2-2)$$

$$v_{cn} = \left( -\frac{1}{3}s_1 - \frac{1}{3}s_2 + \frac{2}{3}s_3 \right) V_{DC} \quad (2.2-3)$$

donde,

$v_{an}$  : Tensión desde el punto a al neutro de la carga. Lo análogo con  $v_{bn}$  y  $v_{cn}$ .

- $s_1$  : Función de conmutación asociada a la 1ª pierna. Lo análogo con  $s_2$  y  $s_3$ .  
 $V_{DC}$  : Tensión de enlace DC.

Su obtención es detallada en el **Anexo A.2**.

Desde acá se observa la posibilidad de controlar las tensiones de fase a neutro a través de las funciones de conmutación  $s_1$ ,  $s_2$  y  $s_3$ . Existen diversas técnicas de generaciones de estas funciones de conmutación. La modulación por ancho de pulso senoidal (SPWM) es la de uso más común. [12]

Como el voltaje de salida deseado es una onda senoidal, se utiliza una señal moduladora de la misma naturaleza como la señal de referencia en la generación de las funciones de conmutación relativas a cada pierna. Al tratarse de un sistema trifásico en el lado de AC, se utilizan tres moduladoras de igual amplitud desfasadas en  $120^\circ$  entre sí.

Ya que la amplitud máxima del voltaje de fase fundamental en la región lineal de modulación, donde la amplitud de las moduladoras  $M \leq 1$ , es de  $\frac{V_{DC}}{2}$  [12], la amplitud máxima del voltaje fundamental de salida entre líneas de AC es  $\frac{\sqrt{3}V_{DC}}{2}$ . Por consiguiente, se puede escribir la amplitud de esta tensión entre líneas, para  $0 < M \leq 1$ , como:

$$\hat{v}_{ab} = M \frac{\sqrt{3}V_{DC}}{2} \quad (2.2-4)$$

donde,

$\hat{v}_{ab}$  : Amplitud de la tensión fundamental entre líneas.

$M$  : Amplitud de la moduladora.

$V_{DC}$  : Tensión de enlace DC.

Para objetivos de control se hace uso del modelo promedio en ejes  $dq$  del inversor fuente de voltaje trifásico conectado al punto de acoplamiento a través de un filtro RLC, descrito por las siguientes ecuaciones:

$$v_{Gd} = -Ri_d - L \frac{d(i_d)}{dt} + Lwi_q + \frac{m_d}{2} V_{DC} \quad (2.2-5)$$

$$v_{Gq} = -Ri_q - L \frac{d(i_q)}{dt} - Lwi_d + \frac{m_q}{2} V_{DC} \quad (2.2-6)$$

$$i_d = C \frac{d(v_{Gd})}{dt} - Cwv_{Gq} + i_{Ld} \quad (2.2-7)$$

$$i_q = C \frac{d(v_{Gq})}{dt} + Cwv_{Gd} + i_{Ld} \quad (2.2-8)$$

donde,

$v_{Gd}$ ,  $v_{Gq}$  : Tensiones de fase en el PAC en ejes  $d$  y  $q$ , respectivamente.

$i_d$ ,  $i_q$  : Corrientes de salida del inversor en ejes  $d$  y  $q$ , respectivamente.

$m_d$ ,  $m_q$  : Moduladoras en ejes  $d$  y  $q$ , respectivamente.

$L$  : Inductancia del filtro RLC serie a la salida del inversor.

$C$  : Capacitancia del filtro RLC serie a la salida del inversor.

$R$  : Resistencia del filtro RLC serie a la salida del inversor.

$w$  : Frecuencia de las tensiones en el PAC.

$V_{DC}$  : Tensión de enlace DC.

En este marco de referencias las variables sinusoidales trifásicas se comportan como variables DC, pudiendo así aplicarse métodos de control clásico [7]. La obtención de este modelo se detalla en el **Anexo A.2**.

### 2.2.2 Filtro RLC Serie

El objetivo principal del uso de un filtro pasa-bajos como interfaz entre el inversor y el PAC es lograr atenuar las componentes armónicas asociadas a la conmutación del inversor de la tensión de salida de este. Esto es necesario dado a requerimientos de bajo contenido armónico de la tensión en una red.

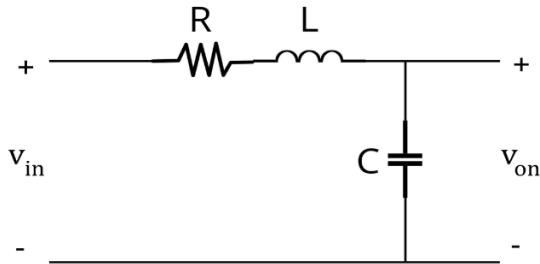
En la Figura 2.2, y bajo el supuesto de tensiones e impedancias balanceadas, se muestra el circuito equivalente monofásico del filtro RLC. Este relaciona su tensión de salida  $v_o(s)$  con su tensión de entrada  $v_i(s)$ , bajo el supuesto de C.I. nulas y que no circula corriente hacia el PAC, a través de la siguiente función de transferencia en el plano s:

$$\frac{v_o(s)}{v_i(s)} = \frac{1}{s^2 + \frac{R}{L}s + \frac{1}{LC}} \quad (2.2-9)$$

donde,

$v_i(s)$  : Tensiones de entrada del filtro, en el plano de Laplace.

$v_o(s)$  : Tensiones de salida del filtro, en el plano de Laplace.



**Fig. 2.2: Circuito equivalente monofásico de un filtro RLC serie.**

Este filtro RLC pasa bajos es un sistema lineal de 2do orden. La función de transferencia canónica de un sistema de 2do orden es la que sigue:

$$G_{LPF}(s) = G_{DC} \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Al hacer la comparativa con la función de transferencia de la ecuación (2.2-9), se llega a que:

$$\omega_n = \sqrt{\frac{1}{LC}} \quad (2.2-10)$$

$$\xi = \frac{1}{2R} \sqrt{\frac{L}{C}} \quad (2.2-11)$$

donde,

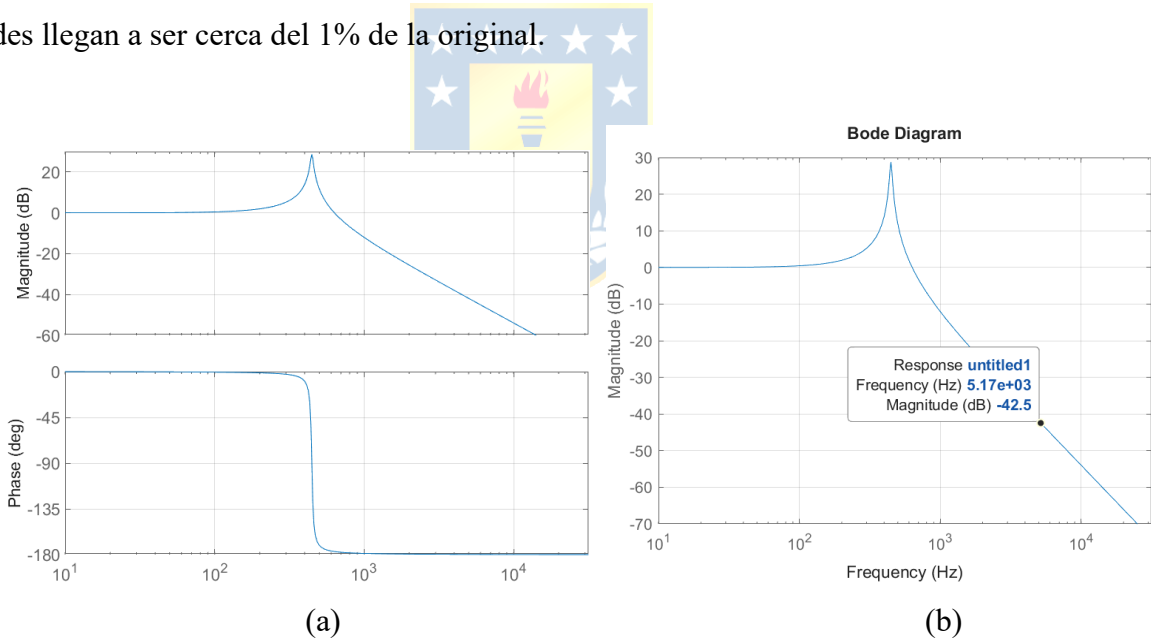
$\omega_n$  : Frecuencia natural de oscilación.

$\xi$ : Factor de amortiguamiento.

Si se desea atenuar razonablemente las armónicas asociadas a la conmutación, las cuales se

encuentran en torno a la frecuencia de conmutación  $f_c$  y sus múltiplos, entonces es una buena elección situar la frecuencia natural de oscilación a una frecuencia de  $\frac{f_c}{10}$  [Hz]. Si se elige un valor de capacitancia a partir de valores estándares en capacitores de AC, como por ejemplo  $C = 9.4$  [ $\mu F$ ], y además se establece que la frecuencia de conmutación del inversor, por restricciones de disipación térmica, será de  $f_c = 5$  [kHz] entonces se llega a que el valor de inductancia requerida por el filtro es de  $L = 10.8$  [mH].

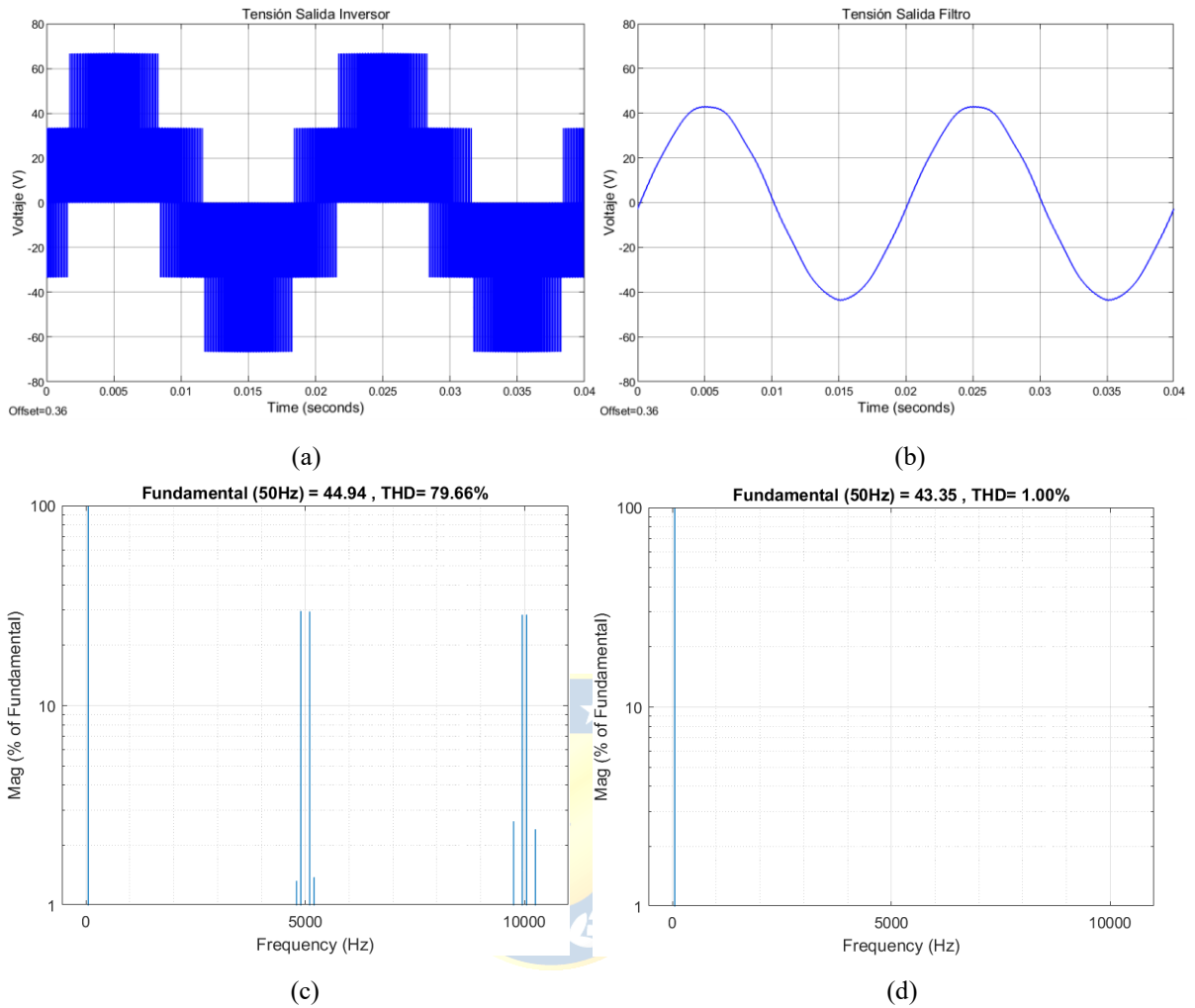
Sin embargo, en el contexto de la implementación, se disponen de condensadores de  $C = 9.4$  [ $\mu F$ ] con resistencia equivalente en paralelo de  $R = 3$  [M $\Omega$ ] e inductores de  $L = 13.5$  [mH], con resistencia equivalente en serie de  $R = 1.4$  [ $\Omega$ ]. En la Figura 2.3 se muestra la respuesta en frecuencia del filtro RLC serie dado por estos valores, generada con un barrido de frecuencia en el software  $\text{\textcircled{R}}\text{MATLAB}$  SimunLink. La atenuación a la frecuencia de conmutación es de  $-40$  [dB] aproximadamente, atenuándose las componentes armónicas en torno a la frecuencia  $f_c$  tal que sus magnitudes llegan a ser cerca del 1% de la original.



**Fig. 2.3: Respuesta en frecuencia del filtro RLC a implementar.**

- (a) Vista general de magnitud en [dB] y fase en [ $^\circ$ ]. (b) Vista acercada de la magnitud a la frecuencia de corte y a la frecuencia del 1er set de componentes armónicas asociadas a la conmutación.

Se simula un inversor trifásico con tensión de enlace  $V_{DC} = 50$  [V] operando en lazo abierto con índice de modulación 0.9. En la Figura 2.4 se muestran las formas de ondas de la tensión de fase a neutro a la salida del inversor sin filtro y la tensión de fase a neutro ya filtrada.



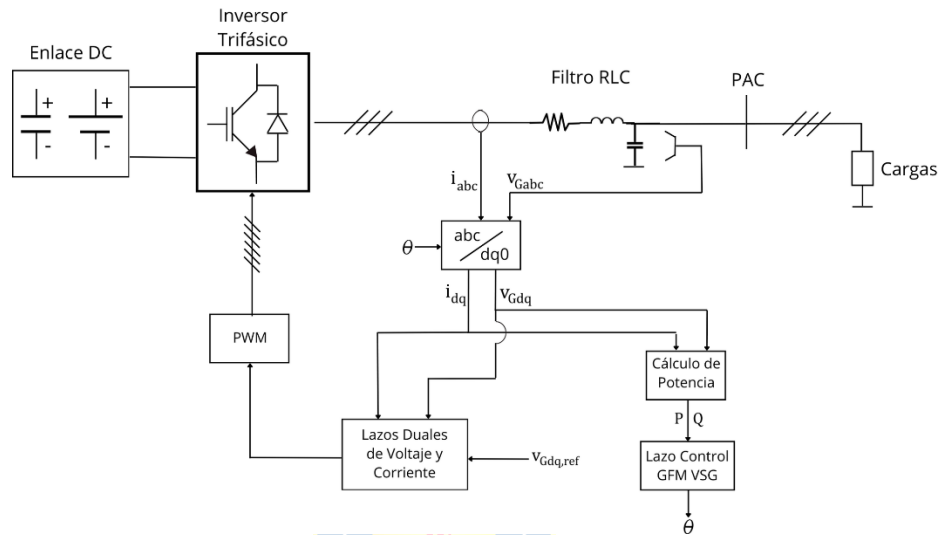
**Fig. 2.4: Formas de onda de tensión de fase a neutro sin filtro y luego de incorporar el filtro RLC.**  
 (a) Tensión sin filtrar. (b) Tensión filtrada, a la salida del filtro RLC. (c) Contenido armónico de (a). (d) Contenido armónico de (b).

De las últimas gráficas se observa la gran atenuación, quedando una magnitud bajo el 1% respecto a la fundamental del conjunto de armónicas en torno a la frecuencia de conmutación. Para múltiplos de esta frecuencia la atenuación es mucho mayor, validándose el diseño del filtro.

### 2.2.3 Lazos de Control Interno de Corriente y Voltaje

El control GFM basado en lazos internos dobles de tensión y corriente es, posiblemente, la estructura GFM más conocida [7]. El lazo de control interno se compone de dos lazos en cascada, el interior de corriente y el exterior de voltaje, ambos controlados a través de controladores PI que

procesan el error entre la referencia dada y su la medición de la variable respectiva, en ejes  $d$  y  $q$  por separado. Se opta por el uso de controladores PI pues es el más ampliamente utilizado en la electrónica de potencia, debido a su simplicidad y estabilidad.[16]. En la Figura 2.5 se muestra un diagrama generalizado de un inversor con control GFM basado en esta estructura.



**Fig. 2.5: Estructura general de control GFM con lazo dual de tensión y corriente.**

En esta estructura el controlador de voltaje, que regula el voltaje de salida instantáneo en el PAC, genera una corriente de referencia para el lazo de corriente interno. Posteriormente, un controlador de corriente para regula la corriente de salida del inversor según esta corriente de referencia y genera la referencia de voltaje terminal, justo a la salida del inversor, para la modulación por ancho de pulsos. [7].

Para propósitos de simulación de los lazos internos de control, valga decir voltajes y corrientes en ejes  $dq$ , el ángulo de fase utilizado para las conversiones  $abc-dq$  y viceversa será entregado por un oscilador que entrega un ángulo entre  $0$  y  $2\pi$  [rad] generado mediante la integración de una frecuencia angular constante, escogida en este caso como  $\omega_0 = 2\pi * 50$ [rad/s].

### Control de Corriente en Ejes $dq$

Las dinámicas de la corriente en el marco de referencias rotatorio  $dq$  quedan descritas por las ecuaciones (2.2-5) y (2.2-6). En estas se observa el acoplamiento entre ejes  $d$  y  $q$  a través de los

términos  $wLi_q$  y  $wLi_d$ , respectivamente. En estas ecuaciones la variable a controlar son las corrientes  $i_d$  e  $i_q$ . Para el diseño de los lazos de control no se consideran las perturbaciones dadas por las corrientes de carga  $i_{Ld}$  e  $i_{Lq}$  de las ecuaciones (2.2-5) y (2.2-6).

Desde la obtención el modelo promedio del inversor en ejes  $dq$  se puede establecer que:

$$v_{Cd} = \frac{V_{DC}}{2} m_d \quad (2.2-12)$$

$$v_{Cq} = \frac{V_{DC}}{2} m_q \quad (2.2-13)$$

donde,

$v_{Cd}, v_{Cq}$ : Tensiones de fase en los terminales del inversor en ejes  $d$  y  $q$ , respectivamente.

$m_d, m_q$ : Moduladoras en ejes  $d$  y  $q$ , respectivamente.

$V_{DC}$ : Tensión de enlace DC.

Entonces se definen nuevas variables de entrada,  $u_d$  y  $u_q$ , tal que:

$$m_d = \frac{2}{v_{DC}} (u_d - Lwi_q + v_{Gd}) \quad (2.2-14)$$

$$m_q = \frac{2}{v_{DC}} (u_q + Lwi_d + v_{Gq}) \quad (2.2-15)$$

donde,

$u_d, u_q$ : Entradas auxiliares de ejes  $d$  y  $q$ , respectivamente.

Al sustituir esto último en (2.2 – 12) y (2.2 – 13), respectivamente:

$$v_{Cd} = u_d - Lwi_q + v_{Gd}$$

$$v_{Cq} = u_q + Lwi_d + v_{Gq}$$

Y al incluir esto último en (2.2 – 5) y (2.2 – 6) respectivamente, se llega a que:

$$L \frac{di_d}{dt} = -Ri_d + u_d$$

$$L \frac{di_q}{dt} = -Ri_q + u_q$$

Quedando así el sistema desacoplado y con una función de transferencia idéntica en eje  $d$  y  $q$ ,

dada por:

$$\frac{I_d(s)}{U_d(s)} = \frac{I_q(s)}{U_q(s)} = \frac{1}{sL + R} \quad (2.2-16)$$

donde,

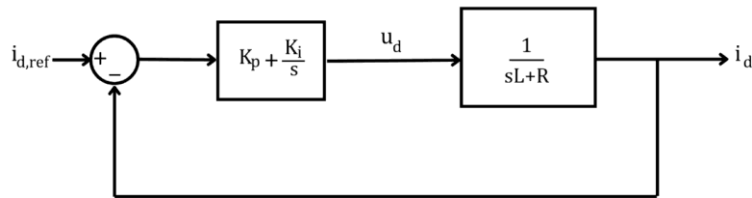
$I_d(s), I_q(s)$  : T.de L. de corriente a la salida del inversor en ejes  $d$  y  $q$ , respectivamente.

$U_d(s), U_q(s)$  : T.de L. de entradas auxiliares de ejes  $d$  y  $q$ , respectivamente.

$R$  : Resistencia del filtro RLC.

$L$  : Inductancia del filtro RLC.

Las últimas representando la planta del sistema desacoplado equivalente en ejes  $d$  y  $q$ , por separado, que define las dinámicas en L.A. de las corrientes  $i_d$  e  $i_q$  respecto a sus entradas  $u_d$  y  $u_q$  respectivas. En la Figura 2.6 se muestra el lazo de control de corriente en eje  $d$ , con la planta equivalente desacoplada, y controlado mediante un controlador PI.



**Fig. 2.6: Lazo de control de corriente en eje d de la planta desacoplada equivalente.**

El lazo de control de corriente en eje  $q$  sigue la misma estructura.

Se considera que el actuador de este sistema realimentado, que es la generación de pulsos SPWM, no aporta un retraso significativo entre el error procesado por el controlador PI y la entrada de la planta. Para justificar esta idealización, la señal de entrada al proceso de modulación SPWM debe variar lentamente en comparación con la frecuencia de conmutación, y esta última debe ser lo suficientemente alta como para que los efectos del rizado en la señal de realimentación puedan ser despreciados. [15]

Tal como es mostrado en la Figura 2.6, la función de transferencia de un controlador PI puede ser representada por una ganancia proporcional  $K_p$  sumado a una ganancia integral  $K_i$  que multiplica al término integrador  $\frac{1}{s}$ , en el plano de Laplace. Al ser la planta un sistema tipo 0; sin polos en el

origen, el controlador PI asegura cero errores en E.E. respecto a una entrada de referencia escalón.

Mediante un método de cancelación polo-cero de la función de transferencia de lazo directo del sistema de control al que hace referencia la Figura 2.6, cuya demostración es detallada en el **Anexo B.1**, se llega a las siguientes ecuaciones de diseño:

$$K_P = \frac{L}{\tau_i} \quad (2.2-18)$$

$$K_I = \frac{R}{\tau_i} \quad (2.2-19)$$

$$\frac{1}{\tau_i} = \frac{2\pi f_c}{10} \quad (2.2-20)$$

donde,

$K_P$  : Constante proporcional del controlador PI.

$K_I$  : Constante integrativa del controlador PI.

$L$  : Inductancia del filtro RLC.

$R$  : Resistencia del filtro RLC.

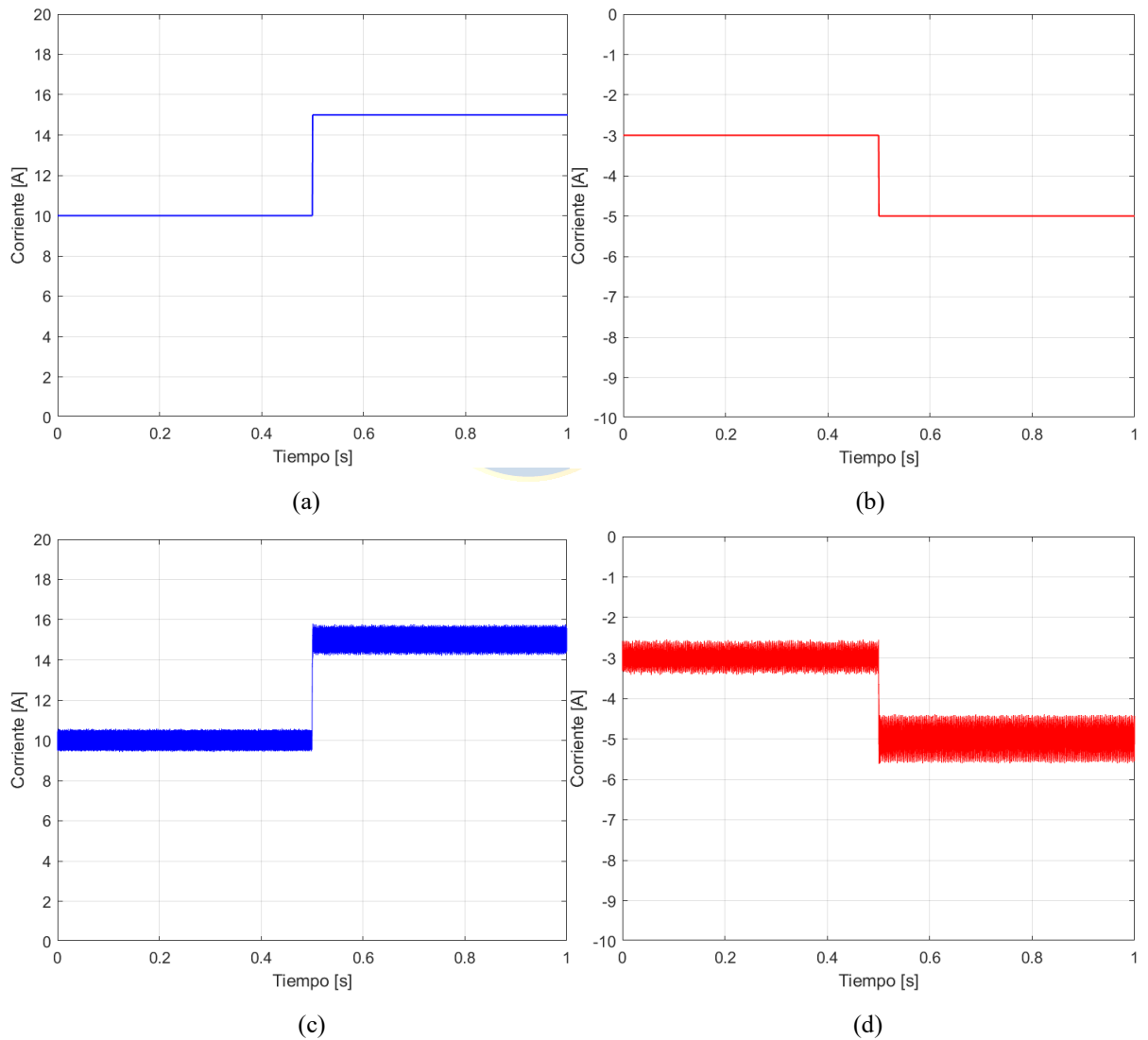
$\tau_i$  : Constante de tiempo del lazo de control de corrientes en ejes  $d$  y  $q$ .

El método dicho logra que el lazo de control de corriente tenga una dinámica de 1er orden. Con los valores a utilizar en la implementación de  $L = 13.5[mH]$ ,  $R = 1.4[\Omega]$  y  $f_c = 5[kHz]$  se llega a que las constantes del controlador PI utilizados en los lazos de control de las corrientes en eje  $dq$  son de  $K_I = 42.45$  y  $K_P = 4402.52$ .

En la primera simulación, se prueba el sistema de control con un cambio escalón en las referencias. Los parámetros de la simulación se encuentran en la Tabla 2.1. En la Figura 2.7 se muestran los resultados de la simulación, en cuanto al seguimiento de las referencias por parte de las corrientes a las salidas del inversor en ejes  $dq$ .

**Tabla 2.1 Parámetros Simulación Lazo de Corriente**

Parámetro	Valor
Tensión Enlace DC $V_{DC}$	800 V
Referencia Inicial Eje d $i_{dref0}$	0 A
Referencia Inicial Eje q $i_{qref0}$	0 A
Instante de Cambio Referencias $t_1$	0.1 s
Potencia Activa Nominal $P$	10 kW
Potencia Reactiva Nominal $Q$	5 kVAr
Referencia Final Eje d $i_{dref}$	15 A
Referencia Final Eje q $i_{qref}$	-5 A



**Fig. 2.7: Simulación del inversor con control de corrientes en  $dq$  con cambio escalón en referencias.**

(a) Referencia corriente  $i_d$ . (b) Referencia corriente  $i_q$ . (c) Respuesta corriente  $i_d$ . (d) Respuesta corriente  $i_q$ .

## Control de Voltajes en Ejes $dq$

Las ecuaciones (2.2-7) y (2.2-8) definen el comportamiento dinámico de las tensiones en el punto de acoplamiento a la red PAC,  $v_{Gd}$  y  $v_{Gq}$ , en ejes  $dq$ . Estas ecuaciones se establecen sin considerar a las corrientes de carga  $i_{Ld}$  e  $i_{Lq}$ , las cuales son perturbaciones, en el diseño de los lazos de control. Al observar las ecuaciones, tal como en las ecuaciones dinámicas de las corrientes, se tiene un acoplamiento entre variables de eje  $d$  y  $q$  por los términos  $wCv_{Gq}$  y  $wCv_{Gd}$ .

Como se estableció previamente, las corrientes en ejes  $d$  y  $q$  son controladas por sus respectivas referencias  $i_{d,ref}$  e  $i_{q,ref}$  en conjunto con sus compensadores PI. Si se definen dos nuevas señales de control  $y_d$  e  $y_q$  tal que:

$$i_{d,ref} = y_d - Cwv_{Gq} \quad (2.2-21)$$

$$i_{q,ref} = y_q + Cwv_{Gd} \quad (2.2-22)$$

donde,

$v_{Gd}, v_{Gq}$  : Tensiones de fase en el PAC en ejes  $d$  y  $q$ , respectivamente.

$y_d, y_q$  : Entradas auxiliares de ejes  $d$  y  $q$ , respectivamente.

$i_{d,ref}, i_{q,ref}$  : Referencias de corrientes de eje  $d$  y  $q$ , respectivamente.

$C$  : Capacitancia del filtro RLC serie a la salida del inversor.

$w$  : Frecuencia de las tensiones en el PAC.

Luego del diseño del controlador de corriente, se obtuvo una función de transferencia del lazo de control de corriente con la forma:

$$\frac{I_d(s)}{I_{d,ref}(s)} = \frac{I_q(s)}{I_{q,ref}(s)} = G_{idq}(s) = \frac{1}{\tau_i s + 1} \quad (2.2-23)$$

donde,

$I_d(s), I_q(s)$  : T.de L. de corriente a la salida del inversor en ejes  $d$  y  $q$ , respectivamente.

$I_{d,ref}(s), I_{q,ref}(s)$  : T.de L. de corrientes de referencia de ejes  $d$  y  $q$ , respectivamente.

$G_{idq}(s)$  : F.de T. del lazo de control de corrientes en ejes  $d$  y  $q$ .  
 $\tau_i$  : Constante de tiempo del lazo de control de corriente.

Al aplicar Transformada de Laplace a las ecuaciones (2.2 – 21) y (2.2 – 22) y, consecutivamente, multiplicar las ecuaciones por  $G_{idq}(s)$ , se puede llegar a que:

$$\begin{aligned} I_{d,ref}(s)G_{idq}(s) &= I_d(s) = Y_d(s)G_{idq}(s) - C\mathcal{L}\{wv_{Gq}\}G_{idq}(s) \\ I_{q,ref}(s)G_{idq}(s) &= I_q(s) = Y_q(s)G_{idq}(s) + C\mathcal{L}\{wv_{Gd}\}G_{idq}(s) \end{aligned}$$

Donde  $\mathcal{L}\{wv_{Gq}\}$  y  $\mathcal{L}\{wv_{Gd}\}$  son la Transformada de Laplace de los términos  $wv_{Gq}$  y  $wv_{Gd}$ , respectivamente. Al aplicar Transformada de Laplace a las ecuaciones (2.2 – 7) y (2.2 – 8), y luego reemplazar  $I_d(s)$  e  $I_q(s)$  a partir de la ecuación (2.2 – 23), se obtiene:

$$\begin{aligned} sCV_{Gd}(s) &= C\left(1 - G_{idq}(s)\right)\mathcal{L}\{wv_{Gq}\} + Y_d(s)G_{idq}(s) \\ sCV_{Gq}(s) &= -C\left(1 - G_{idq}(s)\right)\mathcal{L}\{wv_{Gd}\} + Y_q(s)G_{idq}(s) \end{aligned}$$

Bajo el supuesto de que  $G_{idq}(s)$  tiene ganancia DC unitaria, entonces  $(1 - G_{idq}(s))$  tiene ganancia DC igual a 0. Además, si  $G_{idq}(s)$  tiene un ancho de banda relativamente grande, entonces  $G_{idq}(s) \approx 1$  y  $(1 - G_{idq}(s)) \approx 0$  para un amplio rango de frecuencias. [6] Tomando estas consideraciones, se puede establecer las siguientes relaciones:

$$\frac{V_{Gd}(s)}{Y_d(s)} = \frac{V_{Gq}(s)}{Y_q(s)} = \frac{1}{sC}G_{idq}(s) \quad (2.2-24)$$

donde,

$V_{Gd}(s), V_{Gq}(s)$ : T.de L. de voltaje de fase en el PAC en ejes  $d$  y  $q$ , respectivamente.

$Y_d(s), Y_q(s)$  : T.de L. de entradas auxiliares de ejes  $d$  y  $q$ , respectivamente.

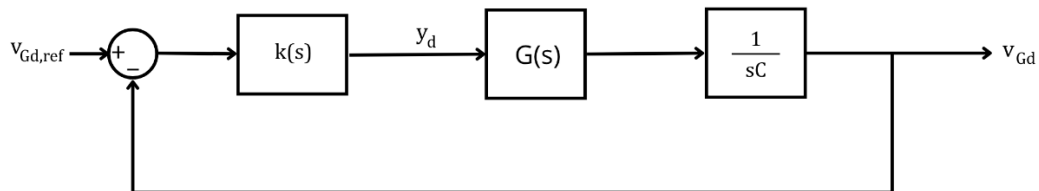
$G_{idq}(s)$  : F.de T. del lazo de control de corrientes en ejes  $d$  y  $q$ .

$C$  : Capacitancia del filtro RLC serie a la salida del inversor.

Con lo que se logra el desacoplamiento entre las dinámicas de las tensiones en eje  $d$  y  $q$  en el

PAC. Las tensiones  $v_{Gd}$  y  $v_{Gq}$  son controladas independientemente por las entradas  $y_d$  e  $y_q$  respectivas.

En la Figura 2.8., a partir de la ecuación (2.2-24), se muestra un esquema de control realimentado, con la utilización de controladores PI cuya función de transferencia es  $k(s)$ .



**Fig. 2.8: Lazo de control de voltaje en eje d de la planta desacoplada equivalente.**

Este lazo de control, que incluye un controlador PI, es idéntico para el eje  $q$ .

Luego de definir nuevas entradas  $y_d$  e  $y_q$  tal que cumplan con las ecuaciones (2.2 – 21) y (2.2 – 22), y cumpliéndose que el ancho de banda del lazo de control de corriente  $G_i(s)$  es relativamente grande, dado a se eligió  $w_{BW,i} = \frac{1}{\tau_i} = \frac{2\pi f_c}{10} \approx 3140 [rad/s]$ , se llegan a las relaciones entre estas nuevas entradas y las tensiones de fase en el PAC, en ejes  $dq$ , dadas por la ecuación (2.2 – 24).

El sistema en lazo directo del sistema de control de la Figura 2.8 tiene un polo en  $s = 0$  y otro en  $s = -\frac{1}{\tau_i}$ . Para un sistema de este tipo un controlador simple para cumplir con un rápido comportamiento dinámico y error en E.E. igual a 0 es un controlador PI. Si se asume que el controlador tiene la forma:

$$k(s) = k \frac{s + z}{s} \quad (2.2-25)$$

donde,

$k(s)$  : T.de L. del controlador PI de voltaje.

$z$  : Cero del controlador PI de voltaje.

$k$  : Factor multiplicador.

Se puede aplicar el método de diseño óptimo simétrico [6], con el cual se sintetizan las siguientes ecuaciones de diseño, demostradas en el **Anexo B.2**:

$$\delta_m = \text{sen}^{-1} \left( \frac{1 - z\tau_i}{1 + z\tau_i} \right) \quad (2.2-26)$$

$$k = C\sqrt{z\tau_i^{-1}} \quad (2.2-27)$$

donde,

$\delta_m$  : Margen de fase del lazo de control de voltaje.

$C$  : Capacitancia del filtro RLC serie a la salida del inversor.

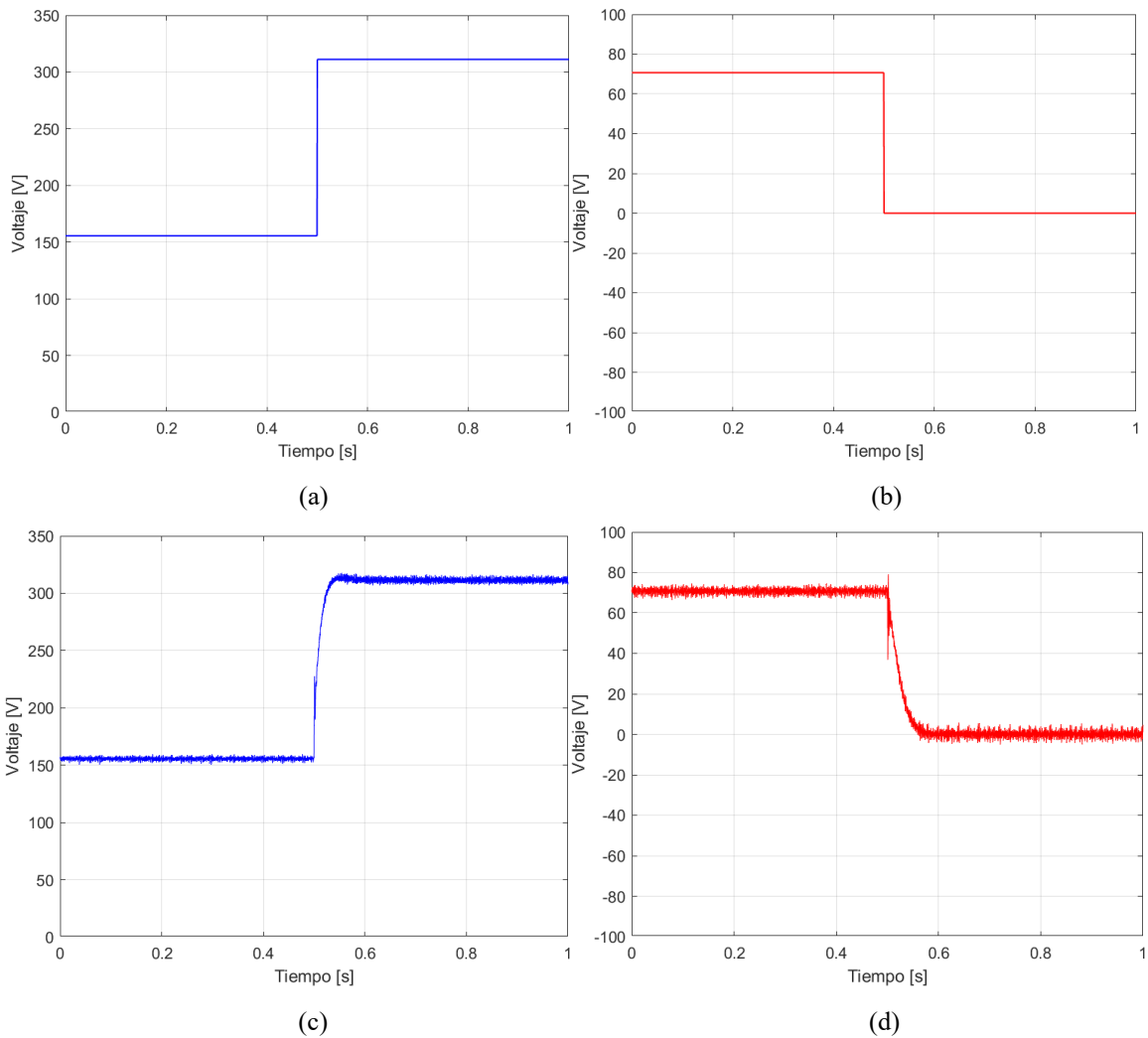
Se puede demostrar que la función de transferencia en lazo cerrado  $G_v(s) = \frac{l(s)}{1+l(s)}$  tendrá un polo en  $s = -w_c$  y otros 2 polos complejos y conjugados sobre la circunferencia de radio  $-w_c$ . Si se escoge un margen de fase de  $\delta_m = 45^\circ$ , entonces que el factor de amortiguamiento asociado a estos últimos polos será de  $\xi = 0.707$ . [6]

Al escoger  $\delta_m = 45^\circ$  y teniendo en cuenta, desde el diseño del lazo de control de corriente, que  $\frac{1}{\tau_i} \approx 3140$  [rad/s] se llega a que los parámetros del controlador PI requeridos, asociados a la ecuación (2.2-25) son  $k = 0.0122$  y  $z = 539.01$ .

En la Figura 2.9 se muestran los resultados de la primera simulación del funcionamiento del lazo de control de voltajes con los parámetros dados en la Tabla 2.2, en donde se realiza un cambio escalón en las referencias de voltajes en eje  $d$  y eje  $q$ .

**Tabla 2.1 Parámetros Simulación 1 Lazo de Voltaje**

Parámetro	Valor
Tensión Enlace DC $V_{DC}$	800 V
Referencia Inicial Eje d $v_{Gdref0}$	$100\sqrt{2}$ V
Referencia Inicial Eje q $v_{Gqref0}$	$-50\sqrt{2}$ V
Instante de Cambio Referencias $t_1$	0.5 s
Potencia Activa Nominal Cargas $P$	10 kW
Potencia Reactiva Nominal Cargas $Q$	5 kVAr
Referencia Final Eje d $v_{Gdref}$	$220\sqrt{2}$ V
Referencia Final Eje q $v_{Gqref}$	0 V



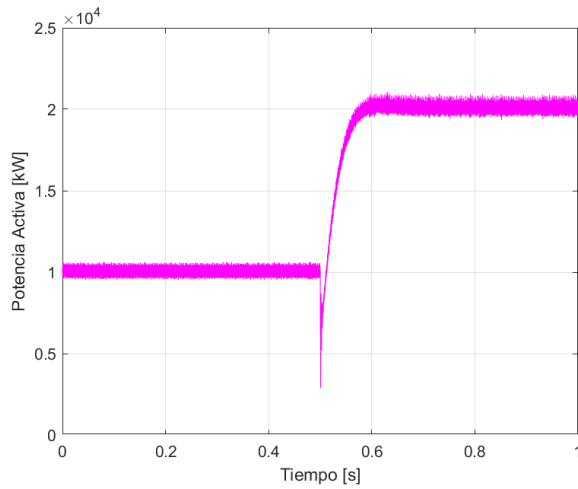
**Fig. 2.9: Simulación del inversor con control de voltajes ante cambio escalón en las referencias.**

(a) Referencia tensión eje d  $v_{Gdref}$ . (b) Referencia tensión eje q  $v_{Gqref}$ . (c) Respuesta tensión  $v_{Gd}$ . (d) Respuesta tensión  $v_{Gq}$

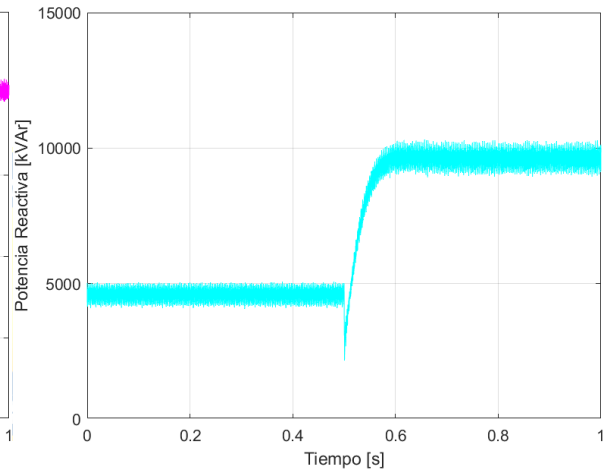
En la Figura 2.10 se muestran los resultados de la segunda simulación, donde se prueba el funcionamiento del lazo de control de voltajes ante un impacto de carga, con parámetros dados en la Tabla 2.3.

**Tabla 2.3 Parámetros Simulación 2 Lazo de Voltaje**

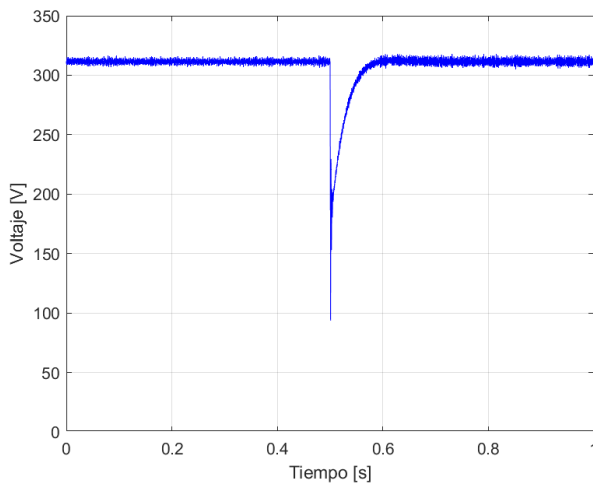
Parámetro	Valor
Tensión Enlace DC $V_{DC}$	800 V
Referencia Eje d $v_{Gdref}$	$220\sqrt{2}$ V
Referencia Eje q $v_{Gqref}$	0 V
Instante Impacto de Carga $t_1$	0.5 s
Potencia Activa Nominal Inicial $P_0$	10 kW
Potencia Reactiva Nominal Inicial $Q_0$	5 kVAr
Potencia Activa Nominal Final $P$	20 kW
Potencia Reactiva Nominal Final $Q$	10 kVAr



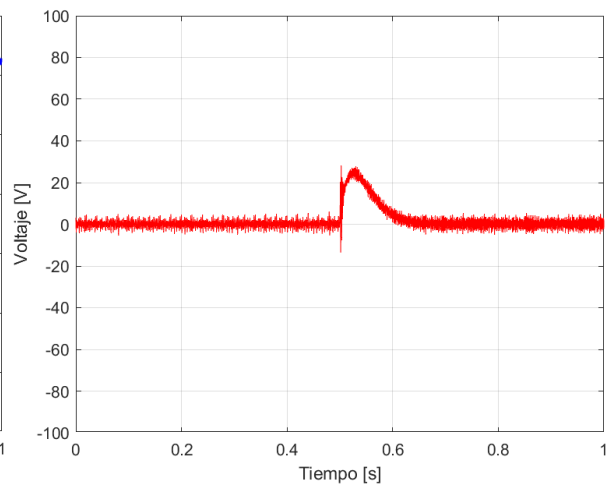
(a)



(b)



(c)



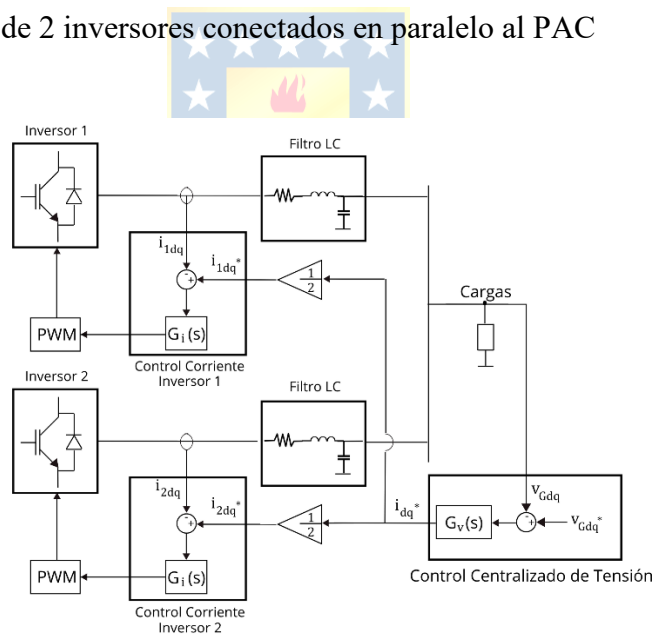
(d)

**Fig. 2.10: Simulación del inversor con control de voltajes en PCC en ejes  $dq$  con impactos de carga como perturbaciones.**

(a) Potencia activa cargas. (b) Potencia reactiva cargas. (c) Respuesta tensión  $v_{Gd}$  (d) Respuesta tensión  $v_{Gq}$

Se verifica entonces el seguimiento de las referencias de voltajes en ejes  $d$  y  $q$  ante impactos de carga, La potencia activa y reactiva absorbida por las cargas presenta una dinámica similar a la asociada a las tensiones debido a la desviación instantánea de la tensión respecto a la nominal en el PAC donde están conectadas las cargas.

Para la operación en paralelo de 2 inversores, se hace uso de un esquema de control centralizado de tensión en el PAC, en ejes  $d$  y  $q$  por separado tal como se ha desarrollado, tal que la corriente de referencia  $i^*$  que genera este lazo se divide entre los  $N$  inversores conectados en paralelo al PAC. Así, la corriente de referencia del lazo de control de corriente de cada uno de los  $n$  inversores es  $i_n^* = \frac{i^*}{N}$ . [11] En la Figura 2.11. se muestra un esquema general de este control centralizado de voltaje para el caso puntual de 2 inversores conectados en paralelo al PAC



**Fig. 2.11: Esquema general de control centralizado de tensión en el PAC para 2 inversores en paralelo.**

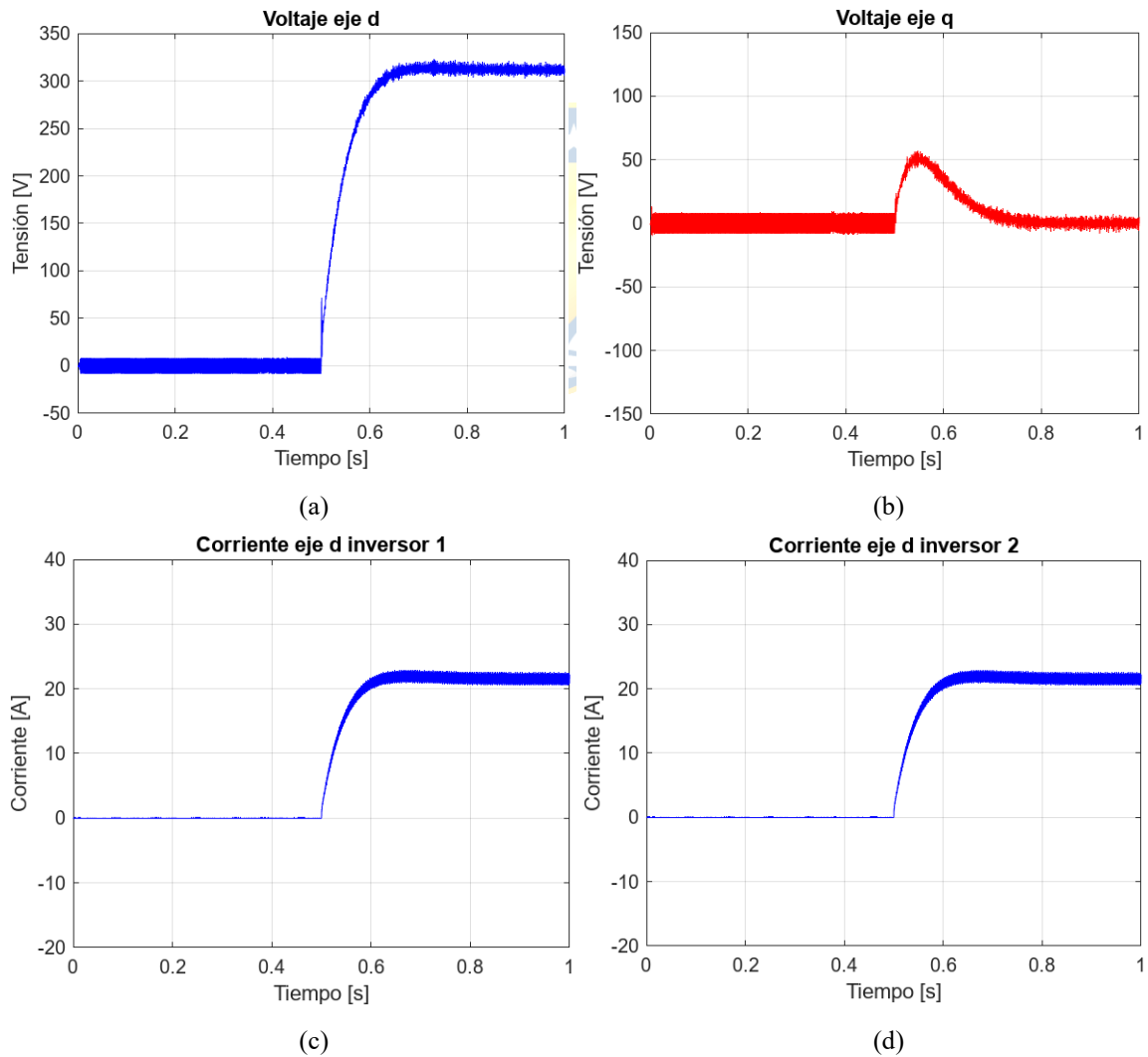
Los lazos de control representan lazos duales en eje  $d$  y eje  $q$  por separado.

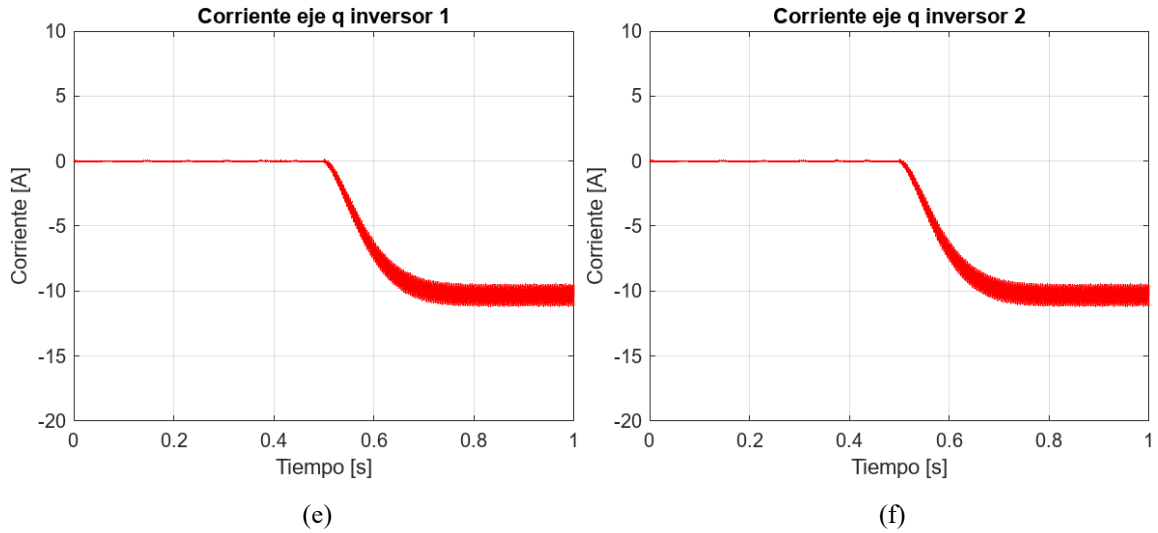
En la Figura 2.12. se muestran los resultados de la simulación de este esquema de control centralizado de voltaje ante cambio tipo escalón en la referencia de voltaje en eje  $d$ ., con parámetros de diseño de los lazos de control de voltaje y corriente tal como se diseñaron anteriormente en esta misma sección. Los parámetros de la simulación se indican en la Tabla 2.4. Los resultados se

muestran. En la Figura 2.12. se muestran los resultados de la simulación de este esquema de control centralizado de voltaje ante cambio tipo escalón en la referencia de voltaje en eje  $d$ .

**Tabla 2.4 Parámetros Simulación Control Centralizado de Voltaje**

Parámetro	Valor
Tensión Enlace DC $V_{DC}$	800 V
Potencia Activa Nominal Cargas $P$	20 kW
Potencia Reactiva Nominal Cargas $Q$	10 kVAr
Referencia Inicial Eje d $v_{Gdref0}$	0 V
Referencia Inicial Eje q $v_{Gqref0}$	0 V
Instante de Cambio Referencias $t_1$	0.5 s
Referencia Final Eje d $v_{Gdref}$	$220\sqrt{2}$ V
Referencia Final Eje q $v_{Gqref}$	0 V





**Fig. 2.12: Tensiones y corrientes en ejes  $dq$  con control centralizado de tensión ante un impacto de carga.**

(a) Voltaje eje  $d$  en el PAC. (b) Voltaje eje  $q$  en el PAC. (c) Corriente eje  $d$  inversor 1. (d) Corriente eje  $d$  inversor 2. (e) Corriente eje  $q$  inversor 1. (f) Corriente eje  $q$  inversor 2.

#### 2.2.4 Lazo de Control Externo VSG.

El lazo de control externo en el control GFM será el encargado de entregar las referencias de amplitud de tensión y de ángulo de fase a los lazos internos duales de tensiones y corrientes en ejes  $dq$  anteriormente desarrollados. Este lazo externo requiere de las mediciones de tensiones en el PAC y corrientes a la salida del inversor, en ejes  $dq$  para el cálculo de la potencia activa entregada por el inversor. Estas últimas se pueden obtener a partir de las siguientes ecuaciones, a partir de la Transformada  $abc-dq$  de voltaje constante, utilizada en la obtención del modelo del inversor en ejes  $dq$ , según:

$$P = \frac{3}{2}(v_{Gd}i_d + v_{Gq}i_q) \quad (2.2-28)$$

donde,

$v_{Gd}, v_{Gq}$  : Tensiones de fase en el PAC en ejes  $d$  y  $q$ , respectivamente.

$i_d, i_q$  : Corrientes de salida del inversor en eje  $d$  y  $q$ , respectivamente.

$P$  : Potencia activa entregada por el inversor.

La amplitud de la tensión requerida en el PAC es entregada como referencia al lazo de tensión del eje  $d$ , mientras que se fuerza a que la tensión respectiva en eje  $q$  sea igual a 0 a través de una

referencia constante con igual valor. El lazo de control externo calcula una frecuencia de referencia que, al integrarse, genera una referencia de ángulo de fase que es ingresada a los argumentos de las funciones senoidales en las conversiones *abc-dq* y viceversa, tal que la tensión de salida en el PAC tenga esa fase.

### Control VSG

Los generadores distribuidos basados en máquinas síncronas reducen la desviación máxima de frecuencia a costa de aumentar la duración de las oscilaciones, debido a su inercia.[2] El concepto de añadir una inercia virtual para reducir desviaciones de frecuencia en microrredes ha sido llamado en la literatura técnica como *Virtual Synchronous Generator (VSG)*, *Virtual Synchronous Machine* y *Synchroconverter*.

En el caso puntual del método de control VSG, el lazo de control externo es diseñado para modelar la ecuación de oscilación de un generador sincrónico. A través de este lazo, una referencia de frecuencia angular del voltaje en el punto de acoplamiento a la red del inversor específico es determinada.

$$w^*J \frac{dw^*}{dt} = P_0 - P - D(w^* - w_0) \quad (2.2-29)$$

donde,

$w_0$  : Frecuencia angular nominal de la red.

$P_0$  : Potencia mecánica virtual de entrada.

$J$  : Coeficiente de inercia.

$D$  : Coeficiente de amortiguamiento.

$w^*$  : Frecuencia de referencia.

El coeficiente de inercia  $J$  y el coeficiente de amortiguamiento de potencia  $D$  son dos parámetros de control a diseñar.[9] La frecuencia  $w^*$  es la referencia enviada por el lazo para establecer la frecuencia de la tensión en el punto de acoplamiento. Con  $w_0$  constante es posible reescribir la ecuación (2.2- 29) como:

$$w^*J \frac{d(w^* - w_0)}{dt} = P_0 - P - D(w^* - w_0)$$

El término  $w^*J$  puede ser considerado constante en E.E. y, en el caso de que la desviación de  $w^*$  sea pequeña, es posible considerar a esta ecuación como una ecuación diferencial lineal.[10] En tal caso, se puede suponer que  $w^*J = w_0J$  y, entonces:

$$P_0 - P(s) = w_0Js(W^*(s) - w_0) + D(W^*(s) - w_0)$$

Luego, la T.de L. de a referencia de frecuencia angular de la tensión en el PAC es:

$$W^*(s) = w_0 - \frac{P(s) - P_0}{w_0Js + D} \quad (2.2-30)$$

donde,

- $W^*(s)$  : T.de L. de la frecuencia de referencia.
- $P(s)$  : T.de L. de la potencia activa entregada por el inversor.
- $w_0$  : Frecuencia angular nominal de la red.
- $P_0$  : Potencia mecánica virtual de entrada.
- $J$  : Coeficiente de inercia.
- $D$  : Coeficiente de amortiguamiento.

Lo que, a partir de la forma canónica de una función de transferencia de 1er orden, queda representada como:

$$W^*(s) = w_0 - \frac{1}{D} * \frac{1}{Ts + 1} (P(s) - P_0) \quad (2.2-31)$$

$$T = \frac{w_0J}{D} \quad (2.2-32)$$

donde,

- $W^*(s)$  : T.de L. de la frecuencia de referencia.
- $P(s)$  : T.de L. de la potencia activa entregada por el inversor.
- $T$  : Constante de tiempo del lazo *VSG*.
- $w_0$  : Frecuencia angular nominal de la red.

$P_0$  : Potencia mecánica virtual de entrada.

$D$  : Coeficiente de amortiguamiento.

$J$  : Coeficiente de inercia.

Si la constante de tiempo  $T$  se hace igual a cero, lo que significaría que  $J = 0$  entonces la ecuación (2.2 – 30), al volver al plano temporal, queda como:

$$w^* = w_0 - \frac{P - P_0}{D} \quad (2.2-33)$$

donde,

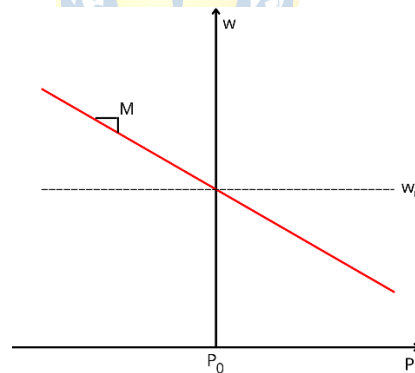
$w^*$  : Frecuencia de referencia.

$w_0$  : Frecuencia angular nominal de la red.

$P_0$  : Potencia mecánica virtual de entrada.

$D$  : Coeficiente de amortiguamiento.

Lo cual sería equivalente a la estrategia *Droop Control* [9], con  $D$  como el inverso de la pendiente que define la curva de estatismo que relaciona  $P-w$ , mostrada en la Figura 2.13 en referencia a [4]:

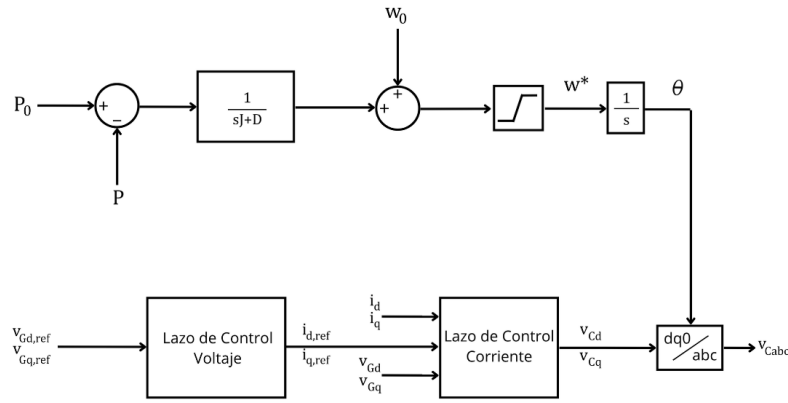


**Fig. 2.13: Curva de estatismo  $P-w$  dada por el método *Droop Control* convencional descrito en [4].**

En la idealidad, este esquema de control no tiene tiempo de retardo debido a la relación sin términos integradores entre  $w^*$  y  $P$ . Sin embargo, en las implementaciones reales se tiene el retardo propio del hardware que ejecuta tal relación y el propio tiempo de respuesta del convertidor. Este retraso es del orden de algunos milisegundos. [9]

A través del diseño de  $D$  (según las necesidades de relación  $P-w$  en estado estacionario) y la

constante de inercia virtual  $J$ , se añade intencionadamente un elemento de inercia de primer orden con un mayor tiempo de retardo (es decir, de varios cientos de milisegundos) que la estrategia *Droop-Control*. Con esto, el convertidor es capaz de imitar el comportamiento de un generador síncrono, incrementando de forma evidente la inercia del sistema. En la Figura 2.14. se muestra el esquema de control VSG en la forma de diagrama de bloques.



**Fig. 2.14: Esquema de control general con método VSG.**

Si se establece que la frecuencia nominal de las tensiones en el PAC debe ser de  $f_0 = 50[Hz]$  y la potencia activa que entrega el inversor a esa frecuencia es establecida como  $P_0 = 10 [kW]$ , donde la frecuencia tendrá una excursión máxima de  $\pm 1[Hz]$  (en referencia a las frecuencia máxima y mínima donde se debe continuar con operación permanente en plantas generadoras solares y eólicas según [13]). Si se permite un aumento máximo de la potencia activa que entrega el inversor de hasta el doble de la potencia activa para frecuencia nominal, entonces el diseño de la constante que define la pendiente de la curva de estatismo  $P - w$  de la ecuación (2.2-33) sigue como:

$$D = - \frac{P_{max} - P_0}{w_{min} - w_0} \quad (2.2-34)$$

donde,

$w_{min}$  : Frecuencia angular mínima de la red.

$P_{max}$  : Potencia activa máxima entregada por el inversor.

Según lo dispuesto anteriormente  $w_0 = 2\pi * 50 [rad/s]$  es la frecuencia nominal,  $w_{min} =$

$2\pi * 49$  [rad/s] es la frecuencia mínima de la tensión en la red,  $P_0 = 10$  [kW] la potencia entregada a frecuencia nominal y  $P_{max} = 2P_0$  es la potencia activa máxima que puede entregar el inversor. Con estos valores se llega a que  $D = 1592.36$  [J].

Para imitar el comportamiento de generadores síncronos, la constante de tiempo asociada al elemento de inercia del método descrito suele ser de varios cientos de milisegundos [9]. A partir de la ecuación (2.2-32):

$$J = \frac{DT}{\omega_0} \quad (2.2-35)$$

donde,

$T$  : Constante de tiempo del lazo VSG.

$\omega_0$  : Frecuencia angular nominal de la red.

$D$  : Coeficiente de amortiguamiento.

$J$  : Coeficiente de inercia.

Si se elige  $T = 1$  [s] entonces la inercia virtual asociada debe ser de  $J = 5.09$  [kg \* m<sup>2</sup>].

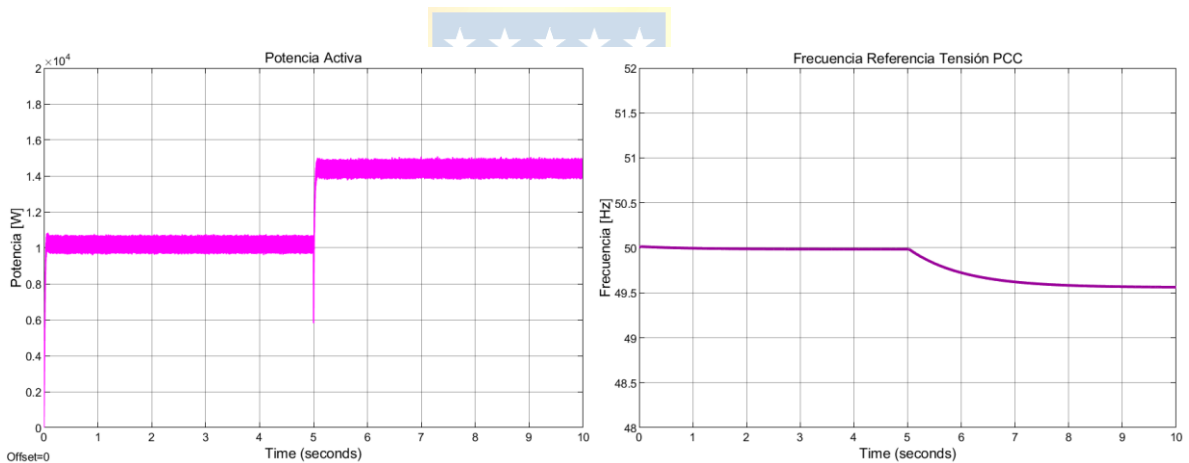
Este lazo VSG diseñado se implementa en uno de los 2 inversores, tal que la potencia que entrega este inversor es la utilizada en el lazo de control. Así, la frecuencia de referencia calculada por el lazo VSG da origen a un ángulo de fase para las conversiones *abc* a *dq* de las variables de control de ambos inversores.

En la Figura 2.15 se muestran los resultados de la simulación del lazo VSG, en la cual se prueba este ante un impacto de carga. Los parámetros de la simulación son los de la Tabla 2.5.

**Tabla 2.5 Parámetros Simulación Lazo VSG**

Parámetro	Valor
Tensión Enlace DC $V_{DC}$	800 V
Referencia Eje d $v_{Gdref}$	$200\sqrt{2}$ V
Referencia Eje q $v_{Gqref}$	0 V
Instante Impacto de Carga $t_1$	5 S
Potencia Activa Nominal Inicial $P_1$	20 kW
Potencia Reactiva Nominal Inicial $Q_1$	10 kVAr
Potencia Activa Nominal Final $P_2$	30 kW
Potencia Reactiva Nominal Final $Q_2$	15 kVAr
Coefficiente de Inercia J	5.09 kg*m <sup>2</sup>
Coefficiente de Amortiguamiento D	1592.36 J
Constante de Tiempo T	1 S
Frecuencia Angular Nominal $\omega_0$	$100\pi$ rad/s
Potencia Activa Inversor a Frecuencia Nominal	10 kW

$P_0$



**Fig. 2.15: Simulación de lazo externo VSG ante un impacto de carga.**

(a) Potencia activa inversor 1. (b) Frecuencia instantánea de la tensión en el PAC.

De estos resultados se confirma la dinámica de primer orden en el comportamiento de la frecuencia, con relación a la potencia activa entregada por el inversor.

## 3. Implementación y Resultados

---

### 3.1. Implementación

La etapa de implementación, tal como se simuló en la sección anterior, tiene como fin la verificación experimental del método de control VSG en una microrred formada por dos inversores, uno de ellos utilizando este método de control, conectados en paralelo a través de un PAC donde se conecta un número limitado de cargas.

Se utiliza para esto 2 módulos inversores trifásicos. Cada módulo inversor trifásico es conformado a partir de la conexión en paralelo del enlace DC de dos módulos inversores monofásicos. Los módulos inversores monofásicos con enlaces DC conectados en paralelo se muestra en la Figura 3.1 (a). Para emular un inversor trifásico solo serán disparadas 3 piernas del arreglo.



**Fig. 3.1: Implementos de la etapa de potencia.**

- (a) Conexión en paralelo del enlace DC de 2 módulos inversores. (b) Autotransformador tipo VARIAC. (c) Puente rectificador monofásico utilizado.

Cada módulo monofásico cuenta con 4 IGBT's modelo STGW35HF60VD, que soportan 35[A] de corriente continua y 600[V] de tensión entre colector y emisor. Cada IGBT cuenta con su respectivo circuito de control de encendido de compuerta. El enlace DC de cada módulo tiene un condensador electrolítico de 2200 [ $\mu F$ ]/400 [V]. Para suministrar tensión al enlace DC se utiliza un

autotransformador tipo VARIAC de 220[V]/10[A] en conjunto con un puente rectificador monofásico modelo GBPC2502A. En esta implementación se trabaja con una tensión de enlace DC de 100 [V]. En la Figura 3.1 (b) y (c) se muestran el autotransformador y puente rectificador utilizado, respectivamente.

En las pruebas experimentales se utilizarán como carga bancos de resistencias trifásicos de potencia nominal 4[kW] con voltaje nominal entre líneas de 380[V] RMS. La tensión de enlace DC se establece en 100[V] con lo que la tensión fundamental de salida, con el método de generación de pulsos SPWM utilizado y en concordancia con la ecuación (2.2-4), puede llegar hasta los 61.2 [V] entre líneas en RMS. Si se considera a este banco de resistencias como una carga de impedancia constante. A partir de esto, se puede establecer la siguiente ecuación:

$$\frac{V_{nom}^2}{P_{nom}} = \frac{V_1^2}{P_1} \quad (3.1-1)$$

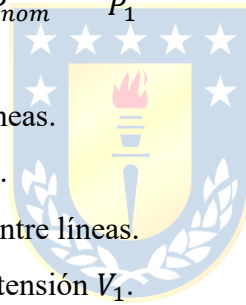
donde,

$V_{nom}$  : voltaje nominal entre líneas.

$P_{nom}$  : potencia activa nominal.

$V_1$  : voltaje de operación 1 entre líneas.

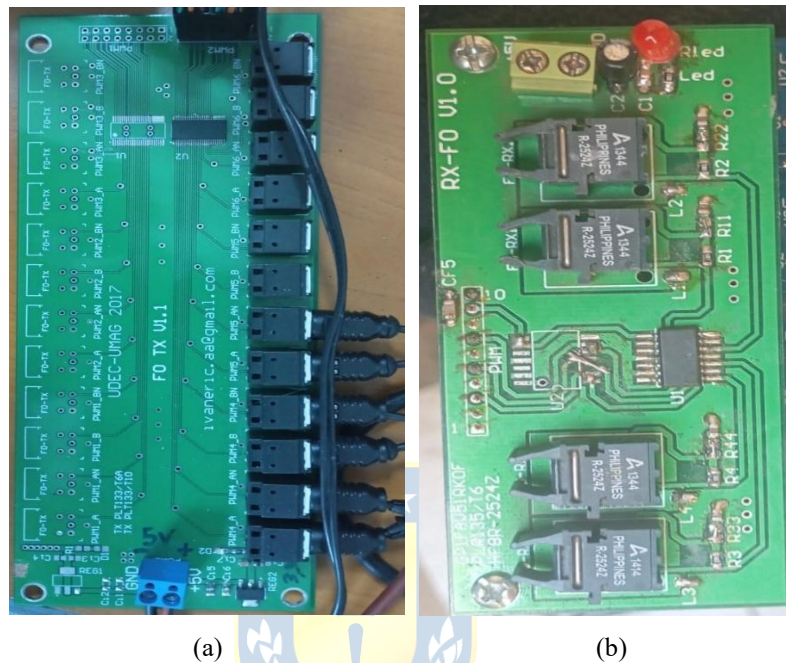
$P_1$  : potencia absorbida a la tensión  $V_1$ .



Con lo que, para una tensión máxima entre líneas de 61.2 [V] en RMS, el banco de resistencias puede absorber 104.6 [W].

Los pulsos de encendido/apagado de compuerta son generados con el método SPWM mediante la configuración de la DSP TMS320F2879D. Esta misma es utilizada para lograr las adquisiciones de las mediciones y utilizarlas dentro de los lazos de control. De este procesador digital de señales se hará uso extensivo de los periféricos ePWM y ADC, bloques especializados en la generación de pulsos PWM y conversión análogo digital, respectivamente. Las etapas de control y de potencia del inversor se aíslan mediante fibra óptica, a partir de foto-emisores y foto-receptores modelo HFBR-0500Z. Los foto-emisores transforman los pulsos de 3.3[V] a la salida de la DSP en señales de luz, las cuales son transportadas por fibra óptica hasta el módulo inversor donde se ubican los foto-receptores, que traducen la señal nuevamente a una tensión la cual, a partir de amplificadores operacionales, elevan

los pulsos hasta un valor de 15[V] que luego se aplican como señal de control de compuerta de los IGBT's. En la Figura 3.2 (a) y (b) se muestran la tarjeta que adapta los pulsos de salida de la DSP hacia la entrada de los foto-emisores, y la tarjeta donde se ubican los foto-receptores del módulo inversor monofásico, respectivamente.



**Fig. 3.2: Tarjetas de foto-emisores y foto-receptores.**

(a) Tarjeta de adaptación de pulsos hacia foto-emisores. (b) Llegada de fibra óptica a tarjeta con foto-receptores.

Para las mediciones de tensiones se usa el sensor de efecto Hall HV25 10[mA]/25[mA], mientras que para la medición de corrientes se usa el transductor de efecto Hall LA 55-P 50[A]/50[mA]. Ambos entregan a su salida una corriente en función de su corriente de entrada. Así, para el caso del sensor de tensión, se utiliza una resistencia a la cual se le aplica la tensión medida, dando origen al valor de corriente de entrada al sensor. La resistencia de medición utilizada es de 50[k $\Omega$ ], por lo que la tensión a medir debe estar en el rango de 0 a 500 [V] para no sobrepasar el valor nominal de corriente de entrada del sensor.

Los bloques ADC de la DSP reciben señales de tensión de entre 0 a 3[V], por lo que las señales de corriente de salida de ambos sensores deben adaptarse para generar tensiones que varíen en este rango. Para esto también se hace uso de resistencias de medición, de valores 22[ $\Omega$ ] y 11[ $\Omega$ ] para las mediciones de voltajes y corrientes respectivamente, en conjunto con un circuito sumador de tensión

que eleva las mediciones en 1.6[V]. Con esto, y a partir de los valores nominales de corriente a la salida de los sensores, las mediciones de tensiones y corrientes entran a la DSP en el rango de 1.05 a 2.15[V]. En la Figura 3.3 se muestra la tarjeta de adaptación de las señales de salida de los sensores para entrar a la DSP dentro de los rangos establecidos



**Fig. 3.3: Tarjeta de adaptación de señales medidas.**

Las 4 rutas de la izquierda son las que adaptan las señales de tensión. Las demás adaptan señales de corriente.

## **3.2. DSP y Configuraciones Previas**

### *3.2.1 DSP, Periféricos y Generación de Código Base*

La DSP utilizada es la TMS320F28379D de @Texas Instruments. Esta trae incorporada 2 CPU's C28x de punto fijo de 32 bits con velocidad de 200[MHz]. Adicionalmente cada uno de estos procesadores extiende sus capacidades al incorporar una unidad de punto flotante que agregan registros e instrucciones para soportar operaciones en punto flotante de precisión simple según el estándar IEEE.

Posee una variedad de periféricos, los cuales son módulos anexos a las CPU's que tienen la capacidad de realizar funciones específicas dentro de una rutina de servicio de interrupción. Entre estos destacan 12 módulos ePWM, 4 módulos ADC independientes e interfaces de comunicación SPI, I2C, CAN, USB, entre otros. En esta implementación se hace uso extensivo de los 2 primeros.

Una interrupción es una señal que hace que la CPU pause su ejecución actual y salte a una parte diferente del código conocida como rutina de servicio de interrupción (ISR). Este es un

mecanismo útil para manejar eventos de periféricos. Dentro de las fuentes que pueden desencadenar una ISR están los propios periféricos, así como también temporizadores asociados a las CPU. Uno de estos es el utilizado para que la CPU1, la cual será la única que ejecutará el programa, responda a la ISR en donde se ejecuta el “paso” de los lazos de control.

Los temporizadores de CPU 0, 1 y 2 son temporizadores idénticos de 32. Los temporizadores tienen un registro de cuenta regresiva de 32 bits que genera una interrupción cuando el contador llega a cero.

Para esta implementación se hace uso del temporizador 0, llamado CPU Timer0, configurándose tal que genere una interrupción periódica de concordante con la frecuencia de muestreo a utilizar.

En la ISR, la cual que será respondida cada vez que se desencadene su llamado a través del CPU Timer0, se obtienen los resultados entregados por los conversores análogo-digitales (usados para adquirir las mediciones de tensiones y corrientes), se ejecuta el “paso” de los lazos de control y finalmente se actualizan los valores de las moduladoras en los registros de los bloques ePWM utilizados.

Dado su extensivo uso en esta implementación se da una explicación detallada de las configuraciones realizadas a los bloques utilizados de los periféricos ePWM y ADC en el **Anexo C.1**.

En proyectos en donde se hace programación de una DSP, como la utilizada en esta implementación, se utiliza un proyecto preexistente para simplificar la programación. Para el caso de la TMS320F28379FD y las demás DSP's de la misma familia TMS320 se deben hacer habilitaciones de diversos bloques periféricos, configuraciones de la CPU, selección de señales asociadas a cada pin, entre otras cosas. Todo esto utiliza sintaxis bastante compleja si no se tiene experiencia previa en programación de estos sistemas.

Así entonces, se hace necesario trabajar sobre un código base que simplifique la inclusión de rutinas de control al ya tener habilitados y configurados diversas características de la DSP a utilizar. Afortunadamente, el software ® MATLAB SimuLink tiene la opción de descarga e instalación del

add-on C2000™ Microcontroller Blockset. Este es una herramienta oficial desarrollada por MathWorks en conjunto con Texas Instruments, que permite diseñar, simular y generar código automáticamente para microcontroladores C2000 directamente desde Simulink y MATLAB. Asimismo, integra modelos de Simulink con el ecosistema de Texas Instruments, permitiendo el desarrollo de aplicaciones embebidas. Tiene como requisitos la instalación de la aplicación ® Code Composer con objetivos de construir, cargar y depurar el código generado en la DSP, así como del add-on Embedded Coder para la generación de código en Lenguaje C o C++, lo cual es de utilidad en esta implementación para su posterior edición con objetivos de incluir lazos de control personalizados.

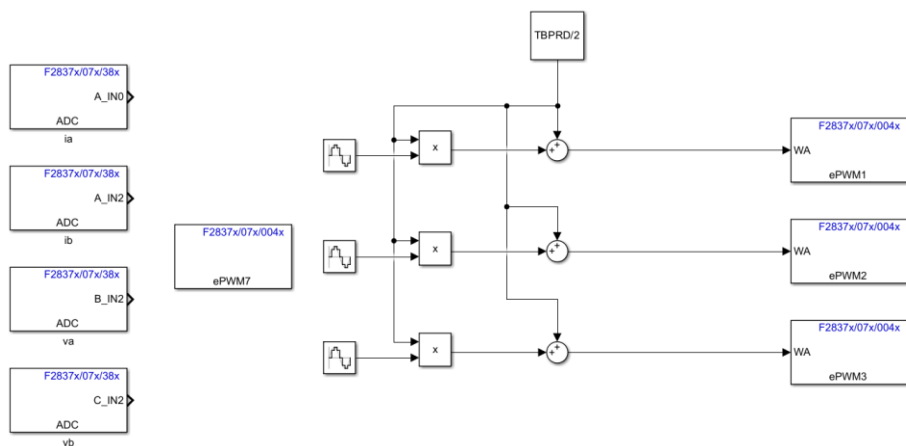
Para la implementación, se hace uso de este add-on para configurar y asignar valores a los registros que definen el funcionamiento de los periféricos ePWM y ADC, sin la necesidad de conocer la sintaxis específica para ello. Por otro lado, a partir de la configuración del modelo en SimuLink, es posible definir eventos que desencadenarán una ISR con lo que, al definir la frecuencia de ocurrencia de este evento, es posible generar la ISR a una frecuencia conocida.

En el modelo base utilizado, se configura el CPU Timer 0 como el desencadenante de la ISR que resuelve un “paso” de los lazos de control y actualiza los valores de las moduladoras. La frecuencia de conmutación que se utilizará en los inversores será de 5[kHz]. Por defecto al utilizar el modo de conteo up-down en los bloques ePWM, el cual emula una portadora triangular, se hace uso de la técnica de muestreo regular simétrico de la señal moduladora, con lo que esta se estaría muestreando a una frecuencia igual a la de la portadora [9]. Así, una frecuencia de muestro de los bloques ADC a la misma frecuencia de la portadora es suficiente, ya que a partir de estas adquisiciones y la resolución de un “paso” del lazo de control se estarán actualizando el valor de las moduladoras a la frecuencia requerida. Entonces, tanto los bloques ePWM como los ADC actualizan sus registros respectivos a la misma frecuencia de 5[kHz], con lo que se opta por generar una ISR a partir del CPU Timer 0 a esta frecuencia.

A través de la sección *Configuration Properties* del modelo en SimuLink se configura la CPU1 como la unidad de procesamiento que correrá el programa, con el CPU Timer0 como el que calendarizará eventos (entre ellos la ISR). Se dejan, como configuración por defecto, arrancar el programa desde la memoria flash para permitir operación autónoma y el reloj de la CPU en frecuencia de 200 [MHz].

El modelo con el que se genera el código base produce los pulsos SPWM para operar un inversor en lazo abierto, con moduladoras senoidales desfasadas en  $120^\circ$  e índice de modulación de 0.9.

Se utiliza un bloque ePWM, aparte de los 3 cuyo propósito es generar pulsos SPWM, con el objetivo de disparar el inicio de conversiones de los canales de todos los bloques ADC. Los bloques ADC a través de los canales ADCINA0 y ADCINA2 del bloque ADCA, ADCINB2 del bloque ADCB y ADCINC2 del bloque ADCC son los utilizados para medir 2 corrientes de fase a la salida del inversor y 2 tensiones de fase en el PAC lo que, al suponer variables trifásicas balanceadas, es suficiente para obtener la información de corrientes y tensiones de las 3 fases. La utilización de estos canales y bloques específicos fueron escogidos en función de su accesibilidad en la tarjeta de desarrollo utilizada. En el **Anexo D.1** se muestra el diagrama físico de la tarjeta de desarrollo y la de señales de entrada y salida disponibles para cada punto de conexión físico. Las moduladoras son escaladas y centradas para que oscilen dentro del rango de valores en que varía la portadora utilizada en los bloques ePWM de la DSP, lo cual es explicado en el **Anexo C.1**. Estas configuraciones conforman el set-up para la operación en lazo abierto y, luego de la edición del código generado, en lazo cerrado para un inversor. En la Figura 3.4 se muestra el modelo en bloques de SimuLink para la generación de este código base.

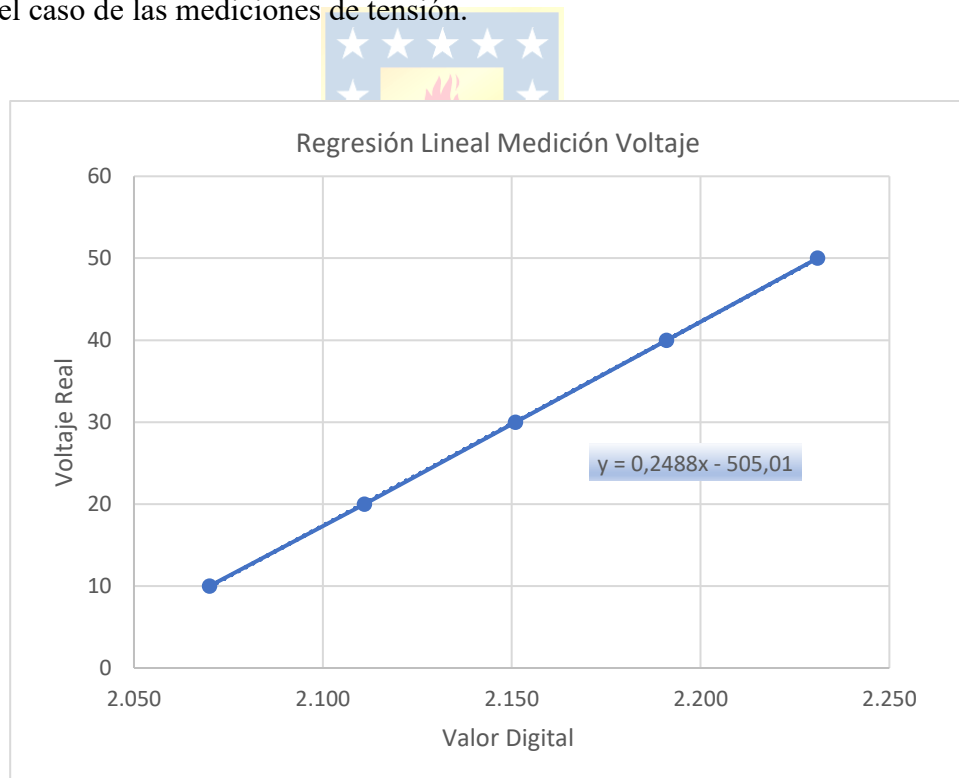


**Fig. 3.4: Modelo en bloques de SimuLink para generación de código base.**

Inversor en lazo abierto con medición de corrientes y tensiones de fase.

A la hora de generar el código base para la operación de los 2 inversores se replica esta configuración añadiendo bloques con idéntica configuración. En tal caso se añaden, respecto del modelo de la Figura 3.4, los bloques ePWM4 al ePWM6 y los canales ADCINA1, ADCINA4, ADCINB4 y ADCINC4.

La traducción de los valores digitales obtenidos de la conversión de las señales hacia los valores reales de voltajes y corrientes se realiza mediante la medición de voltajes y corrientes cuyos valores son conocidos, entregados por una fuente controlada DC. Luego, al correr el código base, se observa el valor digital obtenido. La relación entre los valores introducidos a los sensores y su conversión digital se registran para realizar una regresión lineal simple a través del software <sup>®</sup>Microsoft Excel, obteniendo la ecuación que define a esta regresión. Esta ecuación es la utilizada para la traducción de los valores digitales asociados a la conversión análogo digital de la señal y su posterior uso en los lazos de control. En la Figura 3.5 se muestra la regresión lineal con su ecuación respectiva para el caso de las mediciones de tensión.

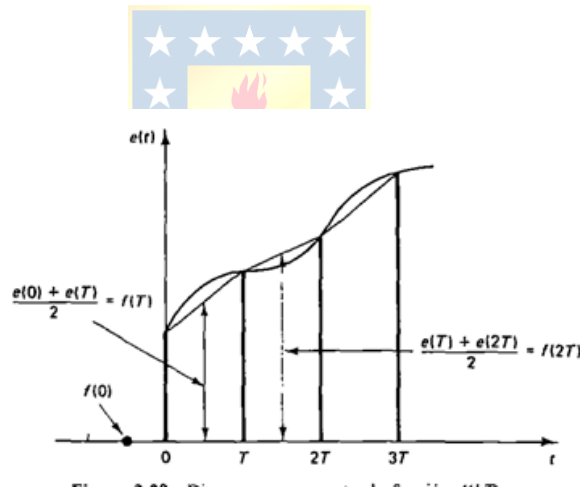


**Fig. 3.5: Regresión Lineal para traducción de valores digitales a valores reales de tensión.**

Se encuadra en celeste la ecuación que representa a la regresión lineal.  
 Imagen realizada con el software <sup>®</sup> Microsoft Excel.

### 3.2.2 Discretización de Lazos de Control y Filtrado de Señales

En cuanto a la implementación de los lazos de control en el código los controladores PI y funciones de transferencia en general son los mismos diseñados en el plano de Laplace en el **Capítulo 2** sección 2.2 (a excepción del lazo VSG debido a la diferencia entre la potencia de las cargas de la simulación respecto a la implementación al tomar en cuenta que se está trabajando con tensión de enlace DC de 100[V]), cuyas discretizaciones se realizan con el método de aproximación trapezoidal o Tustin. Este método tiene la ventaja de que el semiplano izquierdo se transforma en el disco unidad. Por lo tanto, los sistemas continuos estables se transforman en sistemas muestreados estables, y los sistemas continuos inestables se transforman en sistemas discretos inestables.[14] Se basa en la aproximación de una integral en base al cálculo del trapecioide formado por 2 muestras consecutivas de la señal cuya integral será aproximada, espaciadas temporalmente por el período de muestreo  $T_s$ . En la Figura 3.6 se muestra la aproximación discreta de la integral de una señal continua mediante el método Trapezoidal.



**Fig. 3.6: Aproximación de una integral mediante método trapezoidal o Tustin.**

Imagen extraída de [14]. T es el período de muestreo y e(t) la señal continua cuya integral es aproximada.

Ante períodos de muestreo cortos como en esta implementación, este método logra una buena aproximación de la integral de la señal. La transformación desde el plano s al plano z con esta aproximación se representa por la ecuación [14]:

$$s = \frac{2}{T_s} * \frac{1 - z^{-1}}{1 + z^{-1}} \quad (3.2-1)$$

donde,

- $T_S$  : Período de muestreo.  
 $s$  : Variable compleja en el Plano de Laplace (dominio continuo).  
 $z$  : Variable compleja en el Plazo Z (dominio discreto).

La medición y conversión análogo digital desemboca en la adición de ruido en las señales medidas. En este proyecto el ruido en las señales medidas y digitalizadas es sopesado a través del sobremuestreo del canal del bloque *ADC* respectivo al cual llega la señal, en un mismo ciclo de conversión del bloque. La señal filtrada a través de este método es:

$$x = \frac{\sum_1^n x_n}{n} \quad (3.2-2)$$

donde,

- $x$  : Señal filtrada.  
 $x_n$  : n-ésima muestra de la señal.  
 $n$  : Número de muestras de la señal.

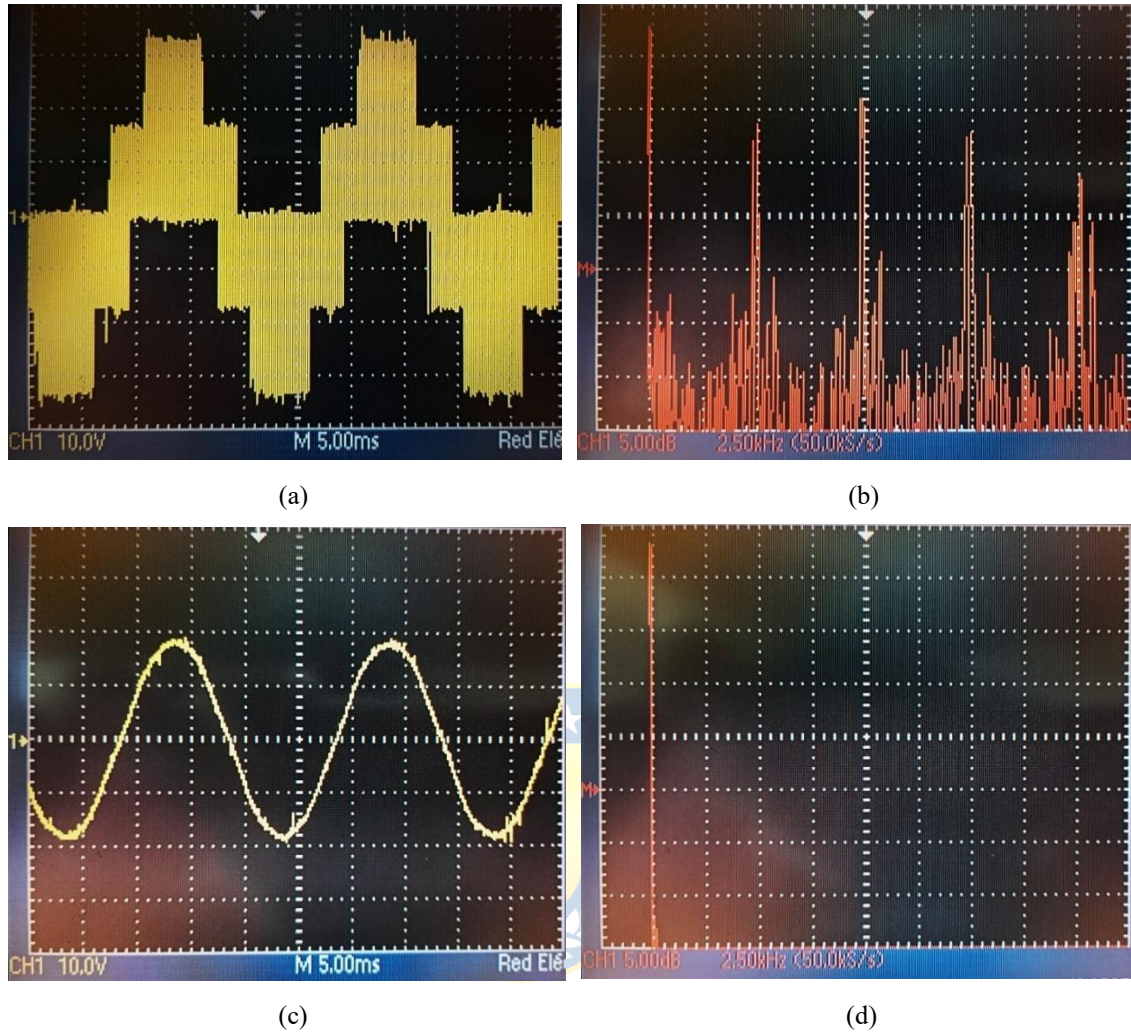
Con el objetivo de lograr el mayor filtrado posible se utilizó la mayor cantidad de muestras posibles por señal, a partir de la cantidad máxima de conversiones que puede realizar cada bloque ADC utilizado, en este caso, ADCA, ADCB y ADCC. Cada uno tiene la posibilidad de realizar hasta 16 conversiones por cada ciclo de conversión según [18].

### 3.3. Resultados Experimentales Preliminares

#### 3.3.1 *Funcionamiento del Filtro RLC*

A partir del código base explicado anteriormente, las moduladoras están fijadas a un índice de modulación de 0.9 y frecuencia de 50[Hz]. En esta prueba se utiliza uno de los bancos trifásicos de resistencias que fueron detallados en la sección 3.1.

El filtro RLC diseñado en el **Capítulo 2** sección 2.2.2 es el implementado. En la Figura 3.7 (a) y (b) se muestran la forma de onda de la tensión de fase a neutro de la carga sin filtrar, así como el espectro armónico de esta señal hasta los 25[kHz].



**Fig. 3.7: Formas de onda de tensión de fase a neutro de la carga y contenido armónico.**

- (a) Tensión fase a neutro sin filtrar. (b) Espectro armónico de señal sin filtrar. (c) Tensión fase a neutro filtrada  
 (d) Espectro armónico de señal filtrada. Las tensiones están atenuadas a la mitad de su valor real.

Para mayor claridad, los espectros armónicos fueron desplazados en  $2.5[kHz]$ .

Las señales tienen la forma SPWM característica, presentando armónicos en torno a la frecuencia de conmutación y sus múltiplos. En el contexto de una microrred señales con esta cantidad de distorsión armónica no son admisibles, con lo que se hace uso de un filtro para atenuar armónicos de conmutación evitando atenuar mucho la componente fundamental. En la Figura 3.7 (c) y (d) se muestran la formas de onda de tensión de fase a neutro de la carga ya filtrada y su espectro armónico, hasta los  $25[kHz]$ . Se comprueba entonces la gran atenuación de las componentes armónicas asociadas a la conmutación.

### 3.3.2 Funcionamiento de Lazos de Control Interno de Corriente y Voltaje

El lazo interno de corriente, con términos de compensación, desacoplamiento y retroalimentación tal como se mostró en la **Capítulo 2** sección 2.2.3, es el implementado en el código de la ISR generada por el CPU Timer1 a una frecuencia de 5[kHz].

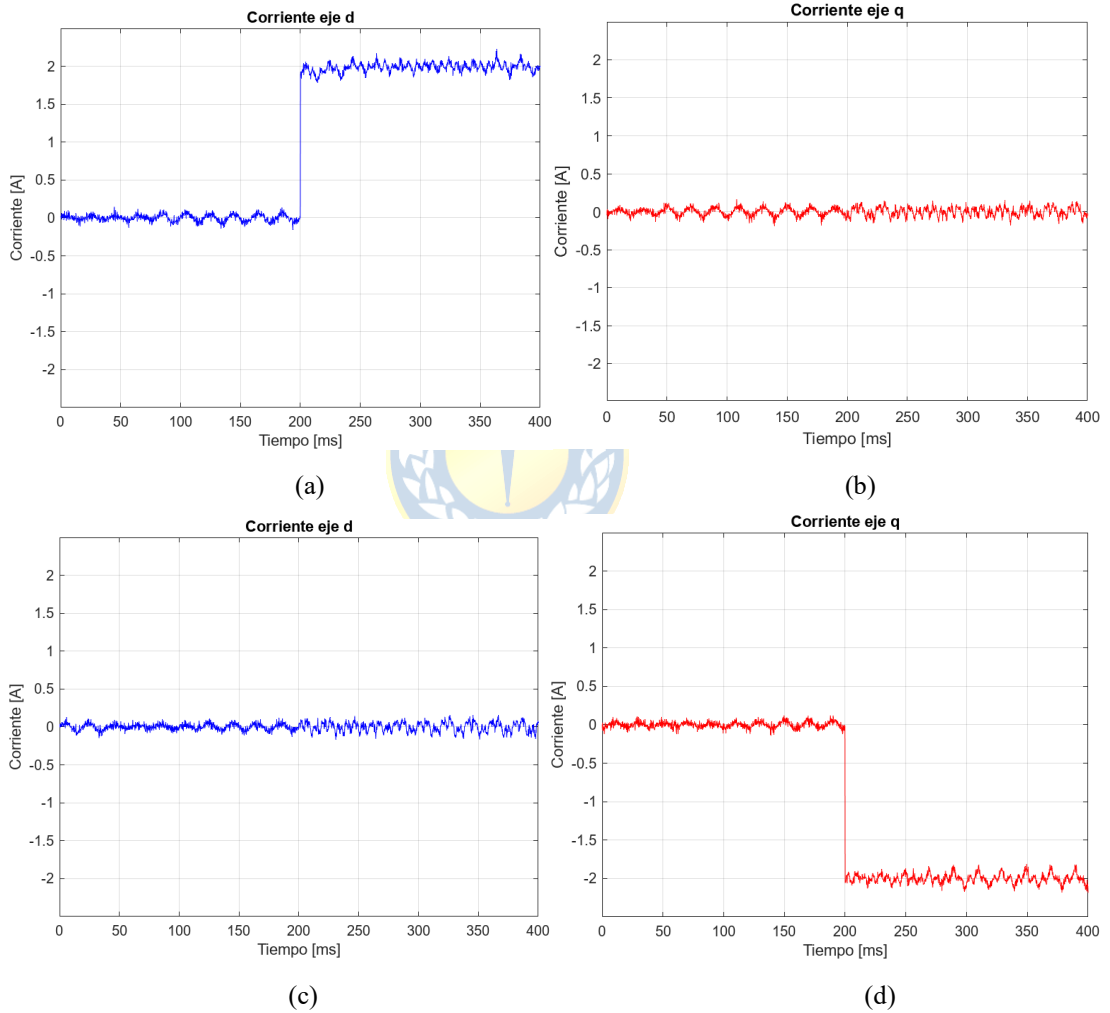
Respecto al código base, se modifican los valores de las moduladoras de cada bloque ePWM, los cuales utilizaban moduladoras con un índice de modulación fijo. Los nuevos valores que de entrada de estos bloques ePWM son las moduladoras en ejes *abc*, resultantes de la transformación *dq-abc*, de las moduladoras en ejes *dq* calculadas por el lazo de control de corriente.

Para evitar la sobremodulación se saturan las moduladoras en ejes *dq* tal que la magnitud del vector asociado en este marco de referencia no supere la unidad. Con esto y en concordancia con la transformada *abc-dq* de tensión constante utilizada (detallada en el **Anexo A.2**) se asegura que la amplitud de las moduladoras en ejes *abc* no supere la unidad y manteniendo la forma senoidal de estas. Esto último no ocurriría si se saturaran las moduladoras, en ejes *abc*, entre 1 y -1. Este método se implementa en el lazo de control normalizando el vector de moduladoras en ejes *dq* en caso de que su magnitud sea mayor a 1.

El controlador PI implementado es el diseñado en el **Capítulo 2** sección 2.2.3. En las pruebas realizadas se utilizan 2 bancos de resistencia idénticos al utilizado en la prueba del inversor en lazo abierto, conectados en paralelo. En la Figura 3.8 se muestran los resultados de las pruebas de los lazos de control de corrientes en ejes *dq*, donde se hacen cambios escalón en la referencia de corriente en uno y el otro eje según los parámetros de la Tabla 3.1. El cambio escalón en eje *d* es denominado “Prueba Eje d”, y el eje *q* es “Prueba Eje q”.

**Tabla 3.1 Parámetros Prueba Experimental Lazo de Corriente**

Parámetro	Prueba Eje d	Prueba Eje q
Tensión Enlace DC $V_{DC}$	100 V	100 V
Potencia Activa Nominal Carga $P_1$	8 kW	8 kW
Frecuencia $\omega_0$	$100\pi$ rad/s	$100\pi$ rad/s
Referencia Inicial Eje d $i_{dref0}$	0 A	0 A
Referencia Inicial Eje q $i_{qref0}$	0 A	0 A
Instante de Cambio Referencias $t_1$	0.2 S	0.2 S
Referencia Final Eje d $i_{dref}$	2 A	0 A
Referencia Final Eje q $i_{qref}$	0 A	-2 A



**Fig. 3.8: Respuesta del lazo de control de corriente en ejes  $dq$ .**

- (a) Corriente eje d en Prueba Eje d. (b) Corriente eje q en Prueba Eje d.  
 (c) Corriente eje d en Prueba Eje q. (d) Corriente eje q en Prueba Eje q.

Los resultados demuestran el correcto seguimiento de las referencias, sin error en S.S. Así mismo se muestra el desacoplamiento de las corrientes respecto a las entradas de referencias  $i_{dref}$  e  $i_{qref}$ ; la corriente  $i_d$  responde únicamente a su referencia  $i_{dref}$  y la corriente  $i_q$  responde únicamente a su referencia  $i_{qref}$ . La constante de tiempo en la respuesta a entrada escalón está en el orden de unos pocos milisegundos, tal como se diseñó previamente.

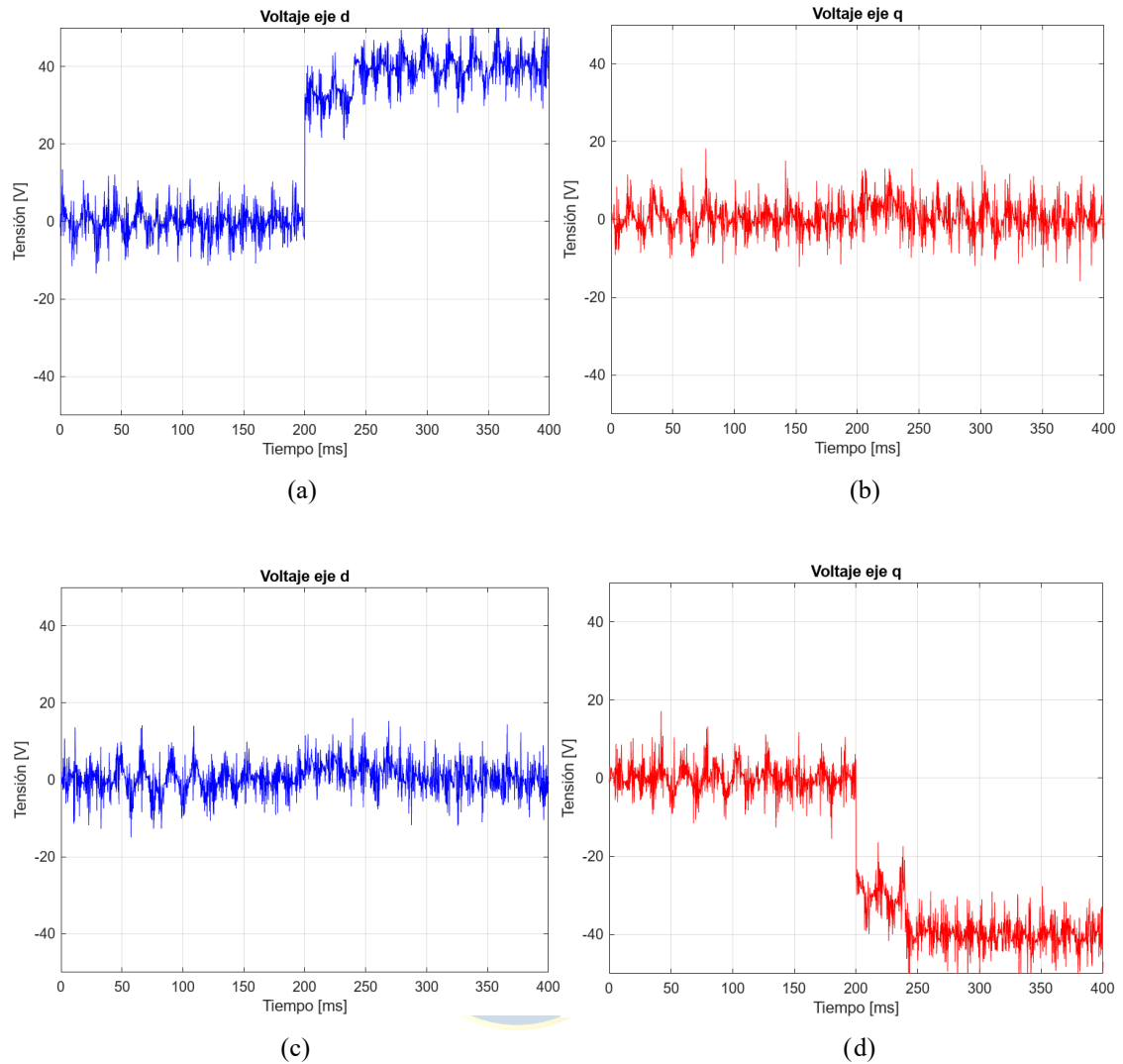
Los lazos de control de tensión en ejes  $dq$  se implementan con los términos de desacoplamiento y compensación como se mostró en el **Capítulo 2** sección 2.2.4 y los controladores PI, idénticos para el control tanto en eje  $d$  como en eje  $q$ , son los diseñados en la misma sección.

Luego del cálculo del error y procesamiento por los controladores PI respectivos, la señal calculada se envía a los lazos de control de corriente como sus referencias. Estas referencias no deben superar los valores nominales de corriente de los implementos por donde circulará la corriente a la salida del inversor.

En las pruebas realizadas se utilizan 2 bancos de resistencia de valores nominales iguales a los utilizados en la prueba del inversor en lazo de control de corriente, conectados en paralelo. En la Figura 3.9 se muestran los resultados de la prueba de los lazos de control de voltaje ante cambios escalón en la referencia de tensión en uno y el otro eje, según los parámetros de la Tabla 3.2. El cambio escalón en eje  $d$  es denominado “Prueba Eje d”, y el eje  $q$  es “Prueba Eje q”.

**Tabla 3.2 Parámetros Prueba Experimental Lazo de Voltaje**

Parámetro	Prueba Eje d	Prueba Eje q
Tensión Enlace DC $V_{DC}$	100 V	100 V
Potencia Activa Nominal Carga $P_1$	8 kW	8 kW
Frecuencia $\omega_0$	$100\pi$ rad/s	$100\pi$ rad/s
Referencia Inicial Eje d $v_{dref0}$	0 V	0 V
Referencia Inicial Eje q $v_{qref0}$	0 V	0 V
Instante de Cambio Referencias $t_1$	0.2 S	0.2 s
Referencia Final Eje d $v_{dref}$	40 V	0 V
Referencia Final Eje q $v_{qref}$	0 V	-40 V



**Fig. 3.9 : Respuesta del lazo de control de voltajes en ejes  $dq$ .**

(a) Voltaje eje d en Prueba Eje d. (b) Voltaje eje q en Prueba Eje d.

(c) Voltaje eje d en Prueba Eje q. (d) Voltaje eje q en Prueba Eje q.

Al igual que en las pruebas del lazo de control de corrientes en ejes  $dq$ , ese demuestra el seguimiento sin error en E.E. las referencias respectivas.

### 3.3.3 Funcionamiento del Lazo de Control VSG

El lazo de control VSG desarrollado en el **Capítulo 2** sección 2.2.4 es el que entrega la referencia de frecuencia y, por lo tanto, de ángulo de fase de las tensiones en el PAC en razón de la potencia activa calculada a partir de las mediciones de corrientes y tensiones de fase transformadas a

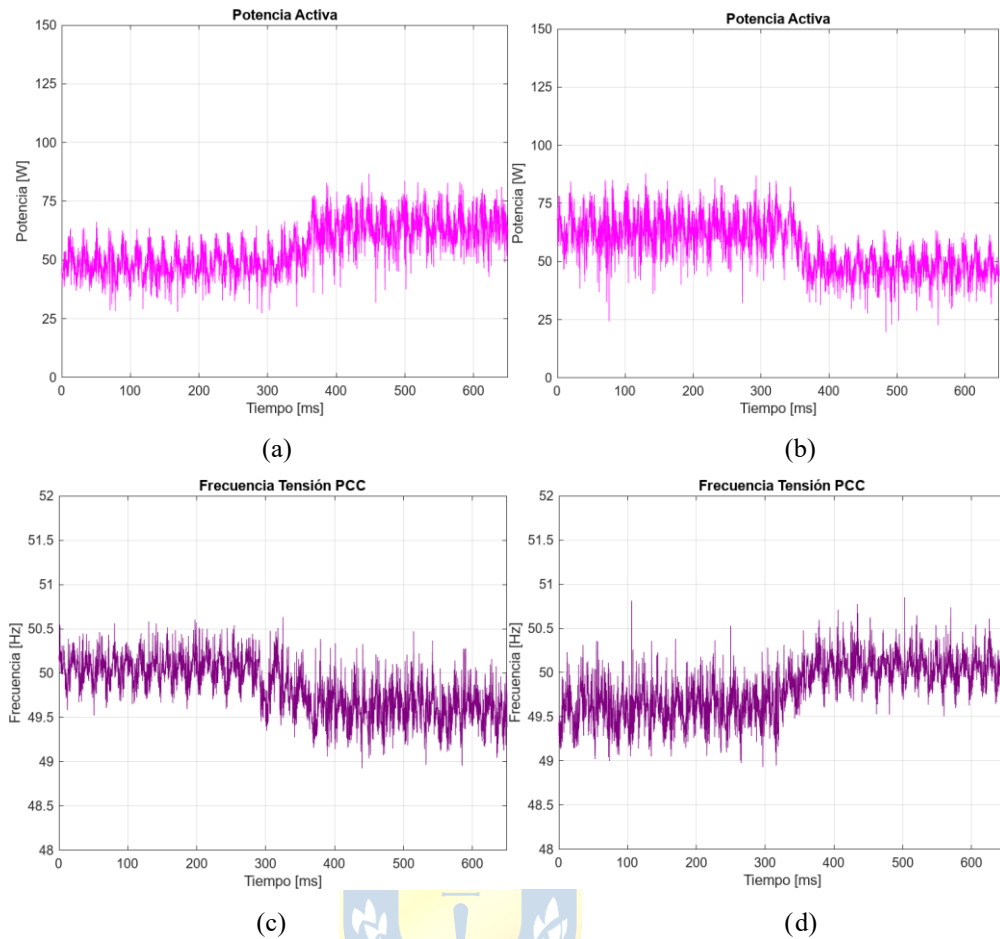
ejes  $dq$ .

La tensión en el PAC se establece directamente con el lazo de control de tensión en ejes  $dq$ , manteniéndose  $v_{Gd} = 40 [V]$  y  $v_{Gq} = 0[V]$  para trabajar con un índice de modulación de 0.8 en E.E. y tener un margen de excursión para la respuesta de la tensión, antes de llegar la saturación de las moduladoras.

Respecto al diseño realizado en la sección 2.2.4, para el cálculo de los parámetros  $D$  y  $J$ , se modifica únicamente la potencia entregada por el inversor a frecuencia nominal para que sea de  $P_0 = 50[W]$ , esto en consideración de la tensión que se impondrá en el PAC y la carga conectada. Sus cálculos proceden de la misma forma en que se hicieron en la sección 2.2.4. En la Figura 3.10 se muestran los resultados de la prueba del lazo VSG sobre un inversor solitario en su respuesta ante impactos de carga, según los parámetros de la Tabla 3.3.

**Tabla 3.3 Parámetros Prueba Experimental Lazo VSG Inversor Solitario**

Parámetro	Caso a	Caso b
Tensión Enlace DC $V_{DC}$	100 V	100 V
Referencia Tensión Eje d $v_{dref}$	40 V	40 V
Referencia Tensión Eje q $v_{qref}$	0 V	0 V
Instante Impacto de Carga $t_1$	0.3 S	0.3 S
Potencia Activa Nominal Inicial Carga $P_1$	2 kW	3 kW
Potencia Activa Nominal Final Carga $P_2$	3 kW	2 kW
Coficiente de Inercia $J$	5.09 kg*m <sup>2</sup>	5.09 kg*m <sup>2</sup>
Coficiente de Amortiguamiento $D$	$8.86 \cdot 10^{-3}$ J	$8.86 \cdot 10^{-3}$ J
Constante de Tiempo $T$	0.5 S	0.5 S
Frecuencia Angular Nominal $w_0$	$100\pi$ rad/s	$100\pi$ rad/s
Potencia Activa Inversor a Frecuencia Nominal $P_0$	50 W	50 W



**Fig. 3.10: Respuesta del lazo de control VSG implementado con inversor operando en solitario.**

(a) Potencia activa Caso a. (b) Potencia activa Caso b. (c) Frecuencia en el Caso a. (d) Frecuencia en el Caso d.

La respuesta de la frecuencia de la tensión en el PAC, ante impactos de carga, es de primer orden. Ante esto, el valor mínimo o máximo al que llega la frecuencia es el valor al que se llega en E.E.

El control de los 2 inversores en paralelo se hace tal como se desarrolla en el **Capítulo 2** sección 2.2.4, en donde se implementa un lazo de control de tensión común para el eje  $d$  y el eje  $q$ , tal que la referencia de corriente que calcula el lazo para llegar a la tensión de referencia es distribuida en partes iguales entre las referencias de los lazos de control de corriente de cada uno de los inversores.

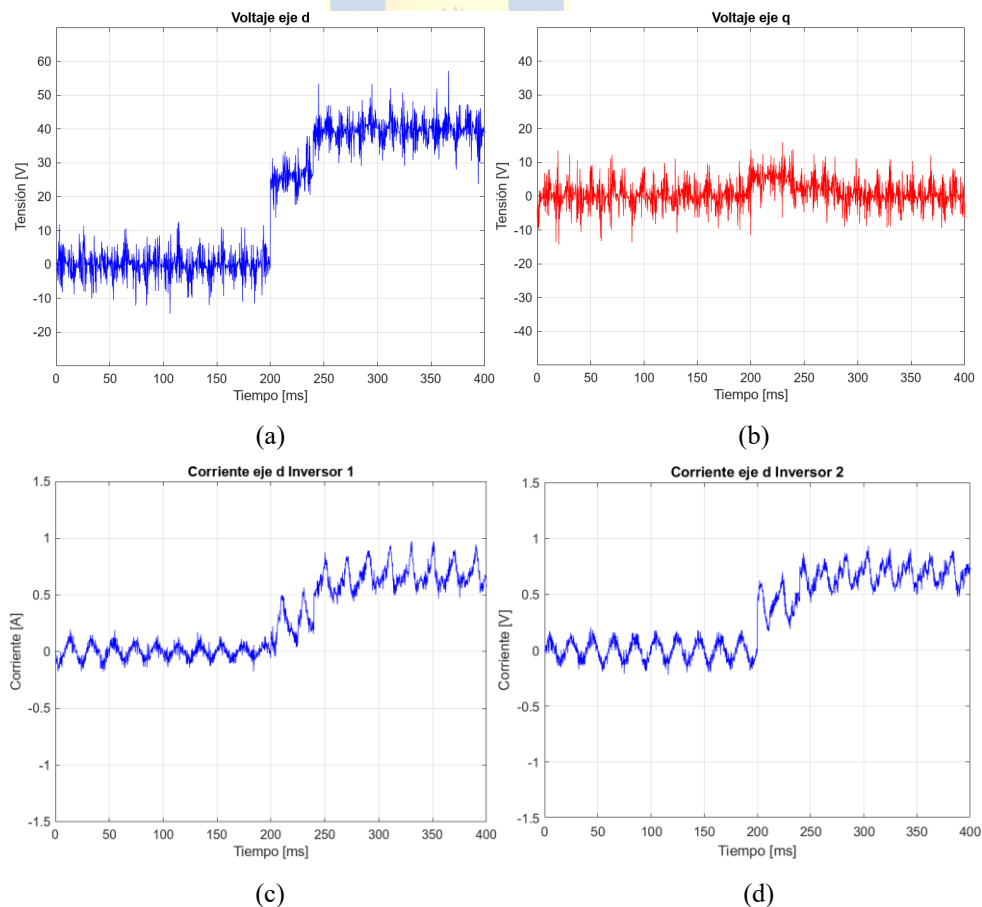
Usando idénticos parámetros de diseño de los lazos de control de corriente para los 2 inversores, y los parámetros de diseño del lazo de control de tensión, se implementa el método descrito con un ángulo de fase proveniente de la integración de una frecuencia constante de  $\omega_0 = 2\pi *$

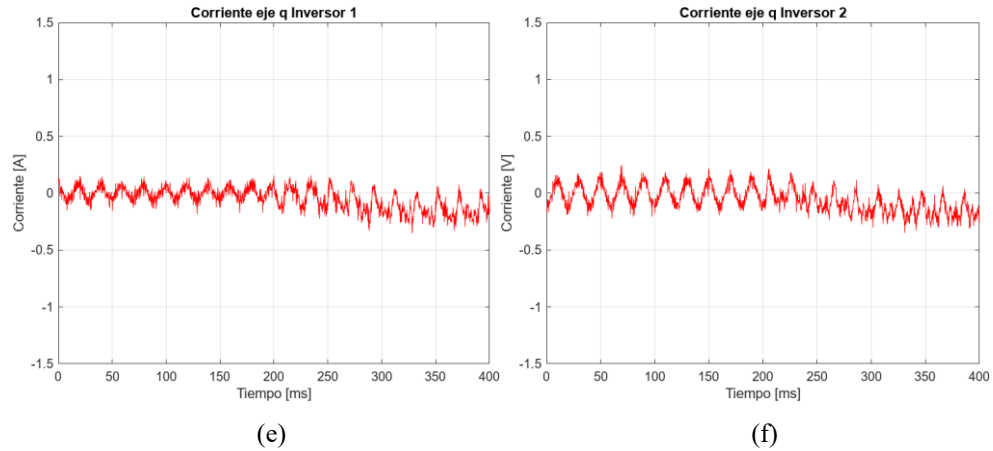
50 [rad/s].

En la Figura 3.11 se muestran los resultados de las pruebas de este lazo centralizado de voltaje, ante cambio escalón en la referencia de tensión del eje  $d$ , en la cual se tienen como parámetros los indicados en la Tabla 3.4. Se incluyen las corrientes entregadas por cada inversor en ejes  $d$  y  $q$ .

**Tabla 3.4 Parámetros Prueba Experimental Lazo Control Centralizado**

Parámetro	Valor
Tensión Enlace DC $V_{DC}$	100 V
Potencia Activa Nominal Carga $P_1$	3 kW
Frecuencia $\omega_0$	$100\pi$ rad/s
Referencia Eje d Inicial $v_{Gdref0}$	0 V
Referencia Eje q Inicial $v_{Gqref0}$	0 V
Instante Cambio de Referencia $t_1$	0.2 S
Referencia Eje d Final $v_{Gdref}$	40 V
Referencia Eje q Final $v_{Gqref}$	0 V





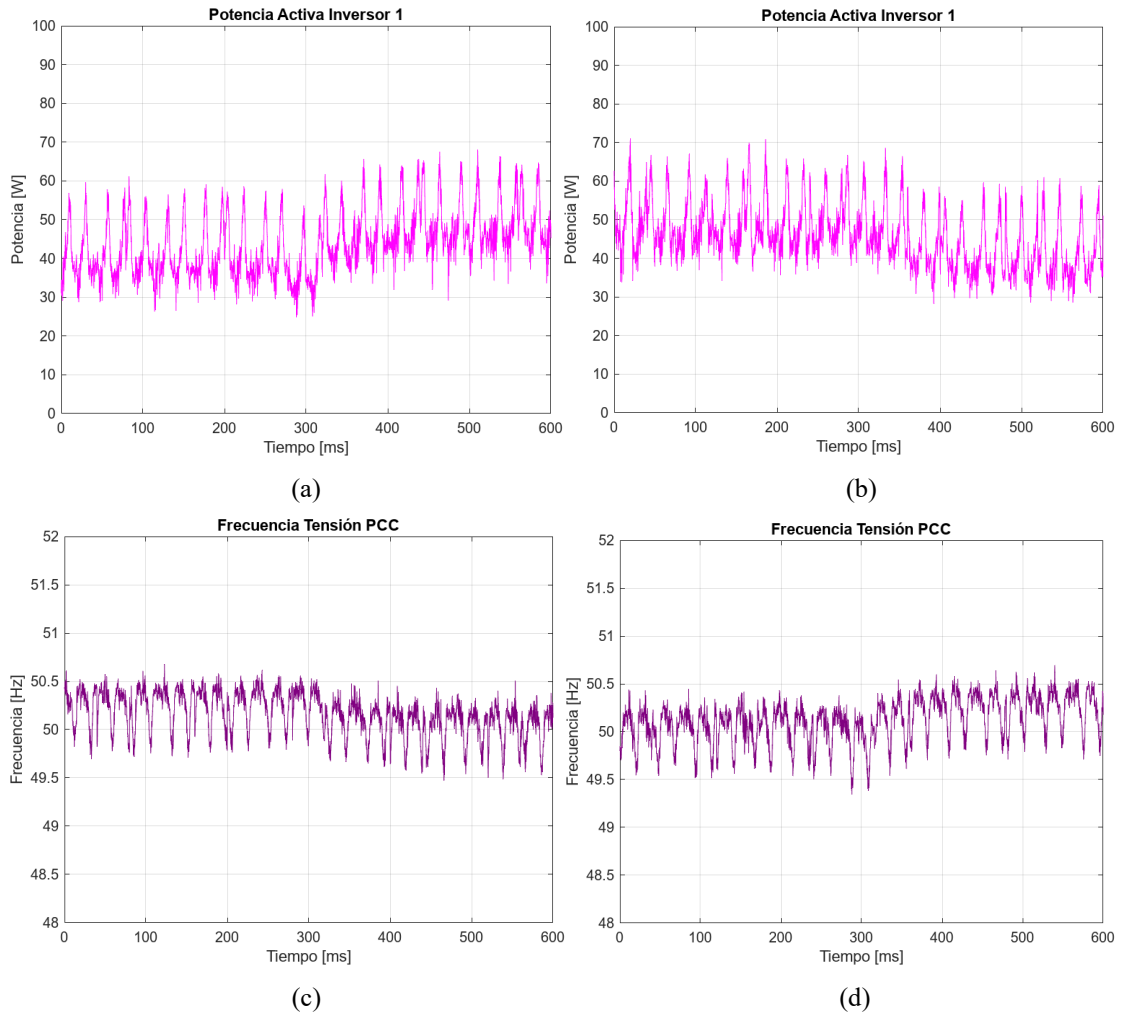
**Fig. 3.11: Respuesta del lazo de tensión común con corriente de referencia distribuida entre 2 inversores.**  
 (a) Voltaje eje d. (b) Voltaje eje q. (c) Corriente eje d inversor 1. (d) Corriente eje d inversor 2. (e) Corriente eje q inversor 1. (f) Corriente eje q inversor 2.

El valor medio de las corrientes entregadas en E.E., tanto en eje  $d$  como eje  $q$ , son idénticas entre inversores. Las diferencias instantáneas están asociadas tanto al ruido de medición como a la diferencia de parámetros entre inversores, principalmente en la diferencia en los inductores de filtro de cada inversor y el PAC. Se logra el control de tensiones en el PAC, con los inversores conectados en paralelo, al llegarse al valor dado por las referencias en E.E.

Finalmente se aplica el lazo de control VSG, con iguales parámetros de diseño a los utilizados en operación solitaria del inversor. En esta prueba la potencia activa medida y usada para el control de la frecuencia es la entregada por solo uno de los 2 inversores. En la Figura 3.12 se muestran los resultados de la prueba del lazo VSG sobre uno de los 2 inversores conectados en paralelo ante cambios en la potencia activa entregada por este, en donde los parámetros de la prueba son los de la Tabla 3.5.

**Tabla 3.5 Parámetros Prueba Experimental Lazo VSG Inversores Paralelos**

Parámetro	Caso a	Caso b
Tensión Enlace DC $V_{DC}$	100 V	100 V
Referencia Tensión Eje d $v_{dref}$	40 V	40 V
Referencia Tensión Eje q $v_{qref}$	0 V	0 V
Instante Impacto de Carga $t_1$	0.3 S	0.3 S
Potencia Activa Nominal Inicial Carga $P_1$	4 kW	5 kW
Potencia Activa Nominal Final $P_2$	5 kW	4 kW
Coefficiente de Inercia $J$	5.09 kg*m <sup>2</sup>	5.09 kg*m <sup>2</sup>
Coefficiente de Amortiguamiento $D$	$8.86 \cdot 10^{-3}$ J	$8.86 \cdot 10^{-3}$ J
Constante de Tiempo $T$	0.5 S	0.5 S
Frecuencia Angular Nominal $\omega_0$	$100\pi$ rad/s	$100\pi$ rad/s
Potencia Activa Inversor a Frecuencia Nominal $P_0$	50 W	50 W



**Fig. 3.12 : Respuesta del lazo de control VSG implementado en uno de los 2 inversores conectados en paralelo.**

(a) Potencia activa Caso a. (b) Potencia activa Caso b. (c) Frecuencia en el Caso a. (d) Frecuencia en el Caso b.

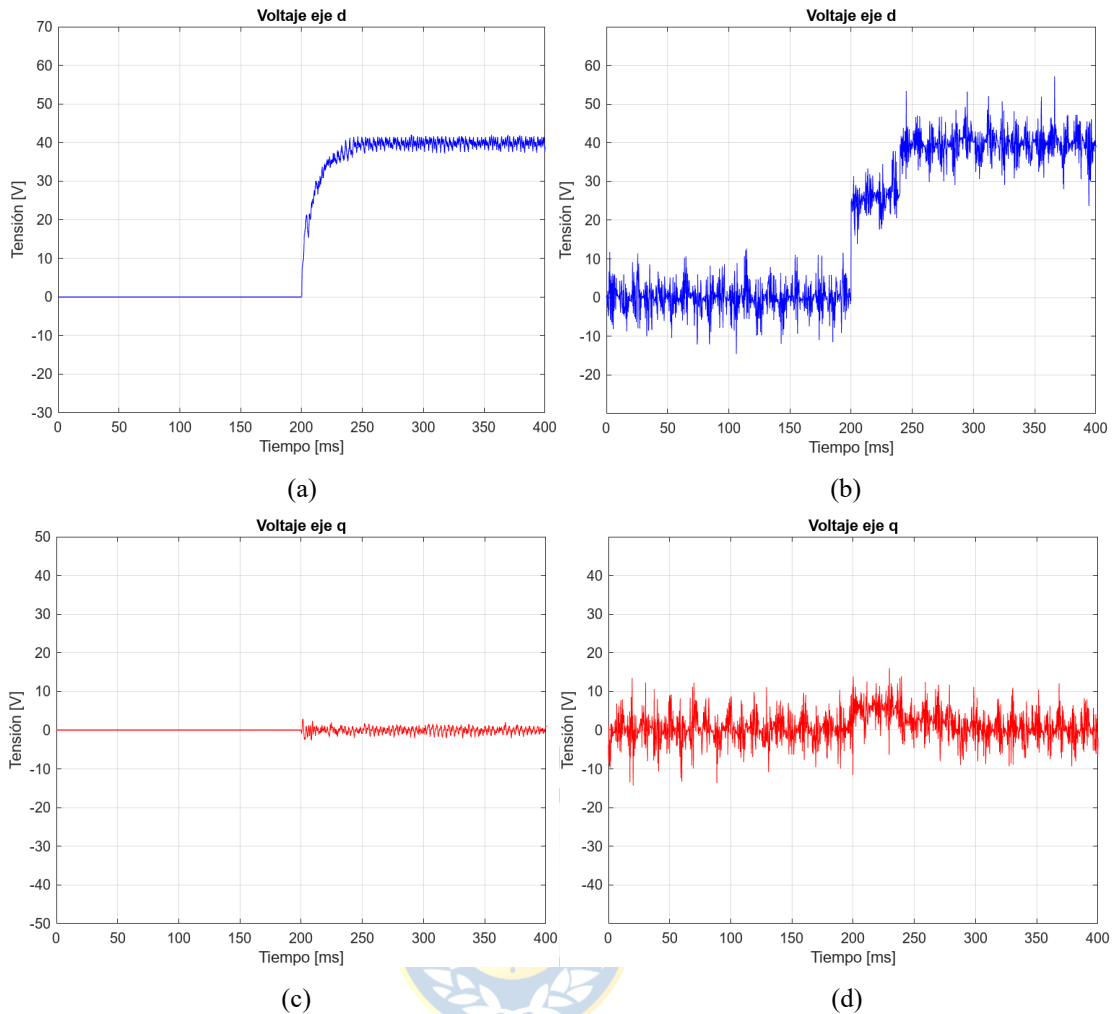
En esencia la respuesta de la frecuencia es la misma que para el caso de operación del inversor en solitario, salvo la diferencia de que el inversor al cual se le aplica el lazo de control VSG, y el que en definitiva define la frecuencia en el PAC, está entregando la mitad de la potencia para una misma carga conectada al PAC y con igual nivel de tensión en ese punto.

### **3.4. Resultados Finales**

En este proyecto se realizó el diseño, simulación e implementación de un lazo de control VSG dentro del contexto de una microrred formada por 2 inversores conectados en paralelo a un punto de acoplamiento común, en conjunto con un número limitado de cargas. Las simulaciones permitieron validar teóricamente los diseños de los lazos de control, ante el seguimiento de referencias con cambios tipo escalón y el rechazo de perturbaciones cuando así se ameritaba.

La implementación también validó el funcionamiento de los lazos de control en cuanto al seguimiento de referencias, aunque las dinámicas resultantes ante cambios escalón no sean exactamente las diseñadas.

Para realizar las siguientes comparativas los parámetros de las simulaciones fueron actualizados a los utilizados en la implementación experimental. En la Figura 4.1 se muestra la comparativa de la respuesta del lazo de control centralizado de tensión, obtenida mediante simulación y experimentalmente, donde los parámetros son los de la Tabla 3.4. En la Figura 4.2 se muestra la comparativa de la respuesta del lazo VSG sobre uno de los inversores conectados en paralelo, obtenida mediante simulación y experimentalmente, donde los parámetros son los de la Tabla 3.5.



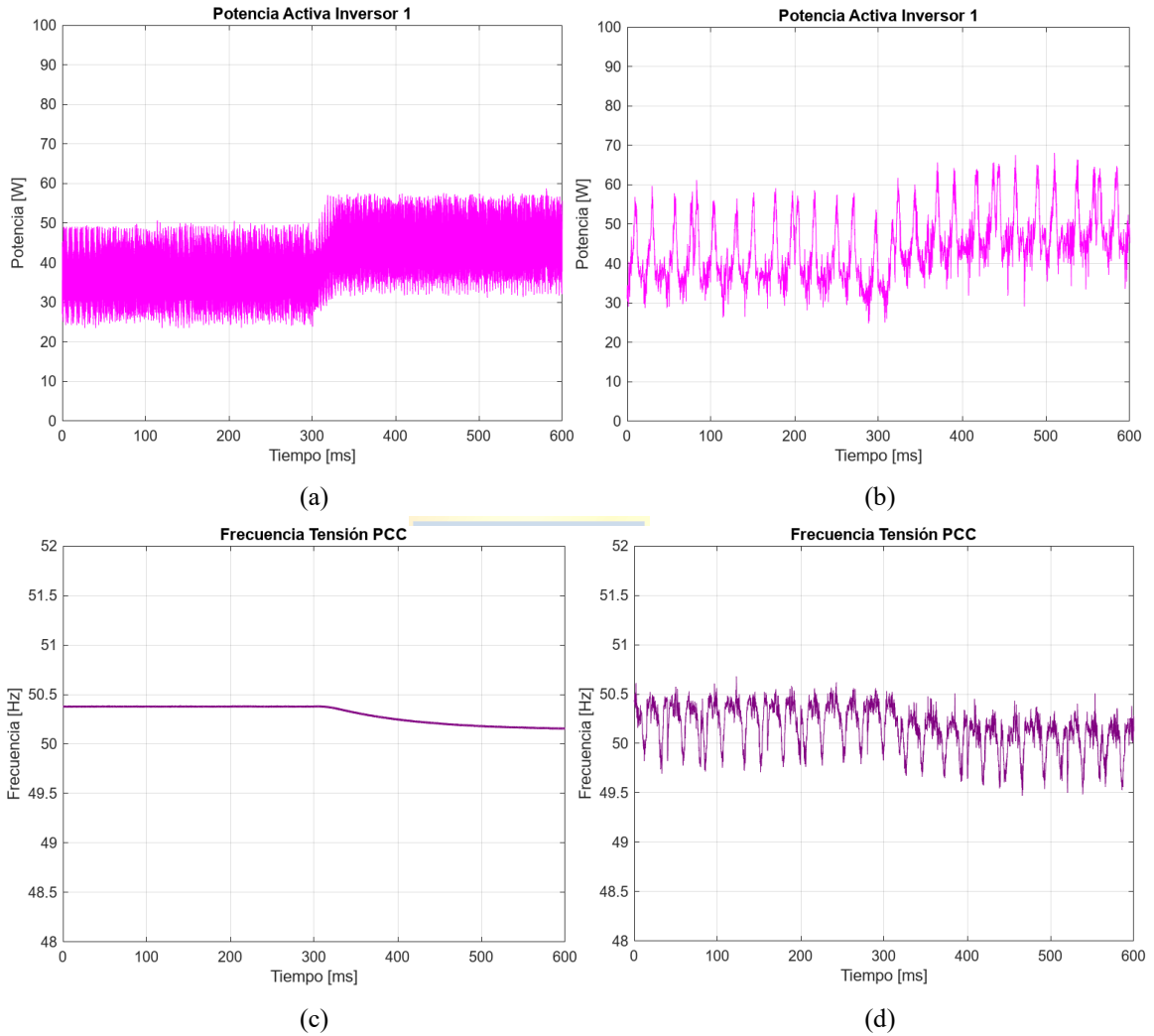
**Fig. 3.13 : Comparativa control centralizado de voltaje.**

(a) Voltaje eje d simulación. (b) Voltaje eje d experimental. (c) Voltaje eje q simulación. (d) Voltaje eje q experimental.

El control centralizado de tensión para el realizar el control de inversores conectados en paralelo logra efectivamente regular la tensión para que se establezca en el valor dado por la referencia. Sin embargo, las pruebas experimentales muestran que no se sigue con exactitud la dinámica que fue diseñada, habiendo acoplamiento entre variables en ejes  $dq$  en estado transitorio. Esto es debido a que las inductancias, resistencias equivalentes en serie y capacitancias del filtro RLC no tienen los valores exactos con los que se realizó el desacoplamiento de variables, a partir de términos que dependen de estos parámetros según las ecuaciones (2.2-5), (2.2-6), (2.2-7) y (2.2-8).

En estado estacionario el controlador PI logra igualmente cero error en el seguimiento de la referencia, con lo que no hay problemas de acoplamientos en tales circunstancias.

El lazo de control VSG, aplicado a uno de los convertidores, reguló efectivamente la frecuencia de la tensión en el punto de acoplamiento común ante impactos de carga.



**Fig. 3.14 : Comparativa lazo de control VSG.**

(a) Potencia activa inductor 1 simulación. (b) Potencia activa inductor 1 experimental. (c) Frecuencia tensión PAC simulación. (d) Frecuencia tensión PAC experimental.

La respuesta de la frecuencia ante cambios en la carga es de 1er orden, pero se tiene dificultad en la comprobación de la constante de tiempo diseñada al usarse en las pruebas experimentales cargas cuyo modelo se aproxima a uno de impedancia constante. Ante esto la potencia activa absorbida por la carga, que es la entregada por los 2 inversores en conjunto, se ve influenciada por la dinámica del lazo de control de voltaje en el punto de acoplamiento común, al cual actúa para mantener constante

la tensión en este punto a la referencia dada.

El ruido, a pesar del filtrado realizado, sigue distorsionando las señales de salida de los lazos de control. Aun así los valores medios móviles de las señales de las pruebas experimentales son cercanos a los que se obtienen desde las simulaciones.



## 4. Conclusiones

---

### 4.1. Introducción

En este proyecto se realizó el diseño, simulación e implementación de un lazo de control VSG dentro del contexto de una microrred formada por 2 inversores conectados en paralelo a un punto de acoplamiento común, en conjunto con un número limitado de cargas. Las simulaciones permitieron validar teóricamente los diseños de los lazos de control, ante el seguimiento de referencias con cambios tipo escalón y el rechazo de perturbaciones cuando así se ameritaba.

### 4.2. Conclusiones

A partir de los resultados obtenidos, es posible llegar a las siguientes conclusiones:

- El método VSG implementado tiene la capacidad de regular la frecuencia de la tensión en el punto de acoplamiento con una dinámica de 1er orden, esto en el contexto de la microrred experimental formada por 2 inversores en paralelo y una cantidad discreta de cargas. El proceso de diseño de este lazo de control debe tomar en consideración el modelo de las cargas que están conectadas a la microrred donde se implementa, dada la posible influencia de la dinámica del voltaje sobre la potencia activa absorbida por estas y , en consecuencia, la potencia activa entregada por los inversores.
- Los lazos de control internos, de voltaje y corriente, deben considerar la no exactitud en los parámetros del filtro por el cual se conecta el inversor hacia el punto de acoplamiento de la microrred. Desacoplamientos dinámicos pueden modificar la dinámica diseñada del lazo de control.
- El ruido, fenómeno común en la medición de variables, debe reducirse para evitar oscilaciones en la potencia activa medida. Esto desembocaría en oscilaciones de frecuencia no menores si

se utiliza el lazo de control VSG descrito en redes reales. El lazo de control, que es de 1er orden, actúa por si mismo como un filtro pasa-bajos, pero exigirle una frecuencia de corte más baja implicaría aumentar el valor de inercia virtual lo que, por capacidades del enlace DC que es quien finalmente almacena la energía asociada a esta inercia virtual, podría no ser posible. La utilización de filtros de medición de potencia añadiría dinámicas al lazo de control, con lo que se tendría que modificar el diseño de este.

### 4.3. Trabajo Futuro

A partir del proyecto realizado, se puede seguir ampliando las pruebas experimentales con otras estructuras *Grid-Forming* y emulando diferentes situaciones.

Sería de gran interés la implementación experimental de el lazo de control desarrollado con parámetros más cercanos a lo utilizado en una microrred real, en cuanto al nivel de tensión en el punto de acoplamiento común y las potencias de las cargas. También es de interés la operación en paralelo de múltiples inversores que puedan regular la frecuencia con el lazo de control VSG diseñado y verificar su aporte en la respuesta inercial, así como en la distribución de las potencias entregadas por cada uno según las curvas de estatismo  $P-w$  diseñadas.

Por otro lado, la inercia del rotor de un generador síncrono está relacionada con la capacidad de almacenamiento de energía en este. Para el caso de un inversor, esta capacidad de almacenamiento se podría dar en su enlace DC a través de un banco de baterías. Así entonces, la capacidad de aportar con inercia a la red estaría dada por la capacidad de estas baterías con lo que sería interesante un análisis de la necesidad de almacenamiento a través de estos bancos según los requerimientos de respuesta inercial en la red donde se conectan los inversores controlados con la técnica *Grid-Forming VSG*.

## Referencias

---

- [1] G. Song, B. Cao, and L. Chang, "Review of Grid-forming Inverters in Support of Power System Operation," *Chinese Journal of Electrical Engineering*, vol. 8, no.1, Mar. 2022.
- [2] H. Zang, W. Xiang, W. Lin and J. Wen "Grid Forming Converters in Renewable Energy Sources Dominated Power Grid: Control Strategy, Stability, Applications and Challenges" *Journal of Modern Power Systems and Clean Energy*, vol. 9, no. 6, November 2021.
- [3] J. Rocabert, A. Luna, F. Blaabjerg, and P. Rodríguez, "Control of Power Converters in AC Microgrids," *IEEE Transactions on Power Electronics*, vol. 27, no. 11, Nov. 2012.
- [4] R. Rosso, X. Wang, M. Liserre, X. Lu, y S. Engelken, "Grid-forming converters: an overview of control approaches and future trends," en *Proceedings of the IEEE Energy Conversion Congress and Exposition (ECCE 2020)*, Oct. 2020.
- [5] C. Cardozo, T. Prevost, S.-H. Huang, J. Lu, N. Modi, M. Hishida, X. Li, A. Abdalrahman, P. Samuelsson, T. Van Cutsem, Y. Laba, Y. Lamrani, F. Colas, and X. Guillaud, "Promises and challenges of grid forming: Transmission system operator, manufacturer and academic viewpoints," *Electric Power Systems Research*, vol. 235, Oct. 2024.
- [6] A. Yazdani and R. Iravani "Voltage-Sourced Converters in Power Systems" Hoboken, NJ: John Wiley & Sons, 2010.
- [7] J. Fang, J. Liu, H. Wu, J. Chen and F. Blaabjerg "Grid Forming Converters: Principles, Control and Applications in Modern Power Systems" Cambridge, MA: Academic Press, 2024.
- [8] S. Fazal, E. Haque, T. Arif and A. Gargoom "Droop Control Techniques for Grid Forming Inverter" *IEEE PES 14th APPEEC*, Melbourne, Australia, November 20-23th, 2022.
- [9] M. Guan, W. Pan, J. Zhang, Q. Hao, J. Cheng and Xiang Zheng "Synchronous Generator Emulation Control Strategy for Voltage Source Converter (VSC) Stations" *IEEE Transactions on Power Systems*, vol.30, no.6, November 2013.
- [10] T. Shintai, Y. Miura, T. Ise "Oscillation Damping of a Distributed Generator Using a Virtual Synchronous Generator" *IEEE Transactions on Power Delivery*, vol.29, no.2, April 2014.

- [11] J.M. Guerrero, L. Hang and J. Uceda “*Control of Distributed Uninterruptible Power Supply Systems*” *IEEE Transactions on Industrial Electronics*, vol. 55, no. 8, August 2008.
- [12] M.H. Rashid “*Power Electronics: Circuits, Devices and Applications*”, 4<sup>th</sup> ed. Upper Saddle River, NJ: Pearson, 2013.
- [13] D. Grahame Holmes and T.A. Lipo “*Pulse Width Modulation For Power Converters: Principles and Practice*” Hoboken, NJ: Wiley-IEEE Press, 2003.
- [14] K. J. Åström and B. Wittenmark “*Computer-Controlled Systems: Theory and Design*”, 3<sup>rd</sup> ed. Mineola, NY: Dover Publications, 2011.
- [15] T.A. Sakharuk, B. Lehman, A.M. Stankovic and G. Tadmor “*Effects of Finite Switching Frequency and Delay on PWM Controlled Systems*” *IEEE Transactions on Circuits and Systems—I: Fundamental Theory and Applications*, vol. 47, no. 4, April 2000.
- [16] F. Blaabjerg “*Control of Power Electronics Converters and Systems*”, Vol.3 Cambridge, MA: Academic Press, 2021.
- [17] “*Norma Técnica de Seguridad y Calidad de Servicio*” Comisión Nacional de Energía, Ministerio de Energía, Gobierno de Chile, Santiago, Chile, Maye 2018.
- [18] Texas Instruments, *TMS320F2837xD Dual-Core Real-Time Microcontrollers Technical Reference Manual*, December 2013. Available: <https://www.ti.com/mx/lit/pdf/spruhm8>
- [19] Texas Instruments, *LAUNCHXL-F28379D Overview User's Guide*, Rev. C, SPRUI77C, Aug. 2016, Revised Mar. 2019. Available: <https://www.ti.com/lit/ug/sprui77c/sprui77c.pdf>
- [20] Texas Instruments, *TMS320F2837xD Dual-Core Delfino Microcontrollers Datasheet*, no. SPRS879, Apr. 2017. Available: <https://www.ti.com/lit/gpn/tms320f28379d>

## A. Anexo A

---

### A.1. Modelo Conmutado del Inversor Fuente de Voltaje Trifásico

La función de conmutación  $s_1$  del transistor S1, que origina el encendido y apagado de este, es complementaria a la del transistor S4, denominada  $s_4$ . Suponiendo a estas señales como binarias, donde  $s_1 = 1$  enciende el transistor S1 y  $s_1 = 0$  lo apaga, entonces:

$$s_4 = 1 - s_1 \quad (\text{A.1-1})$$

donde,

$s_1$  : función de conmutación del transistor S1. Lo análogo para las demás  $s_n$ .

Luego, a partir del análisis de los dos casos posibles, descritos anteriormente, la tensión entre el punto a y N queda como sigue.


$$v_{aN} = \frac{V_{DC}}{2} s_1 - \frac{V_{DC}}{2} (1 - s_1) \quad (\text{A.1-1})$$

$$v_{aN} = \frac{V_{DC}}{2} (2s_1 - 1) \quad (\text{A.1-2})$$

donde,

$v_{aN}$  : tensión entre el punto a y el punto N del inversor, en referencia a la Figura 2.1. Lo análogo con  $v_{bN}$  y  $v_{cN}$ .

$V_{DC}$  : tensión del enlace DC.

Las mismas conclusiones se repiten para las demás piernas, con lo que:

$$v_{aN} = \frac{V_{DC}}{2} (2s_1 - 1) \quad (\text{A.1-3})$$

$$v_{bN} = \frac{V_{DC}}{2} (2s_2 - 1) \quad (\text{A.1-4})$$

$$v_{cN} = \frac{V_{DC}}{2} (2s_3 - 1) \quad (\text{A.1-5})$$

donde,

Por consiguiente, las tensiones entre líneas son:

$$v_{ab} = V_{DC}(s_1 - s_2) \quad (\text{A.1-6})$$

$$v_{bc} = V_{DC}(s_2 - s_3) \quad (\text{A.1-7})$$

$$v_{ca} = V_{DC}(s_3 - s_1) \quad (\text{A.1-8})$$

donde,

$v_{ab}$  : tensión entre fase a y b la salida del inversor, en referencia a la Figura 2.1. Lo análogo con  $v_{bc}$  y  $v_{ca}$ .

Las tensiones del punto medio de cada pierna respecto al neutro de la carga, con  $v_{nN}$  la tensión entre el neutro de la carga y el punto medio N del enlace DC, son:

$$v_{an} = v_{aN} - v_{nN} \quad (\text{A.1-9})$$

$$v_{bn} = v_{bN} - v_{nN} \quad (\text{A.1-10})$$

$$v_{cn} = v_{cN} - v_{nN} \quad (\text{A.1-11})$$

donde,

$v_{nN}$  : tensión entre el neutro de la carga y el punto N del inversor.

Si se consideran tensiones trifásicas balanceadas entonces  $v_{an} + v_{bn} + v_{cn} = 0$  y, al sumar las ecuaciones desde (A.1-9) a la (A.1-11), se llega a que:

$$v_{nN} = \frac{1}{3}(v_{aN} + v_{bN} + v_{cN}) \quad (\text{A.1-12})$$

Al reemplazar en (A.1-9), (A.1-10) y (A.1-11), se obtiene.

$$v_{an} = \frac{2}{3}v_{aN} - \frac{1}{3}v_{bN} - \frac{1}{3}v_{cN} \quad (\text{A.1-13})$$

$$v_{bn} = -\frac{1}{3}v_{aN} + \frac{2}{3}v_{bN} - \frac{1}{3}v_{cN} \quad (\text{A.1-14})$$

$$v_{cn} = -\frac{1}{3}v_{aN} - \frac{1}{3}v_{bN} + \frac{2}{3}v_{cN} \quad (\text{A.1-15})$$

donde,

$v_{an}$  : tensión entre fase a y neutro de la carga. Lo análogo para  $v_{bn}$  y  $v_{cn}$ .

Al reemplazar (A.1-3), (A.1-4) y (A.1-5) en las últimas 3 ecuaciones, se llega a que:

$$v_{an} = \left( \frac{2}{3}s_1 - \frac{1}{3}s_2 - \frac{1}{3}s_3 \right) V_{DC} \quad (\text{A.1-16})$$

$$v_{bn} = \left( -\frac{1}{3}s_1 + \frac{2}{3}s_2 - \frac{1}{3}s_3 \right) V_{DC} \quad (\text{A.1-17})$$

$$v_{cn} = \left( -\frac{1}{3}s_1 - \frac{1}{3}s_2 + \frac{2}{3}s_3 \right) V_{DC} \quad (\text{A.1-18})$$

Estas últimas siendo las ecuaciones en las que se basa el modelo conmutado del inversor trifásico fuente de voltaje.



## A.2. Modelo Promedio en Ejes $dq$ del Inversor Fuente de Voltaje Trifásico

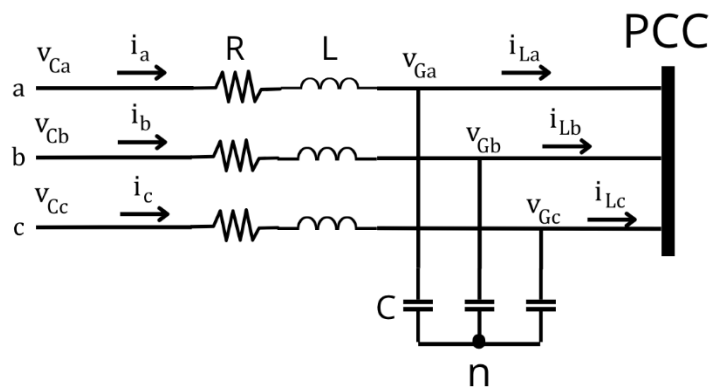


Fig. A.1 : Definición de tensiones de corriente a la salida del inversor y en el PAC.

En la Figura A.1 se muestra el filtro RLC que une al inversor con el PAC, con sus variables respectivas. Se renombran las tensiones de fase a la salida del inversor, con respecto al neutro de los

condensadores conectados en estrella, como  $v_{Ca}$ ,  $v_{Cb}$  y  $v_{Cc}$  y a las tensiones de fase en el PAC al neutro de los condensadores como  $v_{Ga}$ ,  $v_{Gb}$  y  $v_{Gc}$ . Las corrientes de fase a la salida del inversor son  $i_a$ ,  $i_b$  e  $i_c$ , mientras que las corrientes de fase hacia el PAC (y por ende hacia las cargas) son  $i_{La}$ ,  $i_{Lb}$  e  $i_{Lc}$ . Luego, al aplicar Ley de Tensión y Ley de Corrientes de Kirchhoff, según la Figura A.1:

$$v_{Ca} = Ri_a + L \frac{di_a}{dt} + v_{Ga} \quad (\text{A.2-1})$$

$$v_{Cb} = Ri_b + L \frac{di_b}{dt} + v_{Gb} \quad (\text{A.2-2})$$

$$v_{Cc} = Ri_c + L \frac{di_c}{dt} + v_{Gc} \quad (\text{A.2-3})$$

$$i_a = C \frac{dv_{Ga}}{dt} + i_{La} \quad (\text{A.2-4})$$

$$i_b = C \frac{dv_{Gb}}{dt} + i_{Lb} \quad (\text{A.2-5})$$

$$i_c = C \frac{dv_{Gc}}{dt} + i_{Lc} \quad (\text{A.2-6})$$

donde,

$v_{Ca}$  : tensión de fase a, a la salida del inversor. Lo análogo para  $v_{Cb}$  y  $v_{Cc}$ .

$v_{Ga}$  : tensión de fase a en el PAC. Lo análogo para  $v_{Gb}$  y  $v_{Gc}$ .

$i_a$  : corriente de fase a, a la salida del inversor. Lo análogo para  $i_b$  e  $i_c$ .

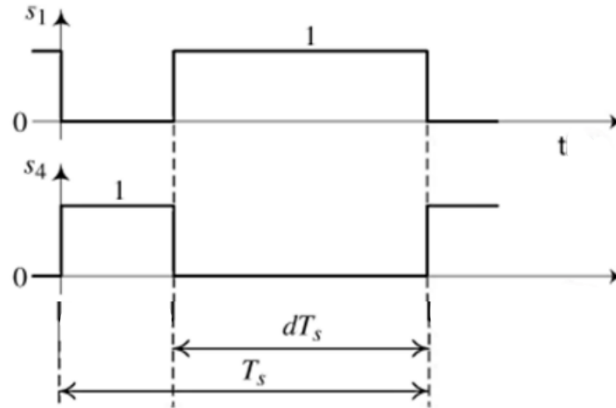
$i_{La}$  : corriente de fase a que fluye al PAC. Lo análogo para  $i_{Lb}$  e  $i_{Lc}$ .

$C$  : capacitancia del filtro RLC.

$R$ : resistencia equivalente en serie del inductor del filtro RLC

$L$  : inductancia del filtro RLC.

El modelo conmutado derivado de las ecuaciones entregadas en el **Anexo A.1**, que representa corrientes y tensiones con formas de onda conmutadas tipo SPWM, es promediado dentro de un período de conmutación con tal que las ecuaciones dinámicas hagan referencia únicamente a las componentes fundamentales de las variables, cuyas formas de ondas presentan armónicos asociados a la conmutación. Esto se hace con el objetivo de controlar la amplitud y frecuencia de la componente fundamental de las variables de interés, lo que se hará en las subsecuentes secciones.



**Fig. A.2 : Funciones de conmutación con período  $T_s$  y ciclo de trabajo  $d$ , durante un intervalo de conmutación.**

Imagen extraída de [14].

En la Figura A.2 se muestran funciones de conmutación complementarias, con período de conmutación  $T_s$  y ciclo de trabajo  $d$ . En los casos en que el promedio de una variable es en sí mismo una función del tiempo, es decir, cambia de un ciclo de conmutación al siguiente, el operador de promediado se define como:

$$\bar{x}(t) = \frac{1}{T_s} \int_{t-T_s}^t x(\tau) d\tau \quad (\text{A.2-7})$$

donde,

$x(\tau)$  : señal.

$\bar{x}(t)$  : promedio de la señal dentro de un período  $T_s$ .

$T_s$  : período de la señal.

Con  $T_s$  como el período de conmutación y  $d$  como el ciclo de trabajo variable en el tiempo con la técnica SPWM. En la ecuación anterior  $x(\tau)$  es la variable y  $\bar{x}(t)$  su promedio en el período de conmutación. Para este caso específico, donde existen variables conmutadas, el promedio de sus formas de onda varía de un ciclo de conmutación a otro. Aplicando el operador de promediado a  $s_1$  en la Figura A.2, se deduce que:

$$\bar{s}_1 = d \quad (\text{A.2-8})$$

donde,

$\bar{s}_1$ : promedio de la función de conmutación  $s_1$  dentro de un período  $T_s$ . Lo análogo para  $\bar{s}_2$  y  $\bar{s}_3$ .

$d$  : ciclo de trabajo.

Aplicando el operador de promediado a ambos lados de las ecuaciones (A.2-1) a la (A.2-6) se llega que:

$$\bar{v}_{Ca} = R\bar{i}_a + L \frac{d\bar{i}_a}{dt} + \bar{v}_{Ga} \quad (\text{A.2-9})$$

$$\bar{v}_{Cb} = R\bar{i}_b + L \frac{d\bar{i}_b}{dt} + \bar{v}_{Gb} \quad (\text{A.2-10})$$

$$\bar{v}_{Cc} = R\bar{i}_c + L \frac{d\bar{i}_c}{dt} + \bar{v}_{Gc} \quad (\text{A.2-11})$$

$$\bar{i}_a = C \frac{d\bar{v}_{Ga}}{dt} + \bar{i}_{La} \quad (\text{A.2-12})$$

$$\bar{i}_b = C \frac{d\bar{v}_{Gb}}{dt} + \bar{i}_{Lb} \quad (\text{A.2-13})$$

$$\bar{i}_c = C \frac{d\bar{v}_{Gc}}{dt} + \bar{i}_{Lc} \quad (\text{A.2-14})$$

donde,

$\bar{v}_{Ca}$  : promedio de la tensión de fase a, a la salida del inversor. Lo análogo para  $\bar{v}_{Cb}$  y  $\bar{v}_{Cc}$ .

$\bar{v}_{Ga}$  : promedio de la tensión de fase a en el PAC. Lo análogo para  $\bar{v}_{Gb}$  y  $\bar{v}_{Gc}$ .

$\bar{i}_a$  : promedio de la corriente de fase a, a la salida del inversor. Lo análogo para  $\bar{i}_b$  e  $\bar{i}_c$ .

$\bar{i}_{La}$  : promedio de la corriente de fase a que fluye al PAC. Lo análogo para  $\bar{i}_{Lb}$  e  $\bar{i}_{Lc}$ .

Si se adopta la estrategia PWM, entonces  $m = 2d - 1$  describe la relación entre la magnitud de la señal moduladora y el ciclo de trabajo [6]. Al despejar la relación entre  $m$  y  $d$ , para el ciclo de trabajo  $d$ :

$$d = \frac{m + 1}{2} \quad (\text{A.2-15})$$

Con lo que, al reemplazar en (A.2-8), suponiendo que se trata con la moduladora de la fase a:

$$\bar{s}_1 = \frac{m_a + 1}{2} \quad (\text{A.2-16})$$

donde,

$m_a$  : moduladora de fase a. Lo análogo para  $m_b$  y  $m_c$ .

Reemplazando en (A.1-16) a (A.1-18), considerando las moduladoras asociadas a las fases  $abc$  como  $m_a$ ,  $m_b$  y  $m_c$ , respectivamente:

$$\bar{v}_{Ca} = \frac{1}{2} \left( \frac{2}{3} m_a - \frac{1}{3} m_b - \frac{1}{3} m_c \right) V_{DC} \quad (\text{A.2-17})$$

$$\bar{v}_{Cb} = \frac{1}{2} \left( -\frac{1}{3} m_a + \frac{2}{3} m_b - \frac{1}{3} m_c \right) V_{DC} \quad (\text{A.2-18})$$

$$\bar{v}_{Cc} = \frac{1}{2} \left( -\frac{1}{3} m_a - \frac{1}{3} m_b + \frac{2}{3} m_c \right) V_{DC} \quad (\text{A.2-19})$$

Como las moduladoras representan un conjunto trifásico; de igual amplitud y desfasadas en  $120^\circ$ , entonces  $m_a + m_b + m_c = 0$ , con lo que se puede llegar a que:

$$\bar{v}_{Ca} = \frac{m_a}{2} V_{DC} \quad (\text{A.2-20})$$

$$\bar{v}_{Cb} = \frac{m_b}{2} V_{DC} \quad (\text{A.2-21})$$

$$\bar{v}_{Cc} = \frac{m_c}{2} V_{DC} \quad (\text{A.2-22})$$

Y las ecuaciones (A.2-9) a la (A.2-11) quedan como sigue.

$$\bar{v}_{Ga} = -R\bar{i}_a - L \frac{d\bar{i}_a}{dt} + \frac{m_a}{2} V_{DC} \quad (\text{A.2-23})$$

$$\bar{v}_{Gb} = -R\bar{i}_b - L \frac{d\bar{i}_b}{dt} + \frac{m_b}{2} V_{DC} \quad (\text{A.2-24})$$

$$\bar{v}_{Gc} = -R\bar{i}_c - L \frac{d\bar{i}_c}{dt} + \frac{m_c}{2} V_{DC} \quad (\text{A.2-25})$$

Estas ecuaciones, cuyas variables fueron promediadas dentro de un ciclo de conmutación, reflejan la variación temporal de las componentes fundamentales AC, de muy baja frecuencia respecto a la frecuencia de conmutación, de las variables con formas de onda tipo PWM.

Considerando que se tienen variables trifásicas con la forma:

$$f_a = \hat{f} \cos(\omega t + \vartheta_0) \quad (\text{A.2-26})$$

$$f_b = \hat{f} \cos\left(\omega t + \vartheta_0 - \frac{2\pi}{3}\right) \quad (\text{A.2-27})$$

$$f_c = \hat{f} \cos\left(\omega t + \vartheta_0 - \frac{4\pi}{3}\right) \quad (\text{A.2-28})$$

donde,

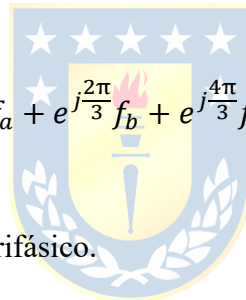
$f_a$ : fase a de un set de variables trifásicas. Lo análogo para  $f_b$  y  $f_c$ .

Al transformar  $f_a$ ,  $f_b$  y  $f_c$  en un único fasor rotatorio  $\vec{f}$  según la siguiente ecuación:

$$\vec{f} = \frac{2}{3} \left( e^{j0} f_a + e^{j\frac{2\pi}{3}} f_b + e^{j\frac{4\pi}{3}} f_c \right) \quad (\text{A.2-29})$$

donde,

$\vec{f}$ : vector representativo del set trifásico.



Se puede llegar a relacionar este fasor con su representación en un marco de referencias rotatorio  $dq$ , a través de la siguiente expresión.

$$(f_d + jf_q) = \vec{f} e^{-j\rho} \quad (\text{A.2-30})$$

$$\vec{f} = (f_d + jf_q) e^{j\rho} \quad (\text{A.2-31})$$

donde,

$f_d$ : Componente en eje  $d$  del set trifásico transformado.

$f_q$ : Componente en eje  $q$  del set trifásico transformado.

$\rho$ : ángulo asociado a la transformación.

Donde  $-\rho$  es un desfase aplicado al fasor  $\vec{f}$ , igual a  $\rho = \omega t$  para lograr que  $f_d$  y  $f_q$  sean variables DC en E.E. [6] La relación entre el vector de variables en ejes  $abc$  y ejes  $dq$  queda sintetizada por la siguiente Transformada de Voltaje Constante:

$$T_{abc-dq} = \begin{bmatrix} \cos(\omega t) & \cos\left(\omega t - \frac{2\pi}{3}\right) & \cos\left(\omega t - \frac{4\pi}{3}\right) \\ \sin(\omega t) & \sin\left(\omega t - \frac{2\pi}{3}\right) & \sin\left(\omega t - \frac{2\pi}{3}\right) \end{bmatrix} \quad (\text{A.2-32})$$

donde,

$\omega$ : frecuencia angular de la transformación.

Tal que:

$$\begin{bmatrix} f_d \\ f_q \end{bmatrix} = \frac{2}{3} T_{abc-dq} \begin{bmatrix} f_a \\ f_b \\ f_c \end{bmatrix} \quad (\text{A.2-33})$$

Al aplicar la transformación fasorial de (A.2-29) a las ecuaciones de variables trifásicas (A.2-12) a la (A.2-14) y (A.2-23) a la (A.2-25):

$$\vec{i} = C \frac{d\vec{v}_G}{dt} + \vec{i}_L \quad (\text{A.2-34})$$

$$\vec{v}_G = -R\vec{i} - L \frac{d\vec{i}}{dt} + \frac{\vec{m}}{2} V_{DC} \quad (\text{A.2-35})$$

donde,

$\vec{i}$ : vector del set trifásico corrientes a la salida del inversor.

$\vec{v}_G$ : vector del set trifásico de voltajes en el PAC.

$\vec{i}_L$ : vector del set trifásico corrientes que fluyen al PAC.

$\vec{m}$ : vector del set trifásico de moduladoras.

Luego, al sustituir según (A.2-31):

$$(v_{Gd} + jv_{Gq})e^{j\rho} = -R(i_d + ji_q)e^{j\rho} - L \frac{d((i_d + ji_q)e^{j\rho})}{dt} + \frac{(m_d + jm_q)e^{j\rho}}{2} V_{DC}$$

$$(i_d + ji_q)e^{j\rho} = C \frac{d((v_{Gd} + jv_{Gq})e^{j\rho})}{dt} + (i_{Ld} + ji_{Lq})e^{j\rho}$$

Resolviendo las derivadas de la forma  $\frac{d((f_d + jf_q)e^{j\rho})}{dt}$ :

$$(v_{Gd} + jv_{Gq})e^{j\rho} = -R(i_d + ji_q)e^{j\rho} - L \frac{d(i_d + ji_q)}{dt} e^{j\rho} - j \frac{d\rho}{dt} L(i_d + ji_q)e^{j\rho} + \frac{(m_d + jm_q)e^{j\rho}}{2} V_{DC}$$

$$(i_d + ji_q)e^{j\rho} = C \frac{d(v_{Gd} + jv_{Gq})}{dt} e^{j\rho} + j \frac{d\rho}{dt} C(v_{Gd} + jv_{Gq})e^{j\rho} + (i_{Ld} + ji_{Lq})e^{j\rho}$$

Si se separan estas últimas dos ecuaciones en parte real e imaginaria respectivamente, y asumiendo que  $\frac{d\rho}{dt} = \frac{d(\omega t)}{dt} = \omega$ , se obtienen las ecuaciones representativas en el marco de referencia rotatorio o también llamada en representación en ejes  $dq$ .

$$v_{Gd} = -Ri_d - L \frac{d(i_d)}{dt} + L\omega i_q + \frac{m_d}{2} V_{DC} \quad (\text{A.2-36})$$

$$v_{Gq} = -Ri_q - L \frac{d(i_q)}{dt} - L\omega i_d + \frac{m_q}{2} V_{DC} \quad (\text{A.2-37})$$

$$i_d = C \frac{d(v_{Gd})}{dt} - C\omega v_{Gq} + i_{Ld} \quad (\text{A.2-38})$$

$$i_q = C \frac{d(v_{Gq})}{dt} + C\omega v_{Gd} + i_{Lq} \quad (\text{A.2-39})$$

donde,

$v_{Gd}$ : componente en eje  $d$  de tensión en el PAC.

$v_{Gq}$ : componente en eje  $q$  de tensión en el PAC.

$m_d$ : componente en eje  $d$  de las moduladoras.

$m_q$ : componente en eje  $q$  de las moduladoras.

$i_{Ld}$ : componente en eje  $d$  de la corriente que va al PAC.

$i_{Lq}$ : componente en eje  $q$  de la corriente que va al PAC.

$i_d$ : componente en eje  $d$  de la corriente a la salida del inversor.

$i_q$ : componente en eje  $q$  de la corriente a la salida del inversor.

## B. Anexo B

---

### B.1. Demostración Ecuaciones de Diseño Lazo de Control de Corriente

La función de transferencia de un controlador PI puede ser representada por una ganancia proporcional  $K_p$  sumado a una ganancia integral  $K_i$  que multiplica al término integrador  $\frac{1}{s}$ , en el plano de Laplace. Si la función de transferencia del controlador PI es establecida de la forma:

$$k(s) = \frac{sK_p + K_I}{s} \quad (\text{B.1-1})$$

donde,

- $k(s)$  : F. de T del controlador PI.
- $K_p$  : Constante proporcional del controlador PI.
- $K_I$  : Constante integrativa del controlador PI.

Se tiene que la función de transferencia de lazo directo del sistema, llamada  $l_{idq}(s)$ , tanto para la corriente en eje  $d$  como para la corriente en eje  $q$  queda como:

$$l_{idq}(s) = \frac{K_p \frac{s + \frac{K_I}{K_p}}{Ls}}{s + \frac{R}{L}} \quad (\text{B.1-2})$$

$l_{idq}(s)$  : F. de T. de lazo directo del sistema de control de corrientes en  $d$  y  $q$ .

- $K_p$  : Constante proporcional del controlador PI.
- $K_I$  : Constante integrativa del controlador PI.
- $L$  : Inductancia del filtro RLC.
- $R$  : Resistencia del filtro RLC.

Si se escoge  $\frac{K_I}{K_p} = \frac{R}{L}$ , entonces se logra la cancelación del polo existente en lazo directo, y su función de transferencia queda como:

$$l_{idq}(s) = \frac{K_p}{Ls} \quad (\text{B.1-3})$$

donde,

$l_{idq}(s)$  : F. de T. de lazo directo del sistema de control de corrientes en  $d$  y  $q$ .

$K_P$  : Constante proporcional del controlador PI.

$L$  : Inductancia del filtro RLC.

Luego, la función de transferencia del sistema realimentado  $G_{idq}(s)$  es:

$$G_{idq}(s) = \frac{1}{1 + \frac{L}{K_P} s} \quad (\text{B.1-4})$$

donde,

$G_{idq}(s)$  : Función de transferencia del lazo de corriente ejes  $d$  y  $q$ .

$K_P$  : Constante proporcional del controlador PI.

$L$  : Inductancia del filtro RLC.

Si se compara con la forma canónica de una función de transferencia de 1er orden dada por:


$$G(s) = \frac{1}{1 + \tau s} \quad (\text{B.1-5})$$

donde,

$G(s)$  : Forma canónica de una F. de T de 1er orden.

$\tau$  : Constante de tiempo de una F. de T. de 1er orden.

Se tiene que la constante de tiempo de este sistema de control realimentado de corriente viene dada por:

$$\tau_i = \frac{L}{K_P}. \quad (\text{B.1-6})$$

$$w_{BW,i} = \frac{1}{\tau_i} \quad (\text{B.1-7})$$

donde,

$K_P$  : Constante proporcional del controlador PI.

$\tau_i$  : Constante de tiempo del lazo de control de corrientes en ejes  $d$  y  $q$ .

$w_{BW,i}$  : Ancho de banda del lazo de control de corrientes en ejes  $d$  y  $q$ .

Según [6],  $\tau_i$  es una elección de diseño la cual debe ser hecha lo más pequeña posible para una rápida respuesta del lazo de control de corriente, pero adecuadamente grande tal que el ancho de banda del sistema de control en lazo cerrado  $w_{BW,i}$  sea mas pequeño que, por ejemplo, 10 veces la frecuencia de conmutación del inversor (expresada en rad/s).

Bajo este criterio, y la cancelación polo-cero en  $l_{idq}(s)$ , se llegan a las siguientes ecuaciones de diseño de las constantes del controlador PI.

$$K_P = \frac{L}{\tau_i} \quad (\text{B.1-8})$$

$$K_I = \frac{R}{\tau_i} \quad (\text{B.1-9})$$

$$\frac{1}{\tau_i} = \frac{2\pi f_c}{10} \quad (\text{B.1-10})$$

donde,

$K_P$  : Constante proporcional del controlador PI.

$K_I$  : Constante integrativa del controlador PI.

$L$  : Inductancia del filtro RLC.

$R$  : Resistencia del filtro RLC.

$\tau_i$  : Constante de tiempo del lazo de control de corrientes en ejes  $d$  y  $q$ .

## B.2. Demostración Ecuaciones de Diseño Lazo de Control de Voltaje

Si se asume que el controlador PI tiene la forma:

$$k(s) = k \frac{s + z}{s} \quad (\text{B.2-1})$$

donde,

$k(s)$ : F. de T. del controlador PI de tensión.

$z$ : cero del PI de tensión.

$k$ : constante multiplicativa del PI de tensión.

La función de transferencia en lazo directo, luego de incorporar el controlador, es:

$$l(s) = \frac{k}{\tau_i C} \left( \frac{s + z}{s + \tau_i^{-1}} \right) \frac{1}{s^2} \quad (\text{B.2-2})$$

donde,

$l(s)$ : F. de T del lazo directo.

$\tau_i$ : constante de tiempo del lazo de control de corriente.

$C$ : capacitancia del filtro RLC.



Este lazo, a bajas frecuencias, tendría una fase de  $\angle l(w) \approx -180^\circ$ . Si  $z < \tau_i^{-1}$ , entonces la fase del lazo aumenta hasta alcanzar un máximo de  $\angle l(w_m) = \delta_m$  a una frecuencia  $w_m$ , para luego caer asintóticamente a  $\angle l(w) \approx -180^\circ$  a medida que aumenta la frecuencia. La fase de la función de transferencia de lazo directo compensada, dada por la ecuación (B.1-2) luego de reemplazar  $s = jw$ , está dada por:

$$\angle l(w) = \tan^{-1} \left( \frac{w}{z} \right) - \tan^{-1} \left( \frac{w}{\tau_i^{-1}} \right) - \pi \quad (\text{B.2-3})$$

Al derivar la ecuación (B.1-3) respecto a la frecuencia:

$$\frac{d(\angle l(w))}{dw} = \frac{1}{z} \frac{1}{1 + \left( \frac{w}{z} \right)^2} - \frac{1}{\tau_i^{-1}} \frac{1}{1 + \left( \frac{w}{\tau_i^{-1}} \right)^2} \quad (\text{B.2-4})$$

Y al igualar  $\frac{d(\angle l(w))}{w} = 0$  buscando la frecuencia  $w_m$  donde ocurre la máxima fase se llega a que esto ocurre a la frecuencia:

$$w_m = \sqrt{z\tau_i^{-1}} \quad (\text{B.2-5})$$

donde,

$w_m$ : frecuencia donde existe la máxima fase.

Al reemplazar esto último en la ecuación (B.1-3) se llega a que la fase máxima, que ocurre a la frecuencia  $w_m$ , es:

$$\angle l(w_m) = \text{sen}^{-1} \left( \frac{1 - z\tau_i}{1 + z\tau_i} \right) - \pi \quad (\text{B.2-6})$$

$$\delta_m = \text{sen}^{-1} \left( \frac{1 - z\tau_i}{1 + z\tau_i} \right) \quad (\text{B.2-7})$$

donde,

$\delta_m$ : margen de fase.

Si se escoge la frecuencia de cruce de la función de transferencia en lazo directo igual a la frecuencia donde ocurre la máxima fase,  $w_c = w_m$ , entonces  $\delta_m$  se vuelve el margen de fase del sistema realimentado y compensado. En tal caso debe ocurrir que  $|l(w_m)| = 1$ . La magnitud de la función en lazo directo está dada por:

$$|l(w)| = \frac{k}{\tau_i C} \left( \frac{\sqrt{w^2 + z^2}}{\sqrt{w^2 + (\tau_i^{-1})^2}} \right) \frac{1}{w^2} \quad (\text{B.2-8})$$

Al igualar a 1 se llega a que el valor de la ganancia  $k$  del controlador PI debe ser:

$$k = w_m C \quad (\text{B.2-9})$$

Y, al reemplazar (B.1-5) en esta última ecuación:

$$k = C\sqrt{z\tau_i^{-1}}$$

(B.2-10)



## C. Anexo C

### C.1. Configuraciones Realizadas en Periféricos ADC y ePWM

#### Enhanced Pulse Width Modulation (EPWM)

El periférico ePWM se encarga de la generación de pulsos PWM a partir del valor instantáneo de la señal moduladora, guardado en el registro CMP asociado a cada bloque ePWM, y la portadora la cual es generada digitalmente por el submódulo “Time-Base” para fluctuar con valores tipo entero entre 0 y un valor guardado en el registro TBPRD del bloque específico. Así, este último valor es quien define la frecuencia de esta señal portadora y, por lo tanto, la frecuencia de conmutación de los IGBT’s del módulo inversor. Esta además depende del “modo de conteo” que utilizará el bloque ePWM. Para esta implementación se utiliza el modo de conteo Up-Down, donde se hace el conteo desde 0 hasta TBPRD, paso a paso con cada ciclo de reloj del bloque ePWM respectivo, para luego retornar de la misma forma a 0 y repetir el ciclo. Este conteo emula una portadora simétrica respecto al eje de la amplitud, pero oscilante entre 0 y TBPRD. En la Figura C.1 se muestra el esquemático del modo de conteo Up-Down, en donde  $T_{PWM}$  es el período de la portadora triangular emulada.

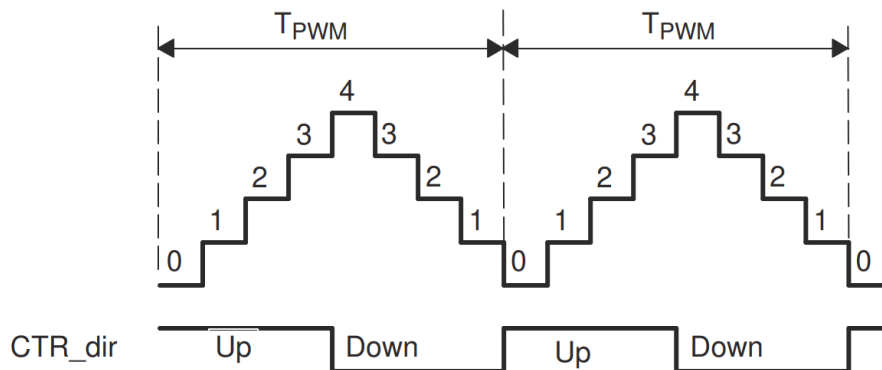


Fig. C.1 : Modo de conteo “Up-Down” de un bloque EPWMx y período del contador.

Para el caso de la imagen TBPRD=4.

Imagen extraída de [18].

En este modo y a partir de la información dada en el manual técnico de la DSP [14], el contador del bloque ePWM tiene un período calculado como  $T_{PWM} = 2 * TBPRD * T_{TBCLK}$  y frecuencia

$f_{PWM} = \frac{1}{T_{PWM}}$ , donde el valor  $T_{TBCLK}$  es el período de reloj utilizado para el contador y el bloque ePWM en general, cuyo valor por defecto es de la mitad del período de reloj de la CPU, esta último con frecuencia de reloj de 200[MHz]. La frecuencia de conmutación a utilizar en los inversores es de 5[kHz] con lo que, utilizando los valores de reloj por defecto, se requiere de un valor  $TBPRD = 10000$ .

En cuanto a las moduladoras, estas se emulan con los valores instantáneos de los registros comparadores CMP de cada bloque ePWM, gestionados por el submódulo “Counter-Compare”. El valor guardado en CMP es comparado en cada ciclo de reloj del bloque con el valor del registro del contador TBCTR. Cuando el contador TBCTR es igual al comparador del registro CMP, se lleva a cabo un evento a especificar por el submódulo “Action-Qualifier”. En conjunto con el modo de conteo Up-Down, se tendrán entonces dos eventos por ciclo asociado a cada uno de los comparadores.

Para la implementación se utilizará un bloque ePWM por cada pierna, con lo que se irá guardando los valores de los registros CMPA y CMPB, asociados al control de los 2 IGBT's por pierna, a partir de los valores instantáneos de una de las tres moduladoras a generar. Estos últimos se deben adaptar para poder emular digitalmente la estrategia SPWM tal que el valor de los registros CMPA/ CMPB oscilen entre 0 y TBPRD cuando se deba trabajar con índice de modulación unitario y la moduladora oscile entre 1 y -1 cuando se trabaje con índice de modulación unitario en S.S. Esto es logrado a través de la relación  $CMPx = \left(\frac{m+1}{2}\right) * TBPRD$ , donde  $m$  es la moduladora.

El submódulo “Action-Qualifier” tiene el rol más importante en la construcción de la forma de onda PWM. Este decide cuales eventos, generados por el submódulo “Counter-Compare”, serán convertidos en una acción específica, produciendo las formas de onda conmutadas en las salidas ePWMA y ePWMB asociadas al bloque ePWM. Genera acciones de “set, clear, toggle o do nothing” en estas salidas a partir de los siguientes eventos: contador igual al período (TBCTR=TBPRD), contador igual a cero (TBCTR=0), contador igual al comparador A (TBCTR=CMPA) y contador igual al comparador B (TBCTR=CMPB). Las entradas de eventos al submódulo de calificación de acción son calificadas adicionalmente según la dirección del contador (ascendente o descendente). Las acciones en las salidas son:

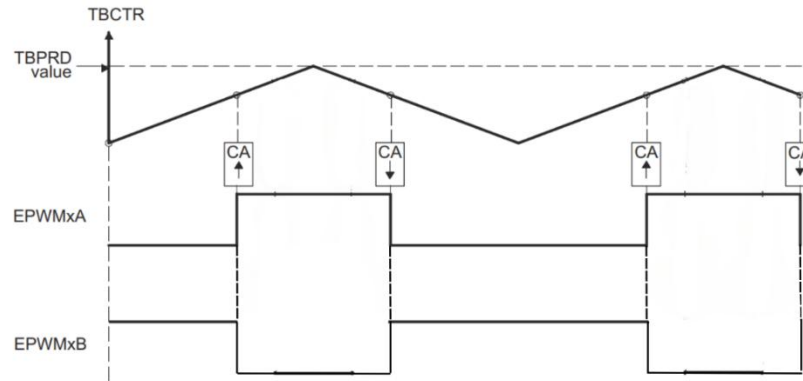
- Set: Establece la salida ePWMA y/o ePWMB en un nivel lógico alto.
- Clear: Establece la salida ePWMA y/o ePWMB en un nivel lógico bajo.
- Toggle: Establece la salida ePWMA y/o ePWMB en el nivel lógico opuesto al que se tenía anteriormente.
- Do Nothing: Establece la salida ePWMA y/o ePWMB en el mismo nivel lógico que se tenía anteriormente.

Las acciones se especifican de forma independiente para cada salida (ePWMA o ePWMB). Cualquiera o todos los eventos pueden configurarse para generar acciones sobre una salida determinada.

Para el caso puntual de esta implementación, donde se requieren que las señales de control de compuerta de los 2 IGBT's de una misma pierna sean complementarias, una posible configuración utilizando la misma señal de comparación CMPA para las dos salidas EPWMA y EPWMB es:

- Set ePWMA cuando CMPA=TBCTR, con el último en dirección ascendente.
- Clear ePWMB cuando CMPA=TBCTR, con el último en dirección ascendente.
- Clear ePWMA cuando CMPA=TBCTR, con el último en dirección descendente.
- Set ePWMB cuando CMPA=TBCTR, con el último en dirección descendente.

En la siguiente Figura C.2 se muestra el resultado de definir las últimas declaraciones en el módulo "Action-Qualifier".

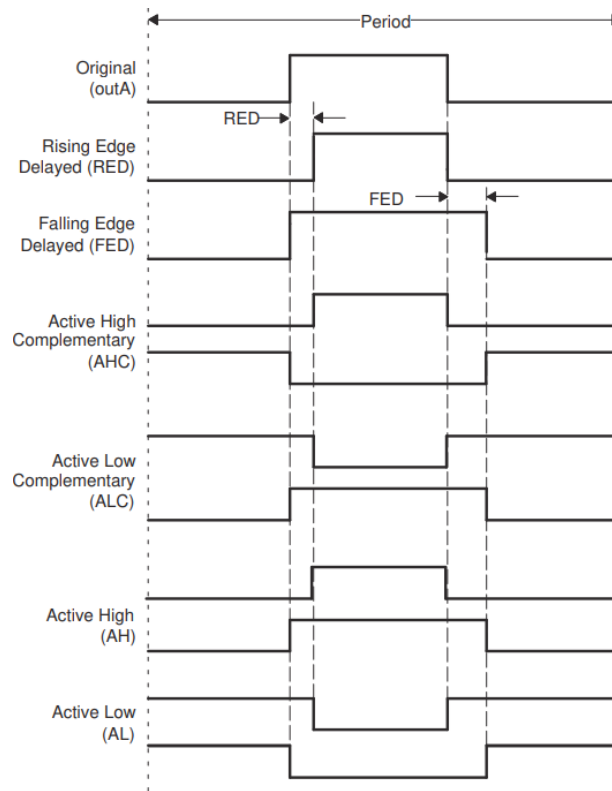


**Fig. C.2 : Generación de pulsos PWM a partir del módulo “Action-Qualifier” y las definiciones de acciones.**

Se muestra la complementariedad entre las señales ePWMA y ePWMB, usando la misma señal de comparación CMPA. Imagen extraída de [18].

Debido a los tiempos de respuesta de los transistores en conmutar completamente, producto de sus capacitancias parásitas, se debe dejar un margen de tiempo o “dead-band” entre las señales complementarias asociadas al control de compuerta de los 2 IGBT’s de una misma pierna.

De esto se encarga el submódulo “Dead-Band Generator”. A partir de una señal fuente, ya sea ePWMA o ePWMB, puede generar un retraso en los ejes de subida y/o ejes de bajada a partir de la selección de la relación de polaridades del par de señales. En la Figura C.3 se muestra la definición de polaridades y su respectivo resultado al elegir a la señal “Original” como fuente del “dead-band”.



**Fig. C.3 : Polaridades del par de señales a aplicar dead-band.**

RED: Rising Edge Delay, FED: Falling Edge Delay

Imagen extraída de [18].

La relación a utilizarse en esta implementación es “Active High Complementary”, con la cual se logran señales complementarias respecto a su nivel lógico alto. El retardo de eje de subida (RED) retarda el momento en que la señal a aplicar dead-band pasa a su valor lógico alto, respecto del eje de cambio de la señal fuente. Lo paralelo ocurre con el retardo de eje de bajada (FED).

Dada la definición de acciones tomadas por el submódulo “Action-Qualifier”, la relación “Active High Complementary” ya se está cumpliendo. Así, es posible agregar el retardo requerido utilizando la misma señal de referencia, por ejemplo ePWMA, y definiendo valores de RED y FED respecto a ella. Estos valores de dead-band pueden establecerse, a través de los registros DBFED y DBRED, entre 0 y 16383, donde el valor escogido se debe multiplicar por el reloj del bloque ePWM específico para obtener el retardo en unidades de tiempo. Adicionalmente, si se quiere tener una mayor resolución para la generación de los retardos, es posible utilizar un reloj de medio ciclo respecto al del bloque ePWM.

En la implementación se utiliza este método con el cual la ecuación para obtener el retardo, tanto para el eje de subida como para el de bajada es  $FED = DBFED * \frac{T_{BCLK}}{2}$ ,  $RED = DBRED * \frac{T_{BCLK}}{2}$ . A recomendación del fabricante de los IGBT's, se establece un dead-band de 4[ $\mu$ s] tanto en el eje de subida como en el eje de bajada. Así los valores de los registros de dead-band son  $DBRED = DBFED = 800$ .



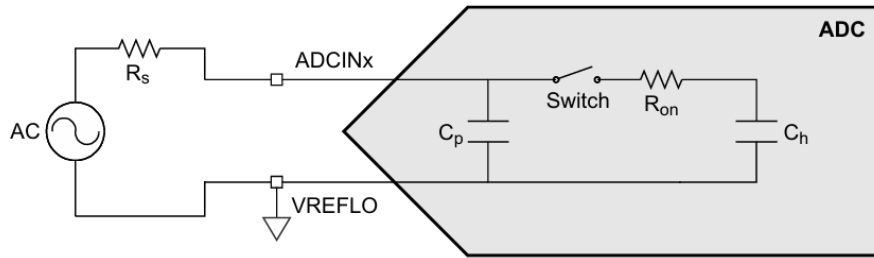
### Analog to Digital Converter (ADC)

El conversor análogo digital es el encargado de recibir señales análogas, muestrearlas y convertirlas a valores digitales para su posterior utilización, en este caso, en los lazos de control del inversor. La DSP TMS320F28379D posee 4 bloques ADC para conversión independiente, valga decir, en paralelo. Cada uno de estos bloques tiene la posibilidad de convertir hasta 16 canales, de forma serial.

Las señales análogas a convertir llegan a los pines de la tarjeta de desarrollo LAUNCHXL-F28379D asociada a la TMS320F28379D. Cada uno de estos pines está asociado a alguno de los canales de los 4 bloques ADC. Para lograr la conversión a partir de un único bloque, los canales llegan a un circuito multiplexor, de donde son elegidos uno a uno los canales que cargarán el valor de su tensión en el condensador del circuito donde se realiza la operación de muestreo y retención (S/H). Esta elección de canal está asociada a la configuración de SOC (Start of Conversion) asociada al bloque, explicada luego.

Las señales de entrada a los canales tienen como posibles resoluciones 12 o 16 bits, así como la opción de obtener su señal de tensión a través de un solo pin, respecto a la tensión de referencia baja  $VREFLO$  otorgada por la propia tarjeta de desarrollo, o de forma diferencial a través de dos pines. Dado a las limitaciones de pines accesibles a través de la tarjeta de desarrollo utilizada, se opta por señales enviadas a través de un solo pin, cuya resolución está restringida a 12 bits.

El tiempo de carga del condensador del circuito S/H, denominado como ventana de adquisición, se especifica en términos de ciclos de reloj de la DSP, con frecuencia de 200 [MHz]. La elección de este tiempo varía en función del circuito equivalente de entrada al pin específico, así como de la precisión requerida. En la Figura C.4 se muestra el circuito equivalente de un canal configurado para una señal enviada a través de un solo pin. Valores comunes de los parámetros de este circuito equivalente para la DSP en uso se encuentran en *Single-Ended Input Model Parameters* de [20], a partir de lo que se calculó una ventana de adquisición de 24 ciclos de conversión por canal según ecuaciones de diseño entregadas en [18].



**Fig. C.4 : Circuito equivalente de entrada de un canal ADC con señal de entrada de un solo pin.**

Imagen extraída de [14].

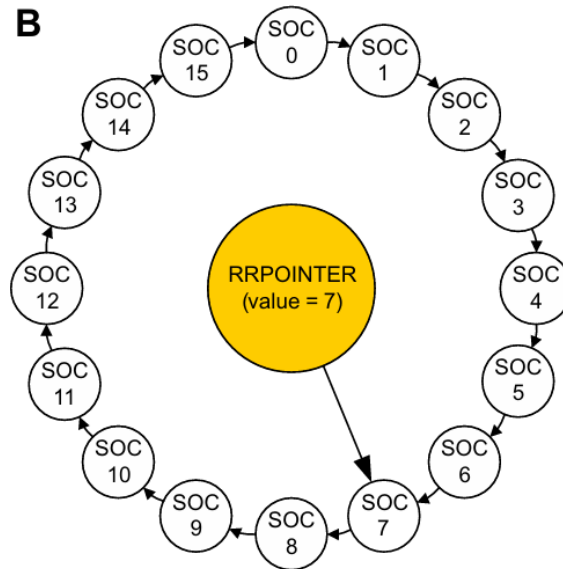
En la sección del Conversor Análogo Digital y, a partir de la señal muestreada, se realiza la conversión análogo-digital mediante un el método *Successive Approximation*. En este método se hace la comparación entre la tensión muestreada y tensiones generadas con un bloque conversor digital a análogo de divisiones en múltiplos de 2 de la señal de referencia alta  $VREFHI$  del bloque ADC. La comparación genera bits desde el dígito más significativo, en donde este tomará valor 1 si la tensión muestreada es mayor que la tensión  $\frac{VREFHI}{2}$  y 0 en el caso contrario. Luego se hace la comparación con  $\frac{VREFHI}{4}$  y así sucesivamente hasta completar la resolución requerida. En la tarjeta de desarrollo LAUNCHXL-F28379D la tensión  $VREFHI$  esta establecida en 3.3[V]. Luego de completada la conversión, el valor digital obtenido se guarda en el registro de resultado del canal respectivo.

La prioridad en la conversión de los canales asociados a un mismo bloque ADC está determinada por la sección Start of Conversion (SOC). La señal SOC, asociada al canal x de uno de los 4 bloques ADC, es la que impulsa el inicio del proceso de conversión análogo-digital del canal respectivo. Esta señal SOC tiene la posibilidad de ser disparada por varias fuentes, de donde destacan el disparo a través de los CPU Timers 0/1/2 y a través de bloques ePWM.

Se pueden configurar múltiples SOC para usar la misma fuente de disparo o iniciar la conversión de un mismo canal. Configurar múltiples SOC para usar el mismo disparador permite que dicho disparador genere una secuencia de conversiones. Configurar múltiples SOC para usar el mismo disparador y canal permite realizar sobre-muestreo.

En el caso de haber una secuencia de conversiones se decide, de entre los canales de un mismo bloque ADC, cual de todos iniciará primero su conversión según cómo se definan las prioridades de inicio de conversión del bloque. El método por defecto, y el utilizado en este proyecto, es el llamado

Round Robin en donde un “puntero” con posición inicial en SOC0 da la mayor prioridad al canal cuya SOCx asociada esté más cercano al puntero en sentido de giro horario. En la Figura C.5 se muestra el puntero dando prioridad de inicio a un SOCx en el modo Round Robin. Iniciada la conversión, el puntero gira hacia el SOCx asociado a ese canal, con lo que la primera prioridad de conversión recaerá en el SOCx+1. Llegada a la prioridad del SOC15, el puntero se resetea al SOC0.



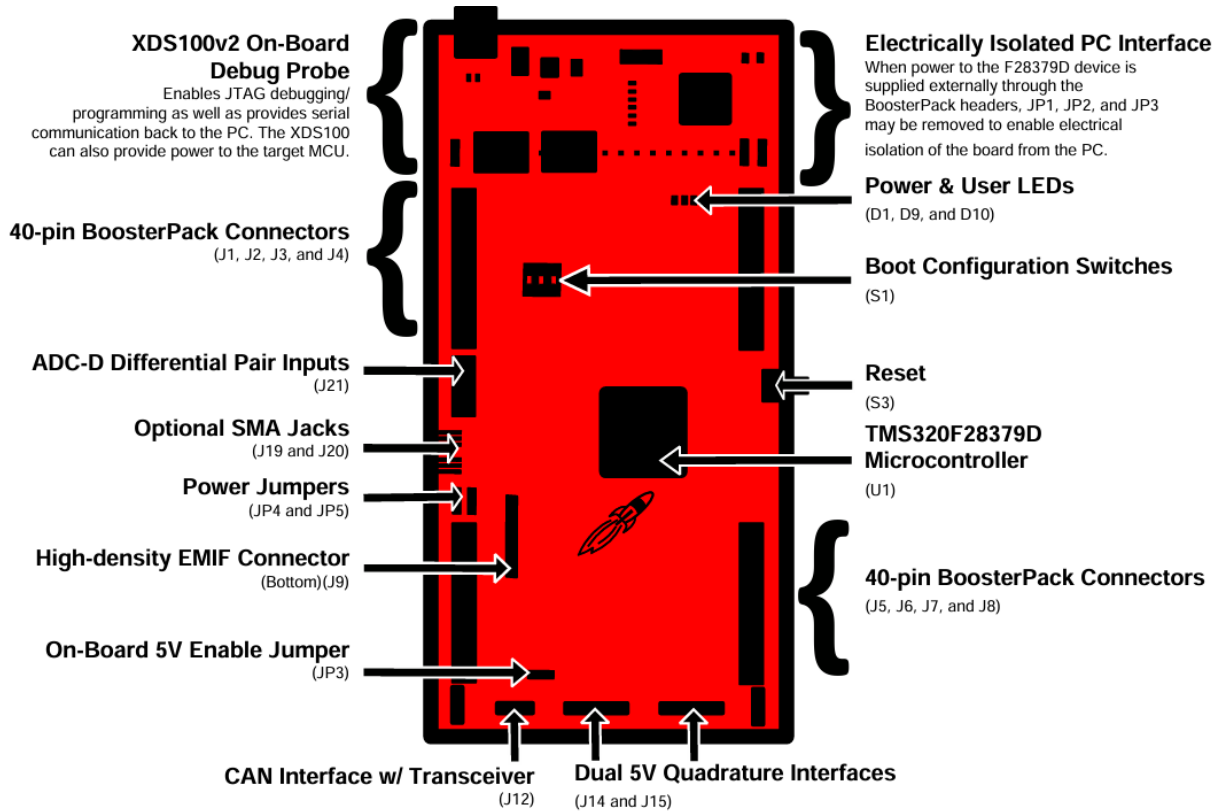
**Fig. C.5 : Giro del puntero que da prioridad a SOCx con método Round Robin.**

Imagen extraída de [18].

Entre otros métodos destaca la asignación de prioridad de inicio de conversión de SOCx específicos que, recibida la señal de disparo, pueden interrumpir el proceso de Round Robin momentáneamente hasta que culmine su conversión.

## D. Anexo D

### D.1. Tarjeta de Desarrollo y Tablas de Señales Disponibles en ella.



**Fig. D.1 : Conexiones de la tarjeta de desarrollo LAUNCHXL-F28379D**

Los puntos físicos de conexión de las señales de entrada y salida se encuentran en los conectores J1, J2, J3 y J4. Imagen extraída de [19].

**Tabla D.1 Señales de entrada y salida disponibles para cada punto de conexión de los conectores J1, J2, J3 y J4.**

Extraída de [19].

Mux Value				J1 Pin	J3 Pin	Mux Value			
X	2	1	0			0	Alt Function	2	X
			3.3V	1	21	5V			
			GPIO32	2	22	GND			
	SCIRXDB		GPIO19	3	23	ADCIN14	CMPIN4P		
	SCITXDB		GPIO18	4	24	ADCINC3	CMPIN6N		
			GPIO67	5	25	ADCINB3	CMPIN3N		
			GPIO111	6	26	ADCINA3	CMPIN1N		
SPICLKA <sup>(1)</sup>			GPIO60	7	27	ADCINC2	CMPIN6P		
			GPIO22	8	28	ADCINB2	CMPIN3P		
		SCLA	GPIO105 <sup>(2)</sup>	9	29	ADCINA2	CMPIN1P		
		SDAA	GPIO104 <sup>(2)</sup>	10	30	ADCINA0	DACOUTA		

Mux Value				J4 Pin	J2 Pin	Mux Value			
X	2	1	0			0	1	2	X
		EPWM1A	GPIO0	40	20	GND			
		EPWM1B	GPIO1	39	19	GPIO61			
		EPWM2A	GPIO2	38	18	GPIO123			SD1_C1 <sup>(1)</sup>
		EPWM2B	GPIO3	37	17	GPIO122			SD1_D1 <sup>(1)</sup>
		EPWM3A	GPIO4	36	16	RST			
		EPWM3B	GPIO5	35	15	GPIO58			SPISIMOA <sup>(1)</sup>
		OUTPUTXBAR1	GPIO24	34	14	GPIO59			SPISOMIA <sup>(1)</sup>
OUTPUTXBAR7 <sup>(1)</sup>			GPIO16	33	13	GPIO124			SD1_D2 <sup>(1)</sup>
			DAC1	32	12	GPIO125			SD1_C2 <sup>(1)</sup>
			DAC2	31	11	GPIO29 <sup>(2)</sup>			OUTPUTXBAR6 <sup>(1)</sup>

Mux Value				J5 Pin	J7 Pin	Mux Value			
X	2	1	0			0	Alt Function	2	X
			3.3V	41	61	5V			
			GPIO95	42	62	GND			
SCIRXDC <sup>(1)</sup>			GPIO139	43	63	ADCIN15	CMPIN4N		
SCITXDC <sup>(1)</sup>			GPIO56	44	64	ADCINC5	CMPIN5N		
			GPIO97	45	65	ADCINB5			
			GPIO94	46	66	ADCINA5	CMPIN2N		
SPICLKB <sup>(1)</sup>			GPIO65	47	67	ADCINC4	CMPIN5P		
			GPIO52 <sup>(2)</sup>	48	68	ADCINB4			
SCLB <sup>(1)</sup>			GPIO41 <sup>(2)</sup>	49	69	ADCINA4	CMPIN2P		
SDAB <sup>(1)</sup>			GPIO40 <sup>(2)</sup>	50	70	ADCINA1	DACOUTB		

Mux Value				J8 Pin	J6 Pin	Mux Value			
X	2	1	0			0	1	2	X
		EPWM4A	GPIO6	80	60	GND			
		EPWM4B	GPIO7	79	59	GPIO66			
		EPWM5A	GPIO8	78	58	GPIO131			SD2_C1 <sup>(1)</sup>
		EPWM5B	GPIO9	77	57	GPIO130			SD2_D1 <sup>(1)</sup>
		EPWM6A	GPIO10	76	56	RST			
		EPWM6B	GPIO11	75	55	GPIO63			SPISIMOB <sup>(1)</sup>
OUTPUTXBAR3 <sup>(1)</sup>			GPIO14	74	54	GPIO64			SPISOMIB <sup>(1)</sup>
OUTPUTXBAR4 <sup>(1)</sup>			GPIO15	73	53	GPIO26			SD2_D2 <sup>(1)</sup>
			DAC3	72	52	GPIO27			SD2_C2 <sup>(1)</sup>
			DAC4	71	51	GPIO25			OUTPUTXBAR2 <sup>(1)</sup>